

ESCUELA TÉCNICA SUPERIOR DE INGENIERÍA DE
TELECOMUNICACIÓN
UNIVERSIDAD POLITÉCNICA DE CARTAGENA



Trabajo Fin de Grado

**Diseño y síntesis electrónica de la etapa de acondicionamiento
analógico de un estetoscopio electrónico mediante circuitos
programables FPAA**



AUTOR: Jaime Gancedo Rodrigo
DIRECTORES: Ginés Doménech Asensi
Ramón Ruiz Merino

Julio / 2015

Agradecimientos

A mis directores, Ramón Ruiz y Ginés Doménech.

A David Henarejos, por su ayuda en el laboratorio.

A todos los profesores que han conseguido que me apasione mi carrera.

A mi familia, por todo su apoyo.

Índice general

Introducción	1
Planteamiento del TFG	1
Objetivos	2
Estructura de la memoria.....	3
1. Señal fonocardiográfica y estetoscopios electrónicos	5
1.1. Fonocardiografía (FCG): Sonidos cardíacos.....	5
1.2. Características frecuenciales de los distintos sonidos.....	8
1.3. Captación y registro del FCG: estetoscopios electrónicos.....	10
1.4. Acondicionamiento analógico de las señales FCG: soluciones	10
1.4.1. Propuesta I.....	11
1.4.2. Propuesta II	12
1.4.3. Propuesta III.....	14
2. FPAA (Field Programmable Analog Array)	17
2.1. Introducción a las FPAA.....	17
2.2. Circuito AN221E04 de Anadigm. Estructura interna y características	19
2.2.1. Bloques analógicos configurables (CABs)	20
2.2.2. Celdas de entrada/salida.....	22
2.2.3. Relojes	23
2.2.4. Interfaz de configuración digital	24
2.2.5. Arranque desde memoria EEPROM	24
2.2.6. Generador de voltajes de referencia.....	27
2.3. Entorno de diseño: AnadigmDesigner 2 y kit de desarrollo AN221K04	28
2.3.1. Herramienta software AnadigmDesigner 2.....	28
2.3.2. Kit de desarrollo AN22K04 (AnadigmVortex).....	33
3. Diseño del prototipo hardware	39
3.1. Diagrama general del sistema de acondicionamiento analógico.....	39

3.2. Diseño e implementación de los filtros de acondicionamiento de la señal FCG	40
3.2.1. Filtro para sonidos cardíacos	40
3.2.2. Filtro para la detección de soplos	42
3.3. Módulo de ajuste automático de la amplitud de la señal de salida	45
3.3.1. Amplificador controlado por tensión (VCA)	45
3.3.2. Sub-etapa de adaptación de la tensión de control del VCA	48
3.4. Etapas exteriores del sistema	53
3.4.1. Sumador de DC	54
3.4.2. Conversores diferencial a <i>single-ended</i>	54
3.4.3. Bloqueo de la tensión DC de salida	55
3.4.4. Filtros paso bajo activos de segundo orden	55
3.5. Prototipo PCB: Estructura general	57
3.5.1. Memoria EPROM para la programación de las FPAA	57
3.5.2. Oscilador para la señal de reloj	59
3.5.3. Puertos de entrada y salida	60
3.5.4. Circuito de alimentación	60
4. Resultados y evaluación	61
4.1. Caracterización en simulación de los filtros del sistema	61
4.1.1. Filtro para sonidos cardíacos	61
4.1.2. Filtro para la detección de soplos	63
4.2. Simulación del sistema de acondicionamiento analógico	64
4.2.1. Diseño y metodología	64
4.2.2. Simulación y resultados	65
4.3. Caracterización experimental de la implementación del sistema sobre el kit de desarrollo y pruebas con señales reales	72
4.3.1. Caracterización experimental de los módulos principales del sistema	73
4.3.2. Resultados experimentales del sistema completo con una señal sinusoidal pura	78
4.3.3. Resultados experimentales del sistema con señales fonocardiográficas reales	84
4.4. Caracterización y evaluación del prototipo final	91
4.4.1. Caracterización y evaluación del prototipo final con señales fonocardiográficas	93

Conclusiones	103
Hitos e incidencias del trabajo	103
Trabajos futuros.....	105
Opinión personal del autor	105
Bibliografía	107
Apéndice A: Esquema, layout y lista de componentes del prototipo	109
Apéndice B: Configuración y programación para utilizar una memoria EPROM SPI en un sistema multi-chip de FPAA	117

Introducción

En el ámbito de la medicina, el estudio y la monitorización del funcionamiento del corazón es básico para poder entender y realizar diagnósticos de un gran número de patologías no sólo cardíacas, sino también relativas a otras áreas del organismo.

En el curso de la historia han ido apareciendo distintos inventos y soluciones para poder detectar y escuchar los sonidos cardíacos. Al principio, estas herramientas puramente mecánicas permitían que el especialista escuchase los sonidos producidos por el corazón del paciente de forma relativamente sencilla. Con la invención y el desarrollo del estetoscopio en el siglo XIX se produjo una revolución en la manera de realizar diagnósticos. Este dispositivo ha seguido desarrollándose con la aparición de diversas mejoras con el transcurrir del tiempo. En la actualidad, este instrumento ha evolucionado para incorporar tecnologías de acondicionamiento electrónico y tratamiento de la información, dando lugar al estetoscopio electrónico. Este aparato permite no sólo escuchar los sonidos cardíacos con facilidad, sino incluso grabarlos en formato electrónico para poder disponer de ellos en cualquier momento. Pero sus posibilidades no quedan ahí. El registro de los sonidos cardíacos abre la puerta al tratamiento de las señales obtenidas, haciendo posible minimizar la subjetividad en la interpretación de la auscultación cardiaca por los profesionales e implementar funcionalidades como la automatización de diagnósticos o la obtención en tiempo real de estadísticas relacionadas con el ritmo cardíaco o el estado cardíaco del paciente.

Este tratamiento de las señales fonocardiográficas puede abordarse utilizando circuitería analógica de distinta naturaleza. En primer lugar, utilizando estructuras analógicas tradicionales con componentes estándar (*off-the-shelf*), cuyos inconvenientes estriban especialmente en la duración del ciclo de diseño. Otra alternativa es el uso de circuitos analógicos programables, en los cuales, partiendo de una arquitectura fija y definida, se pueden modificar las interconexiones de diversos bloques funcionales para establecer la funcionalidad deseada. En este caso el ciclo de diseño se reduce, permitiendo modificar el diseño rápidamente. Por último, se puede optar por utilizar un circuito integrado de aplicación específica (*Application Specific Integrated Circuit – ASIC*) para sintetizar el sistema completo, lo que asegura obtener unas prestaciones óptimas en el prototipo final, pero que no es susceptible de ser modificado en un período corto de tiempo, a menos que se rediseñe completamente el sistema.

Planteamiento del TFG

Las señales acústicas que graba el micrófono de un estetoscopio electrónico son señales eléctricas “crudas”, en las que, además de los sonidos propios de un corazón, aparecen otros que pueden no resultar interesantes para un diagnóstico cardiológico, como la respiración, ruidos musculares o digestivos, etc. Mejorar la

calidad de la señal eléctrica resultante (fonocardiograma - FCG) es imperativo para su tratamiento, de cara a permitir la extracción de características y su interpretación de forma eficaz, así como un mejor visionado.

En este Trabajo de Fin de Grado se propone el diseño y síntesis electrónica de un sistema de acondicionamiento analógico para señales fonocardiográficas que permita: eliminar cualquier sonido que no sea interesante en el ámbito del diagnóstico cardiológico; mantener en todo momento un nivel constante de volumen (amplitud) en la señal de salida, incluso si se producen fluctuaciones debidas a movimientos del paciente o a un posicionado incorrecto del estetoscopio; y, adicionalmente, realizar las operaciones necesarias para que sea posible discernir con más claridad un tipo de anomalía cardíaca: los soplos de alta frecuencia. Para este fin, se utilizará una tecnología especialmente adecuada para este caso: los circuitos analógicos programables. Más concretamente, se ha elegido como plataforma de implementación un tipo de dispositivos conocidos como *FPAA (Field Programmable Analog Array)*, que permiten implementar funciones analógicas complejas en un chip programable que puede ser reconfigurado en cualquier momento en cuestión de segundos. En esta tecnología, utilizando también otros circuitos periféricos externos, se implementarán los bloques analógicos necesarios para poder realizar las tareas mencionadas de filtrado y ajuste automático de la amplitud de la señal.

Objetivos

El objetivo principal de este Trabajo es el diseño, implementación y verificación de un sistema electrónico que permita acondicionar señales fonocardiográficas mediante circuitería analógica inmediatamente después de su adquisición con un estetoscopio electrónico. Para ello, se realizará un estudio de las características de las señales fonocardiográficas, se revisarán propuestas previas de sistemas con un propósito parecido y se propondrá una solución que satisfaga los requisitos definidos. Una vez propuesta la estructura del sistema, éste se implementará sobre una plataforma basada en circuitos tipo FPAA mediante las herramientas software de desarrollo que deben permitir, en primer lugar, verificar mediante simulación su correcto funcionamiento. El siguiente paso es implantar el sistema diseñado en un sistema de desarrollo para estos dispositivos enlazado con un ordenador personal para proceder a su verificación experimental. Por último, se diseñará y fabricará un prototipo plenamente funcional y autónomo con FPAA y los circuitos periféricos de programación e interfaz en una placa de circuito impreso.

De esta manera, los objetivos específicos de este trabajo se pueden resumir en los siguientes puntos:

- Diseño del subsistema de acondicionamiento analógico para señales FCG, incluyendo los filtros necesarios para seleccionar las bandas de interés de sonidos y soplos cardiacos y el mecanismo de ajuste de ganancia para ajustar la amplitud de la señal de salida a un nivel de voltaje concreto.

- Simulación, síntesis y validación del subsistema de acondicionamiento analógico diseñado mediante el entorno *AnadigmDesigner 2*, en conexión con el kit de desarrollo AN221K04E, proporcionado por la firma Anadigm para la FPAA modelo AN221E04.
- Diseño y realización de un prototipo físico sobre placa de circuito impreso (PCB - *Printed Circuit Board*) para implementar el subsistema con un mínimo número de componentes y, por tanto, con un mínimo consumo. Este prototipo habrá de ser convenientemente validado como etapa final del proyecto.

El sistema de acondicionamiento que se propone deberá satisfacer tres requisitos:

- Realizar un filtrado paso banda en un rango de frecuencias tal que se atenúen todo lo posible aquellas frecuencias no pertenecientes a los sonidos cardíacos normales y soplos por eyección, obteniéndose así una señal cardíaca nítida.
- Asegurar un nivel constante de amplitud de la señal de salida en cada instante, aún a pesar de que la señal de entrada pueda sufrir fluctuaciones de volumen por distintas causas. Para ello, se establecerá un criterio de máxima y mínima amplitud para la señal de entrada.
- Realizar un segundo filtrado paso banda, posterior al ajuste de amplitud, en un rango de frecuencias que permita acentuar los soplos por eyección frente al resto de sonidos cardíacos.

Para que este sistema sea viable, será imprescindible que el prototipo final disponga de toda la circuitería necesaria para que, una vez reciba alimentación, sea capaz de configurarse automáticamente y realizar las tareas que se acaban de definir.

El uso de la FPAA como núcleo de la funcionalidad de este sistema analógico pretende demostrar las ventajas de flexibilidad y reconfigurabilidad que estos dispositivos aportan en el prototipado y síntesis de sistemas analógicos, permitiendo la reducción del ciclo de diseño gracias a la posibilidad de reprogramación rápida de estos chips.

Estructura de la memoria

La memoria de este trabajo está organizada en cuatro capítulos. En el primero se presenta una introducción a la fonocardiografía, y se realiza una breve revisión de los principales sonidos y anomalías cardíacas, especificando las bandas de frecuencia en los que están comprendidos. Esta información servirá como base para poder definir las especificaciones de los filtros que implementará el sistema. Posteriormente, se explica brevemente la estructura y funcionamiento de un estetoscopio electrónico y, por último, se establecen unas pautas para realizar un

acondicionamiento analógico eficiente de las señales fonocardiográficas, tomando como referencia propuestas previas de sistemas con un objetivo similar.

En el segundo capítulo se presenta la plataforma en la que se ha implementado el sistema de acondicionamiento analógico, la FPAA. En primer lugar, se realiza una introducción a esta arquitectura, con sus distintas variantes. Posteriormente el texto se centra en la definición de la arquitectura específica y características funcionales del chip que se ha utilizado en este Trabajo, la FPAA AN221E04 de la firma Anadigm. Por último, se detallan las características y funcionalidades de los dos principales elementos del sistema de desarrollo facilitados por el fabricante para este chip: la herramienta software de diseño, programación y configuración de la FPAA, AnadigmDesigner 2, y el kit de desarrollo de la AN221E04, denominado AN221K04 (AnadigmVortex).

El tercer capítulo se centra en explicar y justificar con detalle el diseño físico del sistema de acondicionamiento analógico para señales fonocardiográficas que se propone en este Trabajo. Para ello, se comienza definiendo las especificaciones de los dos filtros del sistema, de manera que cumplan con las funciones explicadas anteriormente con la mayor exactitud posible. El factor limitador de la complejidad de los filtros vendrá dado por los recursos disponibles en cada FPAA. También se explica la composición del módulo de ajuste automático de amplitud de la señal de salida, y se detalla el funcionamiento y características de cada una de las etapas que lo componen. A continuación, se presentan los circuitos analógicos exteriores a las FPAA, los cuales son imprescindibles para el correcto funcionamiento del sistema. Por último, se detalla la estructura general del prototipo final en placa de circuito impreso (PCB) del sistema, el cual estará compuesto por todas las etapas expuestas anteriormente y otras necesarias para que el sistema se alimente y las FPAA dispongan de un reloj estable, así como los mecanismos necesarios para leer su configuración de una memoria.

En el cuarto capítulo se presentan los resultados de la caracterización y evaluación del sistema de tres maneras. Primero, de forma simulada, se caracterizan los dos filtros del sistema y se evalúa el comportamiento de éste utilizando registros fonocardiográficos reales, para lo que ha sido necesario emplear de forma coordinada dos herramientas: AnadigmDesigner 2 y Orcad-PSpice. Posteriormente, se muestran los resultados experimentales de caracterización de los tres principales módulos (filtros y etapa de ajuste automático de la amplitud) y de evaluación del sistema completo implementado físicamente utilizando los kits de desarrollo AN221K04. Finalmente, se presenta el prototipo final fabricado, comentando los problemas que surgieron durante su puesta en marcha y mostrando los resultados obtenidos al introducir las mismas señales fonocardiográficas en el sistema.

Para finalizar, se exponen las conclusiones extraídas de la realización de este Trabajo, donde el autor ofrece su visión personal de la experiencia obtenida durante el desarrollo del Trabajo y se mencionan posibles líneas de trabajo futuro a partir de la función conseguida con el sistema propuesto.

Capítulo 1

Señal fonocardiográfica y estetoscopios electrónicos

En este capítulo se presentará el concepto de fonocardiografía, realizando una breve introducción histórica para, posteriormente, destacar su importancia en el diagnóstico médico. Posteriormente, se presentarán y explicarán brevemente los principales sonidos y anomalías cardíacas, así como el instrumento que se emplea comúnmente para la grabación de fonocardiografías: el estetoscopio electrónico. Por último, se presentarán algunas propuestas de sistemas de acondicionamiento para este tipo de señales, que sirven como precedente para el sistema que se propone en este Trabajo.

1.1. Fonocardiografía (FCG): Sonidos cardíacos

La fonocardiografía se define como el proceso de grabación gráfica de los sonidos cardíacos. Esta técnica tiene su origen en la auscultación cardíaca, esto es, apreciar los sonidos que produce nuestro corazón al bombear sangre a través de venas y arterias para, en función de sus características, poder establecer relaciones entre anomalías cardíacas y problemas internos al cuerpo humano [1]. En la figura 1.1 se presenta un ejemplo de fonocardiografía de un corazón sano.

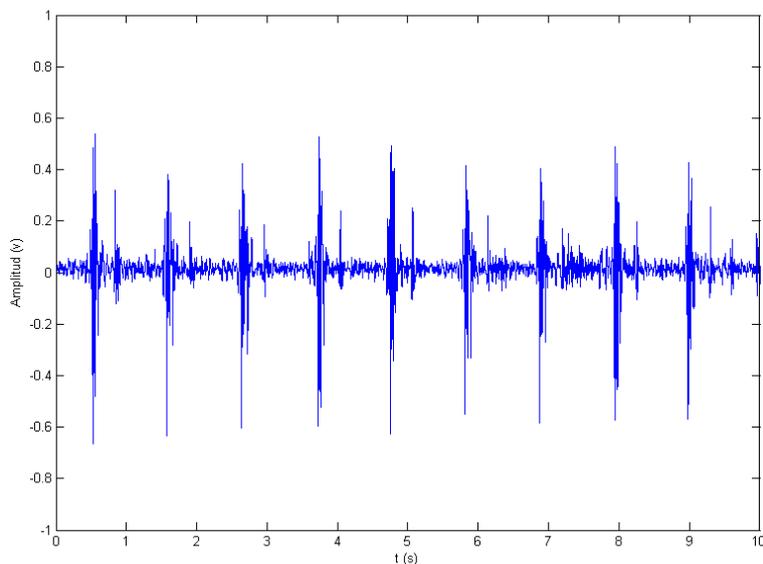


Figura 1.1 - Fonocardiografía de un corazón sano [2]

Tradicionalmente, la auscultación directa fue una técnica impopular, ya que presentaba complicaciones técnicas y sociales, pero con la invención del estetoscopio en 1816 por R. T. H. Laennec, comenzó a utilizarse de forma

generalizada. Este primer diseño amplificaba los sonidos cardíacos y pulmonares sin necesidad de que el médico aplicara su oído directamente sobre el pecho del paciente, paliando así las reticencias de algunos ante dicha técnica, a la vez que mejorando la calidad del sonido percibido por el médico.

Para 1830, el uso del estetoscopio ya estaba bastante extendido, y comenzaron a desarrollarse nuevos modelos y componentes que hicieron que se ampliaran y mejoraran sus funcionalidades (flexible, binaural, adición de la campana, del diafragma, etc.). Todos estos avances en el desarrollo del estetoscopio propiciaron también avances en la detección de los sonidos cardíacos y, consecuentemente, en el diagnóstico de patologías derivado de ellos [3].

La importancia de la auscultación cardíaca se mantuvo hasta principios de los 80, momento a partir del cual comenzó a disminuir ante el rápido avance de otras técnicas de diagnóstico de mayor complejidad tecnológica (tomografía computerizada, imágenes nucleares, etc.). Estas técnicas, a pesar de permitir la obtención de diagnósticos mucho más precisos, también suponen un coste mayor, que no todos los centros médicos pueden asumir. Es por ello que la auscultación sigue siendo la primera herramienta de análisis empleada para comprobar el estado funcional del corazón.

En sus inicios, el fonocardiograma permitió mejorar la precisión, realizar mejores diagnósticos y grabar, comparar y almacenar hallazgos auscultatorios representando gráficamente las ondas sonoras del latido cardíaco. De esta manera, se hizo posible documentar la temporización, intensidad relativa, calidad, frecuencia, timbre y localización de todas las componentes de los sonidos cardíacos de forma más objetiva. Sin embargo, el estado de desarrollo de la fonocardiografía ha quedado atrás con respecto al de otras técnicas de señal biomédicas como el ECG (electrocardiograma), EMG (electromiograma) o EEG (electroencefalograma), debido, principalmente, al desconocimiento concreto del origen de los sonidos cardíacos, la respuesta poco fiable en frecuencia de los estetoscopios comerciales y, sobre todo, a la subjetividad en el diagnóstico [4].

No obstante, la posibilidad de aplicar los medios tecnológicos actuales para la adquisición y procesamiento de señales fonocardiográficas, unida a la aparición del estetoscopio electrónico, con un coste bajo en comparación con otros medios de diagnóstico, ha propiciado una renovación en el interés por utilizar la auscultación cardíaca y la fonocardiografía en el estudio médico.

A la hora de realizar un fonocardiograma, es importante tener en cuenta los distintos sonidos que se pueden encontrar. Por un lado, los sonidos cardíacos que conforman un ciclo cardíaco normal. Los principales se denominan S1 y S2, y en determinados casos también pueden aparecer dos sonidos adicionales: S3 y S4.

S1 se corresponde con el comienzo de la sístole, y se debe a:

- Movimiento de la sangre hacia las aurículas, por la contracción ventricular.

- Deceleración de la sangre al encontrarse cerradas las válvulas auriculoventriculares.
- Oscilación de la sangre entre la base de la aorta y las paredes ventriculares.
- Vibraciones debidas a las turbulencias del flujo sanguíneo al expulsarse a gran velocidad a través de las arterias aórtica y pulmonar.

El segundo sonido, S2, indica el final de la sístole y el comienzo de la diástole, y se produce por el cierre de las válvulas aórtica y pulmonar. Este sonido se puede separar en dos componentes: A2 y P2. La primera se debe al cierre de la válvula aórtica, y precede a P2 en unos pocos milisegundos. P2 se debe al cierre de la válvula pulmonar.

Los sonidos S3 y S4 también pueden producirse en algunas situaciones. S3 sucede inmediatamente después de S2 y se debe al final del llenado ventricular. Por otra parte, S4 ocurre al final de la diástole, y se produce por las contracciones auriculares, que hacen que la sangre se expulse hacia los ventrículos. En la figura 1.2 se presenta un diagrama resumen del ciclo cardíaco.

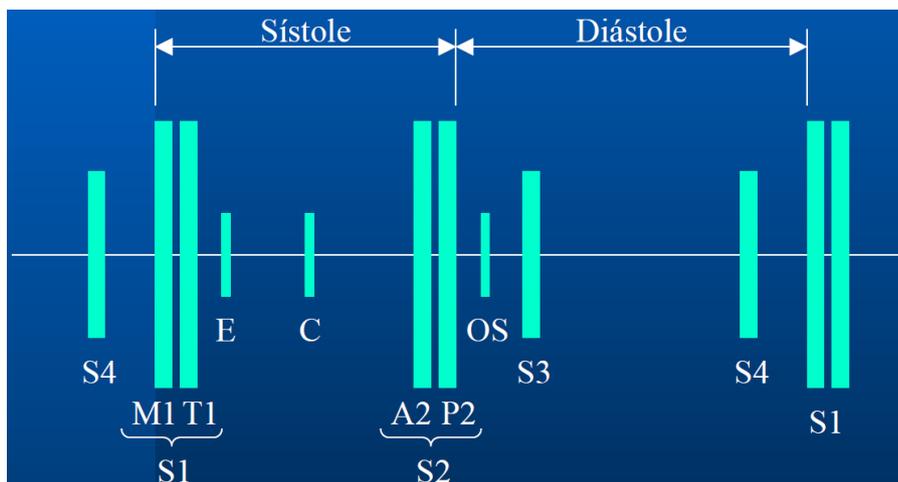


Figura 1.2 - Diagrama del ciclo cardíaco con sus sonidos y composición [1]

Por otro lado, aquellos sonidos que se producen en los períodos intermedios entre S1 y S2, o S2 y S1 (la sístole o la diástole) son los llamados **soplos**. Estos sonidos de carácter anómalo se deben al paso turbulento de la sangre y producen vibraciones en las estructuras cardíacas. Sus principales causas son dos: **estenosis** y **regurgitación**. La estenosis se produce cuando el flujo sanguíneo circula por una válvula parcialmente obstruida, irregular u oprimida. La regurgitación se produce al no cerrarse completamente una válvula, de forma que se presenta un reflujo de sangre en sentido inverso al normal. También pueden contribuir a la aparición de soplos el hecho de que haya una alta tasa de circulación a través de válvulas normales o que la sangre tenga una viscosidad menor a la habitual, produciendo un incremento en la turbulencia.

Los soplos se pueden clasificar en función de la fase del ciclo cardíaco en que se producen (sistólicos, diastólicos o continuos, cuando ocurren en ambas fases) y del momento temporal del soplo durante la fase en que se produce (precoces, cuando

se producen al principio, medios, cuando ocurren a la mitad de la fase y tardíos, si ocurren al final).

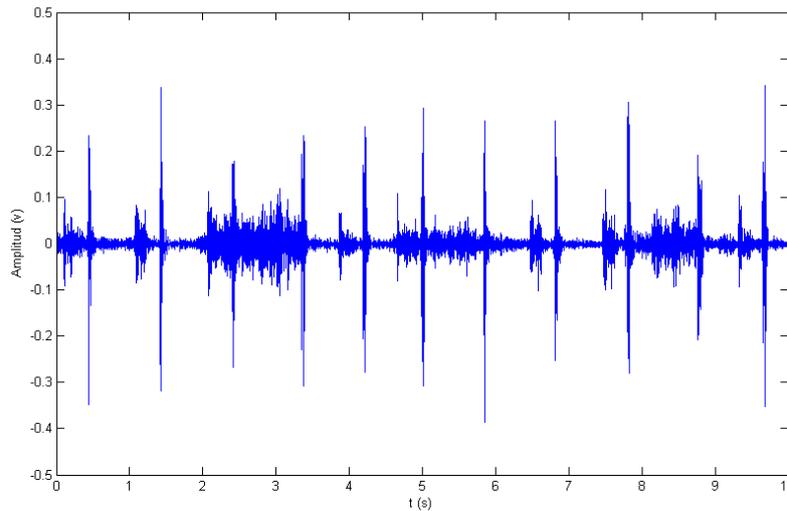


Figura 1.3 - Fonocardiografía que presenta un soplo inocente [5]

Además de estos soplos, indicadores de alguna patología cardíaca, existe el llamado **soplo sistólico inocente**. Este soplo se produce durante la sístole, y no es indicativo de ninguna patología cardiovascular. Es común especialmente en niños, hasta la adolescencia (el 50%), y en muchos ancianos. En la figura 1.3 se puede apreciar un ejemplo de fonocardiografía donde este soplo está presente.

1.2. Características frecuenciales de los distintos sonidos

Gran parte de los sonidos cardíacos se producen a frecuencias bajas, lo cual hace que, en algunos casos, sean difíciles de percibir para el especialista. Esto, unido al hecho de que no todo el mundo tiene la misma agudeza auditiva, tanto en el caso de frecuencias bajas como altas, supone que el diagnóstico de una auscultación tradicional tendrá un alto componente subjetivo. Es por ello importante conocer de antemano, con exactitud, las características frecuenciales de los sonidos cardíacos más comunes.

Los sonidos cardíacos normales; S1, S2, S3 y S4 se producen en un rango de frecuencias de entre 10 y 200 Hz [6]. En la tabla 1.1 se especifican, con mayor exactitud, los rangos de cada sonido diferenciado.

Sonido	Rango de frecuencias típico	Rango de frecuencias con mayor energía
S1	10 – 140 Hz	25 - 45 Hz
S2	10 – 200 Hz	50 – 75 Hz
S3 y S4	20 – 70 Hz	-

Tabla 1.1 - Rango de frecuencias de los sonidos cardíacos normales

Con respecto a los soplos, presentan su energía en rangos de frecuencia dispares, dependiendo de su naturaleza, abarcando conjuntamente un rango bastante mayor, de hasta 600 Hz. Los soplos inocentes se producen en torno a 100 Hz [6]. En la figura 1.4 se resumen algunos de los principales sonidos cardíacos, normales y anómalos, en sus rangos de frecuencia principales, como por ejemplo el soplo sistólico por eyección. A título comparativo, se añade el rango frecuencial que ocuparía el sonido de la respiración [4].

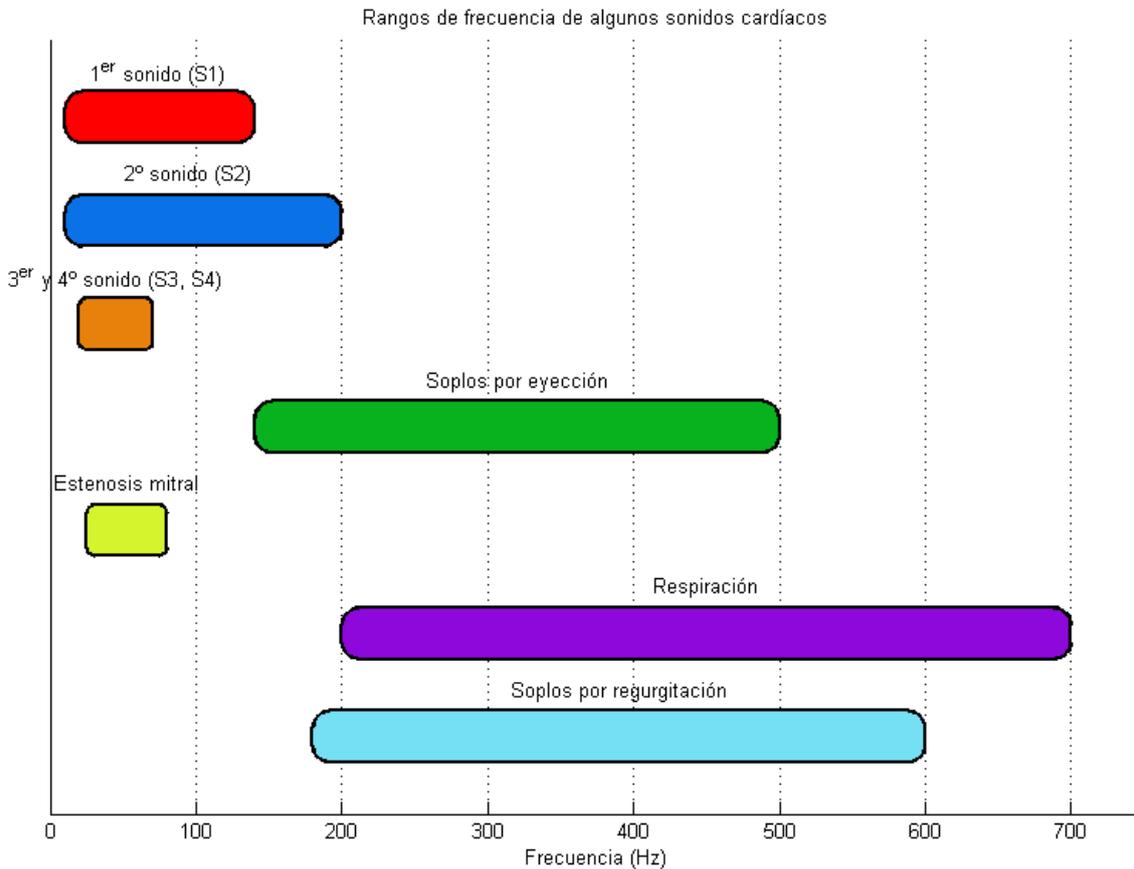


Figura 1.4 - Rangos de frecuencia de algunos sonidos cardíacos

1.3. Captación y registro del FCG: estetoscopios electrónicos

Para la captación de la señal FCG se utiliza el estetoscopio electrónico, que proporciona a su salida los sonidos cardíacos en forma de una señal eléctrica. El estetoscopio electrónico soluciona los inconvenientes principales del estetoscopio acústico original: la distorsión, baja amplificación y pérdida de intensidad del sonido, entre otros. Con los avances en la tecnología de microchips, un estetoscopio electrónico actual no difiere mucho en tamaño ni en peso de uno acústico, y permite funciones adicionales muy valiosas, como un filtrado que elimine todas las frecuencias no interesantes, o la amplificación variable en función del volumen del sonido que se está capturando.

El diseño básico del estetoscopio electrónico consiste en la utilización de un micrófono detrás del diafragma, un amplificador y auriculares o una salida de línea. Actualmente, el amplificador se diseña de forma que su respuesta se puede alterar durante la auscultación, suprimiendo o amplificando ciertas frecuencias, comportamiento que emula los modos de diafragma y campana de un estetoscopio acústico convencional. En algunos es posible, incluso, un modo en el que se realzan los sonidos de alta frecuencia, como los sonidos respiratorios y los mecánicos de las válvulas cardíacas.

Para capturar la señal del estetoscopio electrónico, normalmente se utiliza un PC, a través de su entrada de audio. Sin embargo, este método puede provocar distorsiones no deseadas, por lo que normalmente la mejor opción es utilizar una tarjeta de adquisición dedicada que, adicionalmente, puede tener otras funcionalidades como más de un canal de adquisición. Incluso es posible conectar ciertos estetoscopios electrónicos a un dispositivo móvil, de forma alámbrica o inalámbrica, y observar la señal cardíaca en tiempo real en pantalla. En todos estos casos, la solución es efectiva y de bajo coste. Un ejemplo comercial de estetoscopio electrónico con capacidad de comunicación inalámbrica es el estetoscopio electrónico Littmann E3200, que se muestra en la figura 1.5.



*Figura 1.5 –
Estetoscopio electrónico
Littmann E3200*

1.4. Acondicionamiento analógico de las señales FCG: soluciones

Dada la naturaleza de los sonidos cardíacos y la metodología seguida para capturarlos, se presentan dos objetivos claros con el fin de acondicionar la señal FCG: eliminar cualquier componente frecuencial que no tenga interés en el posterior

diagnóstico y amplificar el resultado de dicha selección hasta una amplitud de señal satisfactoria.

Para satisfacer el primer objetivo, se debe realizar un filtrado que elimine total o parcialmente cualquier frecuencia no perteneciente a los rangos de los sonidos del corazón. Para ello, se puede optar por dos posibles soluciones: la utilización de un filtro paso alto en combinación con un filtro paso bajo, o bien el uso de un filtro paso banda. De esta manera, sobresaldrán las frecuencias más interesantes para un posterior diagnóstico o procesamiento de la señal FCG.

Durante la auscultación, muy a menudo se producirán eventos en los que la amplitud de la señal de salida del estetoscopio se verá comprometida: movimientos involuntarios del paciente, posicionamiento incorrecto del instrumento por parte del especialista, atenuación debida a otras patologías, etc. Ante estas situaciones, es vital que la etapa de acondicionamiento analógico del estetoscopio electrónico posea un mecanismo de amplificación de la señal, constante o variable, de forma que la amplitud de la señal de salida sea, en todo momento, suficiente.

El problema del acondicionamiento analógico de la señal FCG se puede abordar desde distintos puntos de vista, atendiendo al rango de sonidos que resultan interesantes para según qué aplicación. A continuación se presentan algunas propuestas de implementación para este sistema.

1.4.1. Propuesta I

En [7] se propone un sistema de acondicionamiento dividido en tres etapas: filtrado paso alto con amplificación, filtrado paso bajo y, por último, amplificación de nuevo (figura 1.6).

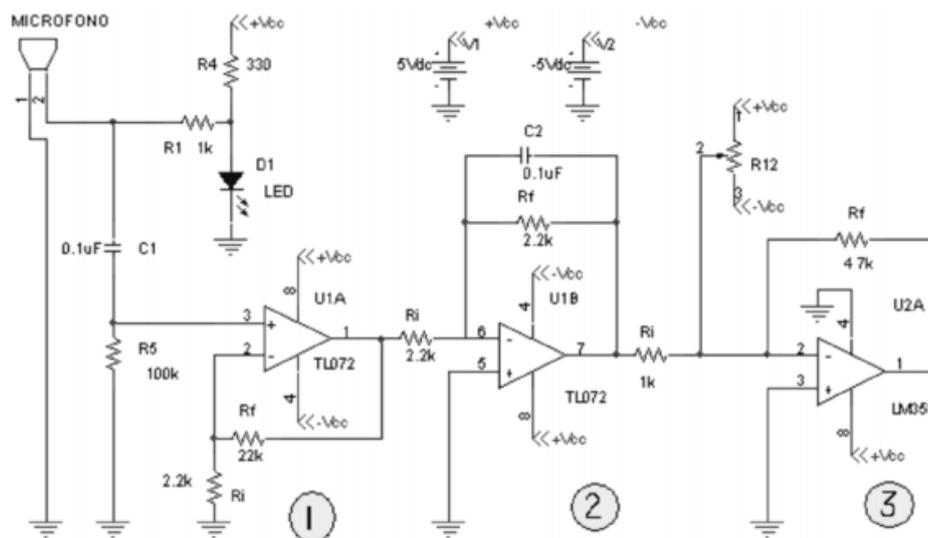


Figura 1.6 - Primera propuesta de un sistema de acondicionamiento para la señal FCG

En la primera etapa, se sitúa un filtro paso alto pasivo, tipo RC, cuya frecuencia de corte viene dada por la expresión:

$$f_c = \frac{1}{2\pi RC} \quad (1)$$

Que es, en este caso, de 10 Hz. Inmediatamente a continuación, se encuentra un amplificador en configuración no-inversora, con una ganancia de 11. La segunda etapa la compone un filtro activo paso bajo, con frecuencia de corte de 700 Hz que, además, invierte la señal (configuración de amplificador inversor); esta etapa no introduce ninguna ganancia adicional. Por último, la tercera etapa contiene un amplificador inversor de ganancia fija de 47. Además de estas tres etapas principales, cabe destacar la introducción de un potenciómetro (R12), que permite elevar la señal un cierto offset antes de entrar al amplificador de la tercera etapa. Esta operación es necesaria, ya que la señal de salida del sistema que se propone en [7] se adquiere con un microcontrolador, el cual sólo soporta tensiones positivas. Por tanto, el amplificador operacional utilizado en la tercera etapa debe tener una tensión de alimentación sólo positiva.

En conjunto, esta propuesta sugiere un acondicionamiento analógico de la señal FCG compuesto por un filtrado paso banda entre 10 y 700 Hz y una ganancia total de 517.

1.4.2. Propuesta II

En [8] se presenta un acondicionamiento de la señal fonocardiográfica dividido en una etapa analógica y otra digital. La analógica tiene el objetivo de adaptar la señal a los rangos permitidos por el sistema de adquisición, mientras que la etapa digital, que se implementa en software tras la adquisición de los datos en un ordenador, tiene la misión de preparar los parámetros de la señal para su posterior procesamiento.

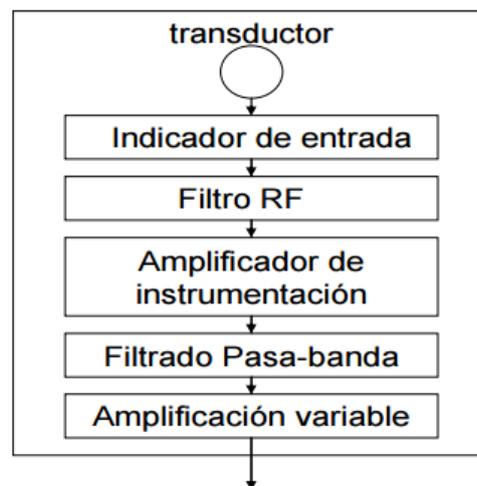


Figura 1.7 - Diagrama de bloques de la etapa de acondicionamiento analógico

La etapa de acondicionamiento analógico, cuyo diagrama de bloques se presenta en la figura 1.7, se compone de cuatro etapas principales: dos de filtrado alternadas

con dos de amplificación. La primera etapa de filtrado paso bajo se implementa con un circuito pasivo tipo RC, atenuando las frecuencias a partir de 1 kHz. Después, se coloca un amplificador de instrumentación, el AD620, cuya ganancia se podrá ajustar por medio de una resistencia externa (R_g), de acuerdo con la ecuación:

$$G = \frac{49,4 \text{ k}\Omega}{R_g} + 1 \quad (2)$$

Para terminar, se incluye una etapa de filtrado activo paso banda, compuesta, a su vez, por dos filtros: un filtro paso bajo de Butterworth, de 2º orden, con frecuencia de corte de 1 kHz y un filtro paso alto, del mismo orden y tipo, y frecuencia de corte de 20 Hz. La última etapa de amplificación variable se implementa con un amplificador no inversor, utilizando un potenciómetro como resistencia de realimentación.



Figura 1.8 - Diagrama de bloques de la etapa de acondicionamiento digital

Tras la adquisición de la señal fonocardiográfica, preacondicionada en la etapa analógica, se realiza otro procesado, esta vez digital, de los datos (figura 1.8). De todas las tareas que se realizan en este bloque, la parte relevante para esta sección es la de filtrado digital y normalización. El filtrado digital es de tipo paso banda, y se realiza con una configuración en cascada de un filtro paso bajo y otro paso alto. En ambos casos, se usa un filtro de tipo Butterworth, de 6º orden, con frecuencias de corte de 1000 y 17 Hz, respectivamente. Además, se incluyen en el sistema de filtrado dos filtros elimina-banda cuya misión es eliminar la componente frecuencial de la corriente eléctrica (60 Hz), así como su primer armónico (120 Hz). Después de esta etapa de filtrado, se realiza una normalización de la amplitud de la señal, es decir, una amplificación de tal manera que la máxima amplitud de la señal grabada sea de valor 1.

1.4.3. Propuesta III

En la propuesta de [9], que constituye un diseño previo del grupo de investigación en el que se desarrolla este Trabajo, se presenta un sistema de acondicionamiento analógico para la señal fonocardiográfica conformado por un amplificador de entrada, un filtro paso banda y un amplificador de ganancia programable (figura 1.9).

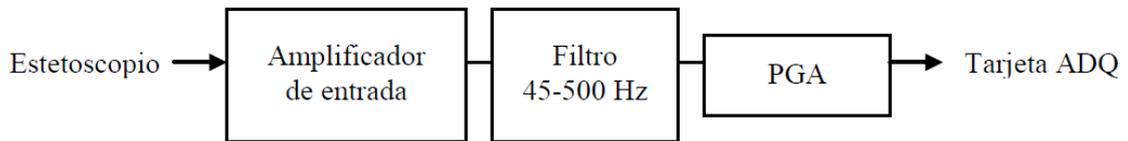


Figura 1.9 - Diagrama de bloques de la propuesta III

El amplificador de entrada tiene la misión de establecer un nivel de la señal de entrada aceptable, ya que la señal de salida del estetoscopio puede ser, en principio, de poca amplitud. La estructura de dicho amplificador es la de un amplificador de instrumentación convencional, con tres amplificadores operacionales (figura 1.10). La expresión de ganancia de este amplificador viene dada por la expresión:

$$G = \frac{(R_2 + 2 \cdot R_1)}{R_2} \cdot \frac{R_4}{R_3} \quad (3)$$

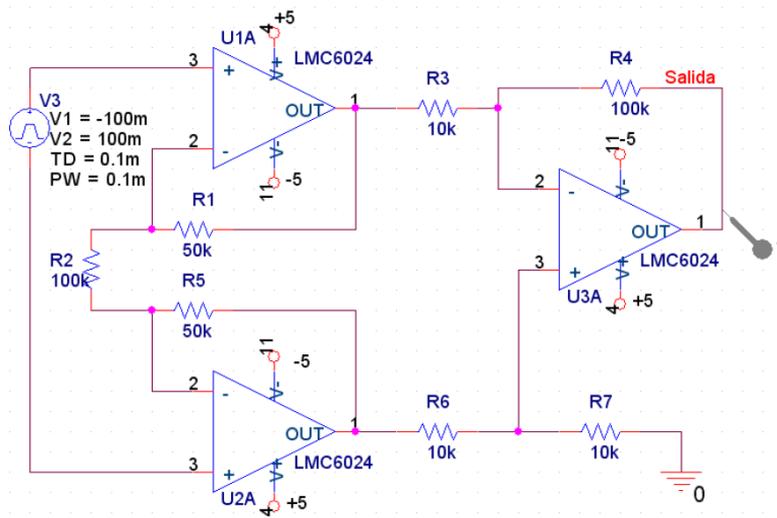


Figura 1.10 - Amplificador de entrada

El filtro analógico propuesto es un filtro paso banda de Chebyshev, de 6^º orden, con banda de frecuencias de 45 a 500 Hz. Sus etapas se han diseñado mediante estructuras de filtros activos universales, para facilitar su ajuste. Además, para mantener el nivel de tensión de la entrada a la salida del filtro, se introducen dos etapas de ganancia: una al comienzo (que en el diseño final correspondería al amplificador de entrada) y otra entre la segunda y tercera etapa, ya que las ganancias en las etapas del filtro son bajas (figura 1.11). La respuesta en frecuencia de este filtro se presenta en la figura 1.12 y, como se puede comprobar, se corresponde con las especificaciones anteriores.

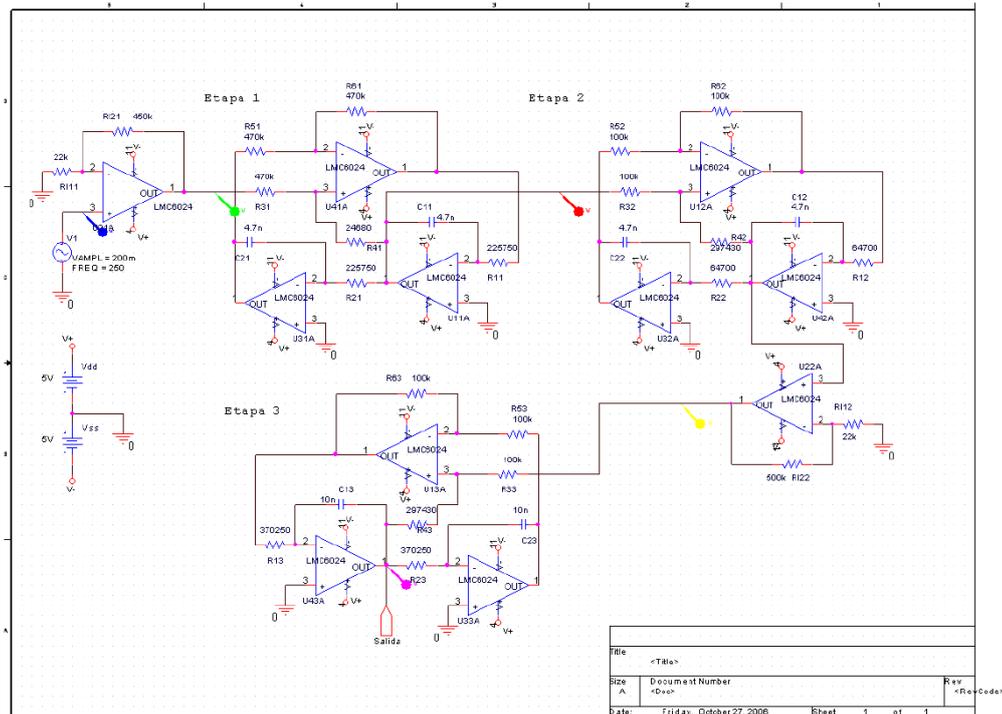


Figura 1.11 - Estructura del filtro paso banda

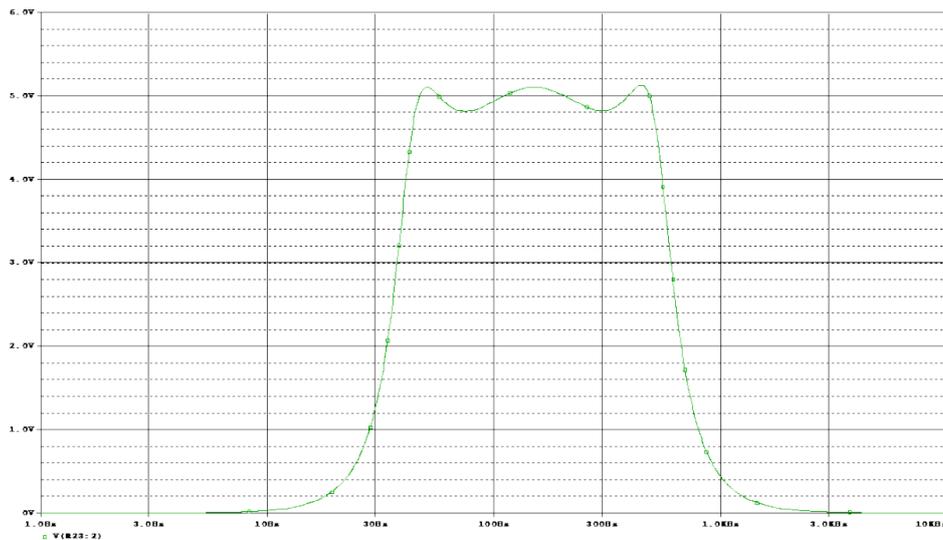


Figura 1.12 - Respuesta en frecuencia del filtro paso banda

Aunque la primera etapa de ganancia se podría eliminar del diseño definitivo, puesto que la señal de entrada vendrá dada por el amplificador de instrumentación con ganancia ajustable en función del rango dinámico de la señal del estetoscopio, la segunda etapa es imprescindible, si se quiere que los niveles de salida del filtro alcancen una SNR aceptable. Sin embargo, a pesar de que en la salida de esta etapa amplificadora intermedia el nivel de la señal es del orden del de la señal de entrada, en la última etapa éste es bastante menor. Por ello, es imprescindible una etapa de ganancia programable a la salida del filtro que sitúe la señal de entrada en el rango dinámico de la tarjeta de adquisición en uso ($\pm 5 V$). Este amplificador de ganancia programable se implementa mediante una configuración no inversora con

amplificador operacional, cuya resistencia de realimentación consiste en un potenciómetro con control digital (X9C104 de Xicor) [10]. Este circuito CMOS contiene 99 resistencias, con una resistencia total de la escalera de 100 k Ω , y se controla seleccionando el punto intermedio de conexión con una palabra digital de 7 bits. En las pruebas que se realizaron en esta propuesta, se demostró que la ganancia del amplificador resultante tenía una dependencia casi lineal con los pulsos introducidos en el contador que marca la posición del punto intermedio del potenciómetro.

Capítulo 2

FPAA (Field Programmable Analog Array)

En este capítulo se dará una visión general del concepto de *Field Programmable Analog Array*, FPAA, un tipo de circuito analógico programable con muchas posibilidades y ventajas respecto a arquitecturas analógicas convencionales. Posteriormente, se presentará la FPAA que se ha utilizado en este Trabajo, el modelo AN221E04 de Anadigm, y se explicarán su estructura y funcionalidades. Por último, se hará una breve introducción a las herramientas de desarrollo de este chip programable: el software AnadigmDesigner 2 y el kit de desarrollo AN221K04.

2.1. Introducción a las FPAA

FPAA son las siglas de *Field-Programmable Analog Array*. Estos dispositivos analógicos programables surgieron al principio del presente siglo como una alternativa plenamente analógica a las FPGA (*Field Programmable Gate Array*), dispositivos electrónicos reconfigurables de naturaleza digital.

El ciclo de diseño de un circuito analógico complejo precisa de diversas iteraciones del proceso de fabricación, que, junto con otras tareas, puede consumir una cantidad de tiempo considerable. Utilizando un chip analógico reconfigurable se puede reducir drásticamente el ciclo de diseño eliminando la fase de fabricación del proceso. De esta manera, muchos diseños pueden ser probados y modificados en un solo día [11].

De la misma manera que las FPGA, las FPAA no son la solución más óptima en todos los casos, aunque sí son enormemente útiles en muchas situaciones, y muchas veces es posible utilizarlas para realizar prototipos que, aunque no contengan la funcionalidad completa del diseño, sí representan una parte significativa de éste. Un diseño implementado en una FPAA posiblemente sufrirá mayores efectos parásitos, además de algunas ineficiencias (como, por ejemplo, un menor ancho de banda o mayor consumo de potencia). Sin embargo, el ahorro de tiempo que permiten estos sistemas en el diseño de circuitos analógicos es razón suficiente para justificar su utilidad.

Además, las FPAA son plataformas que permiten la implementación de funciones de procesamiento de señal avanzadas (que normalmente sólo se podrían llevar a cabo en sistemas digitales) con circuitos analógicos. Esta característica es especialmente valiosa, ya que el principal beneficio de los sistemas de procesamiento de señal analógicos frente a los digitales es su potencial para reducir el consumo, una característica siempre deseable en cualquier sistema electrónico. A esta ventaja hay que añadir su simplicidad estructural, en la mayoría de los casos, y su mayor velocidad.

Las FPAA se puede dividir en dos categorías: dispositivos de tiempo continuo y de tiempo discreto.

Los **dispositivos de tiempo continuo** funcionan como un *array* de transistores y amplificadores operacionales, los cuales pueden operar a su máximo ancho de banda. Los componentes se conectan siguiendo un patrón particular, mediante un conjunto de conexiones configurables controladas, generalmente, por registros digitales, los cuales se pueden escribir utilizando un controlador externo. Durante el diseño, las inductancias, capacidades y contribuciones de ruido de la matriz de conmutadores deben ser tenidas en cuenta. Este tipo de FPAA tienen la ventaja de que evitan los artefactos producidos por el muestreo, no necesitan filtros anti-*aliasing* y permiten utilizar grandes anchos de banda con un comportamiento predecible.

Los **dispositivos de tiempo discreto** hacen uso de un reloj, y se basan en estructuras de condensadores conmutados. En este tipo de diseños, todos los bloques, conocidos como CABs (*Configurable Analog Block*), muestrean sus señales de entrada mediante circuitos tipo *sample and hold*, compuestos por un conmutador y un condensador. Posteriormente, este circuito se conecta a otra etapa compuesta por un amplificador operacional programable, que, por último, puede ser interconectado a diversos bloques de distinta naturaleza. Este tipo de diseños requiere una arquitectura más compleja, además de la necesidad de compensar el ruido de conmutación, el efecto de *aliasing* a la frecuencia de muestreo del sistema y el ancho de banda reducido debido al muestreo. Sin embargo, son mucho más flexibles que los dispositivos de tiempo continuo.

Actualmente existen diversas opciones a la hora de elegir un circuito analógico programable. En primer lugar, las FPAA de Anadigm: dispositivos de tiempo discreto con una estructura como la que se ha explicado anteriormente. Por otro lado, pueden encontrarse otras alternativas comerciales que combinan circuitería analógica programable con otros circuitos de diversa naturaleza. Este es el caso de los *Programmable System-On-Chip (PSOC)* de Cypress. Estos dispositivos combinan bloques analógicos programables (de menor tamaño, aunque con más funciones que en las FPAA) con bloques digitales programables y un microprocesador de 32 bits, haciéndolos dispositivos muy versátiles. Otra alternativa a las FPAA pueden ser los *Via Configurable Arrays (VCA)* de Triad Semiconductor. Estos dispositivos, de tipo ASIC (Circuito integrado de aplicación específica) combinan circuitería analógica (en tiempo discreto o continuo) y digital programables. También disponen de conversores analógico-digital y digital-analógico, así como la posibilidad de operar con altos voltajes. A pesar de su gran cantidad de funcionalidades y potencial, su principal inconveniente es que no poseen la capacidad de reconfiguración de las FPAA: cada nuevo diseño debe fabricarse.

2.2. Circuito AN221E04 de Anadigm. Estructura interna y características

En el presente trabajo se ha utilizado el circuito analógico programable AN221E04 de *Anadigm*. En esta sección se presentarán, sin entrar en amplio detalle, sus principales especificaciones técnicas, así como sus características estructurales particulares.

En la figura 2.1 se muestra un esquema general de la arquitectura de la FPAAN221E04 [12]. Este chip está compuesto por una matriz 2x2 de CABs, rodeados por una serie de recursos programables de interconexión. La mayor parte del procesamiento analógico de la señal se lleva a cabo en estos CABs, y se realiza con circuitería enteramente diferencial. Los cuatro CABs tienen, además, acceso a una única Tabla de Consulta (Look Up Table – LUT), que hace posible ajustar cualquier elemento programable en el dispositivo en respuesta a una señal de control o base de tiempos. Se puede utilizar para implementar una función de transferencia arbitraria, generar señales arbitrarias, e incluso realizar filtrado dependiente de tensión.

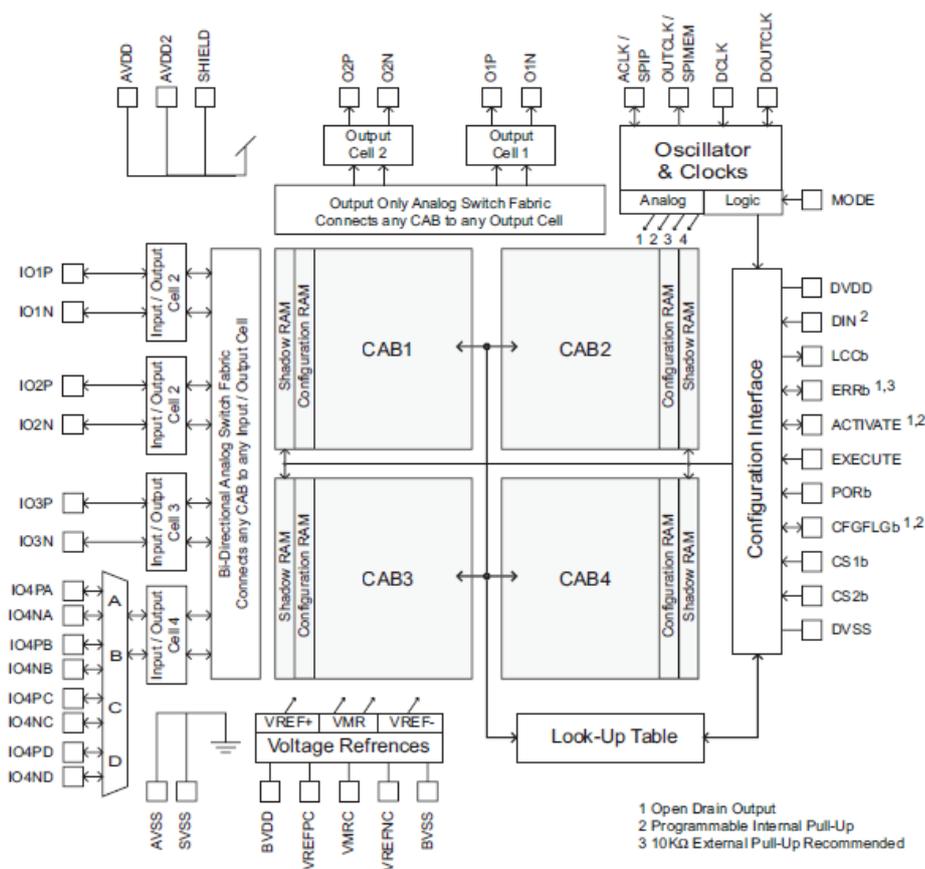


Figura 2.1 - Esquema general de la arquitectura del AN221E04

Esta FPAAN221E04 contiene una estructura de entrada/salida conformada por cuatro celdas configurables de E/S y dos celdas de salida dedicadas. Esto hace posible utilizar múltiples canales analógicos simultáneamente, lo cual da una mayor

versatilidad en aplicaciones que usen la E/S de forma intensa. Las señales analógicas de entrada se pueden introducir en el sistema utilizando las cuatro celdas de entrada/salida configurables. La cuarta tiene una función de multiplexado que permite la conexión de hasta 4 fuentes de señal o cargas diferentes.

Por otra parte, esta arquitectura incluye además una interfaz de configuración digital. La interfaz de configuración puede trabajar en modo “autónomo”, conectando una EPROM SPI o Serie. En este modo, después de que el dispositivo se inicialice, se carga automáticamente la configuración de la EPROM y el dispositivo comienza a funcionar inmediatamente después. La interfaz de configuración también está directamente conectada a un puerto SPI para microcontrolador, donde se identifica como un esclavo SPI. Además, esta interfaz permite que varios dispositivos sean conectados entre sí para poder construir sistemas de procesamiento analógico de mayor envergadura.

Por último, existe un generador de voltaje de referencia, que facilita una tensión de referencia a cada uno de los CABs del dispositivo. Este posee, además, pines externos para la conexión de condensadores de filtrado.

2.2.1. Bloques analógicos configurables (CABs)

Como ya se ha mencionado, la FPAA posee cuatro bloques analógicos configurables. Las funciones disponibles en la librería del software de programación se implementan en estos circuitos analógicos programables. En la figura 2.2 se puede ver el diagrama de bloques de un CAB:

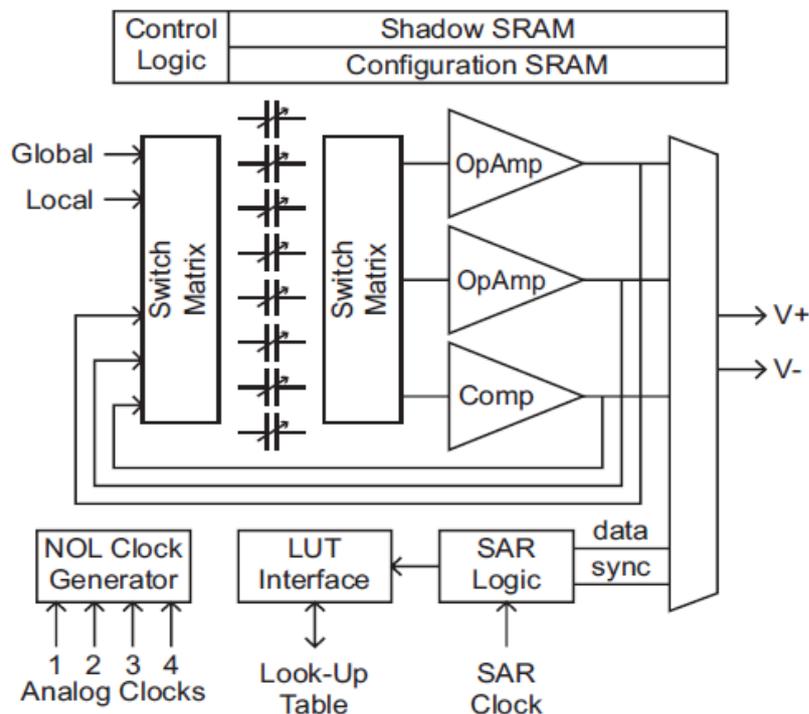


Figura 2.2 - Vista resumen de un bloque analógico configurable

Algunas conexiones analógicas dentro del CAB son estáticas, y determinan parámetros como las conexiones circuitales, valores de capacidad y qué entrada está activa. Otras son dinámicas, y pueden cambiar según la señal analógica de entrada, la fase de reloj seleccionada, y la lógica del registro de aproximación sucesiva (*Successive Approximation Register* – SAR). Todas las conexiones están controladas por la memoria RAM estática (*Static Random Access Memory* – SRAM) de configuración. Cuando se produce una secuencia de reset, la SRAM se coloca en un estado conocido. La lógica de configuración transfiere entonces los datos desde fuera a la SRAM oculta (Shadow SRAM) y, de ahí, se copian en la SRAM de configuración. El AN221E04 permite la reconfiguración en tiempo real. Mientras el chip está en funcionamiento, la SRAM oculta se puede volver a cargar con otros valores que se usarán posteriormente para actualizar la SRAM de configuración. Esto permite realizar actualizaciones del hardware en tiempo real, ya sea para corregir errores o añadir nuevas funcionalidades, sin alterar el flujo normal de la señal.

Las señales llegan a la matriz de conmutación analógica mediante recursos de interconexión locales. Además, llega también la realimentación de los dos amplificadores operacionales internos del CAB y del comparador. Justo después de la matriz se encuentra un banco de 8 condensadores programables, cada uno de los cuales es, en realidad, un banco de pequeños condensadores de igual tamaño. Cada uno de estos 8 condensadores puede tomar un valor relativo de entre 0 y 255 unidades de capacidad. Esto es así porque los elementos de la biblioteca del software no dependen del valor absoluto de estos condensadores, sino de la relación entre ellos. Después del banco de condensadores existe una segunda matriz de conmutación para concretar la topología del circuito y realizar las conexiones apropiadas. En el núcleo del CAB hay dos amplificadores operacionales y un comparador. Las salidas de estos dispositivos activos se conectan a la primera matriz de conmutación, por lo que es posible construir circuitos con realimentación. Estas salidas también van conectadas con CABs vecinos.

El procesamiento de la señal dentro del CAB se lleva a cabo, normalmente, con un circuito de capacidades conmutadas. Este tipo de circuitos necesitan relojes no superpuestos (*Non-overlapping clocks*, NOL) para poder funcionar correctamente. La parte generadora de reloj NOL usa uno de los cuatro relojes analógicos del sistema para generar todos los relojes no superpuestos que el CAB necesita.

Existe un registro de aproximación sucesiva que, cuando se habilita, utiliza el comparador para implementar un conversor analógico-digital de 8 bits. Si se conecta la salida del SAR de nuevo a su mismo CAB, o a la LUT, se hace posible la creación de funciones analógicas no lineales, como multiplicación de voltaje, compresión, linealización y control automático de ganancia. La LUT de 256 bytes tiene una entrada de 8 bits que puede venir de la salida del SAR o de un contador de 8 bits especial para la LUT.

2.2.2. Celdas de entrada/salida

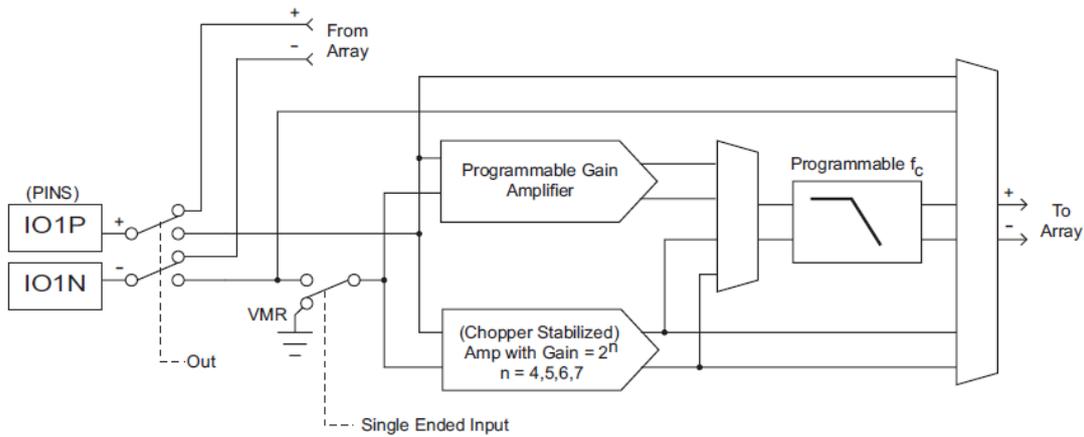


Figura 2.3 - Esquema general de una celda de entrada/salida

En la figura 2.3 se muestra un esquema general de una celda de entrada/salida. Cada celda de entrada/salida puede hacer pasar una entrada diferencial de señal directamente al array interno, o procesar señales no diferenciales (*single-ended*) o diferenciales de entrada utilizando una combinación de: buffer de ganancia unitaria, amplificador de ganancia programable, filtro anti-aliasing programable y amplificador “troceador” estabilizado (*chopper*). El amplificador chopper está pensado para ser utilizado con señales que requieran una ganancia alta, y, por tanto, componentes de continua (DC) de entrada extremadamente bajas.

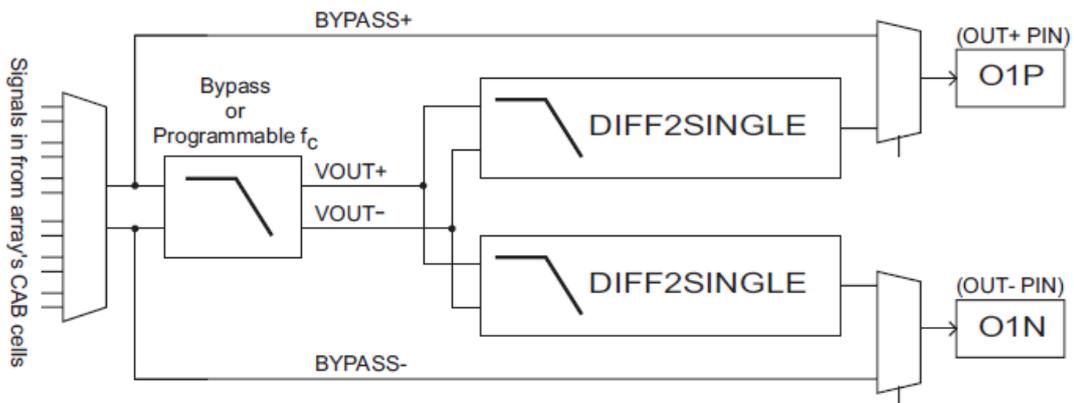


Figura 2.4 - Esquema de una celda de salida analógica

Las señales de salida se pueden llevar a través del array hacia las células de entrada/salida directamente, ignorando cualquier otra circuitería (modo “*bypass*”). Sin embargo, a través de una célula de salida es posible llevar la señal al exterior ignorando de nuevo cualquier circuitería, o bien a través de un filtro de reconstrucción programable y un par de convertidores diferencial a single-ended (figura 2.4). En cualquier caso, la señal de salida siempre se presenta externamente como un par diferencial. Las celdas de salida también se pueden utilizar para alimentar un comparador lógico de nivel. Además, este circuito programable permite al diseñador la implementación de un convertidor analógico-digital de 8

bits integrado, eliminando la necesidad de utilizar un conversor externo. Con el AN221E04, es posible enviar la salida digital del conversor fuera del chip, utilizando una de las celdas de salida dedicadas.

2.2.3. Relojes

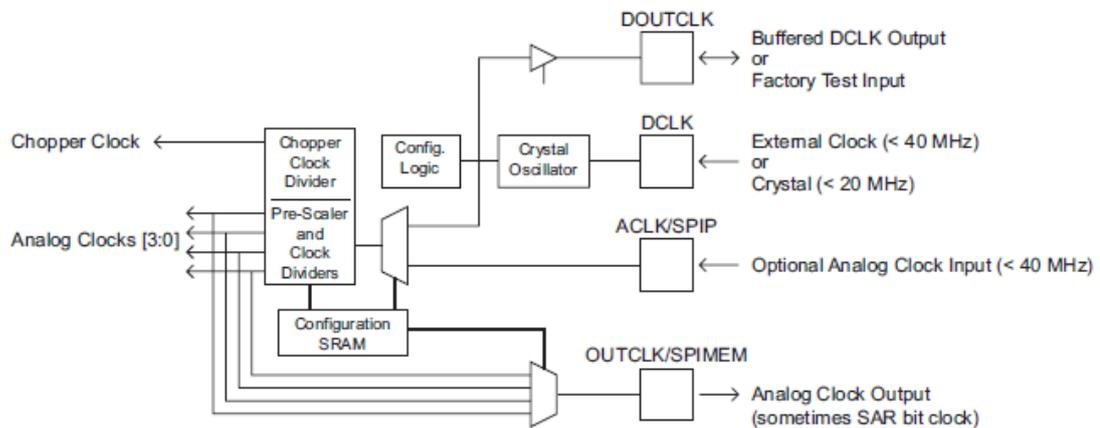


Figura 2.5 - Relojes y circuitería de generación de relojes analógicos

En la figura 2.5 se presenta la estructura de relojes del AN221E04. Esta FPAA es capaz tanto de aceptar un reloj externo como de generar el suyo propio utilizando un oscilador interno del chip junto a un cristal externo. La detección del cristal se realiza automáticamente. La frecuencia del reloj interno resultante se puede dividir en cuatro relojes internos de capacidades conmutadas gracias a divisores programables. Además, la circuitería de reloj es capaz de llevar estos cuatro relojes a la salida del chip.

El reloj que sincroniza la lógica de configuración siempre se toma del pin DCLK. Este pin puede estar conectado a un reloj externo de hasta 40 MHz, o bien a un cristal resonador en serie, en cuyo caso la circuitería se configura para crear un oscilador controlado por cristal, sin necesidad de ninguna programación específica.

Todos los relojes analógicos se originan de un único reloj maestro, ACLK o DCLK, que dependerá de la configuración que se utilice en el sistema. El reloj maestro se divide en otros 5 relojes. El primero se utiliza únicamente en los amplificadores chopper de las celdas de entrada/salida. Los otros cuatro se generan a partir de un pre-escalador programable por el usuario, que alimenta cuatro divisores programables. Cada uno de estos relojes se puede utilizar para controlar la lógica del SAR, un CAB o la circuitería de capacidades conmutadas dentro del mismo. La circuitería encargada de la generación del reloj asegurará que todos los relojes creados a partir del reloj maestro tendrán sus flancos de subida sincronizados, de forma que no haya desviaciones entre dos relojes de igual frecuencia. Cabe destacar que todo lo anterior es aplicable también para relojes en un sistema de varios dispositivos conectados (en configuración *daisy-chain*).

2.2.4. Interfaz de configuración digital

La interfaz de configuración de este sistema permite transferir datos de configuración de forma flexible a la memoria del AN221E04, así como la configuración automática de forma independiente desde una EPROM, tanto SPI como tipo serie. También soporta la configuración mediante SPI o SSI, o a través de una interfaz típica de bus de microprocesador. La selección entre estos dos modos de configuración se realiza con el pin MODE. El sistema puede soportar velocidades de configuración de hasta 40 MHz.

El modelo que nos ocupa, el AN221E04 ofrece una funcionalidad adicional: que el dispositivo sea reconfigurado desde el cliente. Esto permite la modificación de todas o alguna parte del dispositivo de forma repetida, cuando se requiera, utilizando el protocolo de reconfiguración. El comportamiento de la FPAA, por tanto, puede ser ajustado en tiempo real para mantenerse al día con cambios dinámicos de la aplicación.

Los datos de configuración se almacenan en una configuración de memoria tipo SRAM repartida por la FPAA. Como ya se ha mencionado, existen dos memorias SRAM en el chip: la SRAM oculta y la SRAM de configuración. Los datos de configuración se cargan primero en la SRAM oculta y, seguidamente, en el siguiente flanco del reloj definido por el usuario, se cargan a la SRAM de configuración. La funcionalidad analógica del dispositivo se comportará según los datos almacenados en la SRAM de configuración. Este método permite que la configuración se cargue al dispositivo en segundo plano y tenga efecto instantáneamente cuando sea necesario. También es posible leer la SRAM de configuración, lo cual permite que el usuario compruebe la integridad de los datos si fuese necesario.

Este dispositivo también posee una LUT que forma parte de la SRAM de configuración y se puede leer y escribir, aunque no soporta el uso de la SRAM oculta, por lo que los datos escritos en la LUT se harán válidos en el mismo instante en que sean escritos.

Cuando el dispositivo se alimenta, se resetea la SRAM de configuración y el dispositivo se prepara para la configuración inicial. La configuración inicial se realiza de acuerdo al protocolo de inicialización del dispositivo. Una vez completada, se pueden realizar reconfiguraciones, tal como se ha mencionado anteriormente.

2.2.5. Arranque desde memoria EEPROM

La FPAA puede configurarse de forma autónoma arrancando desde una memoria no volátil. La AN221E04 es compatible con EPROMs tipo SPI o Serie (las más comunes para configuración de FPGAs). Cuando se alimenta el sistema, la FPAA completa su secuencia de arranque (*power-on reset*), para entonces comprobar el estado de los pines CS1b y CS2b. Si éstos presentan un valor correcto, proporcionarán las señales necesarias para leer de cualquiera de los dos tipos de EPROM mencionados. Una vez leídos todos los datos de configuración, el dispositivo activa su circuitería analógica. El proceso completo de arranque y configuración se realiza de manera automática.

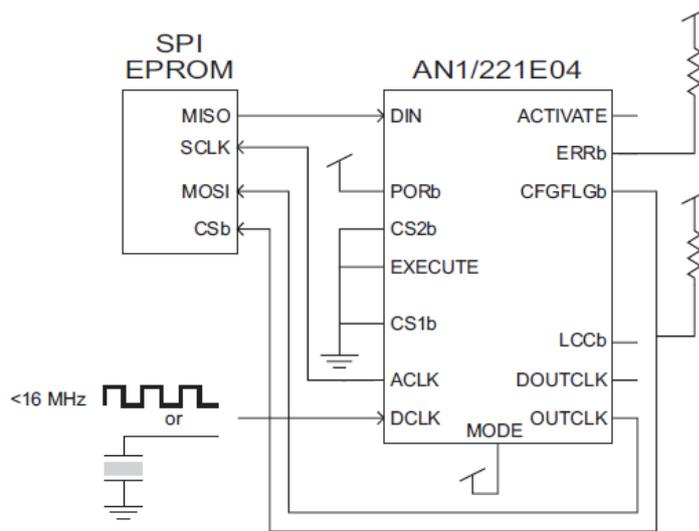


Figura 2.6 - Esquema de conexión típico a una memoria EPROM tipo SPI

En la figura 2.6 se muestra un esquema de conexión típico con una memoria EPROM tipo SPI. Una vez completada la secuencia de arranque, el pin CFGFLGb se pondrá en bajo, seleccionando así el dispositivo de memoria. El pin OUTCLK enviará entonces comandos serie a la memoria SPI, pidiéndole que comience la transferencia de datos, empezando por su dirección 0. A su debido tiempo, la FPAA atenderá su pin DIN, esperando un byte SYNC seguido de los datos de configuración. Si se produce un error durante el proceso, el pin ERRb se pondrá en bajo y el dispositivo ignorará el resto de datos recibidos.

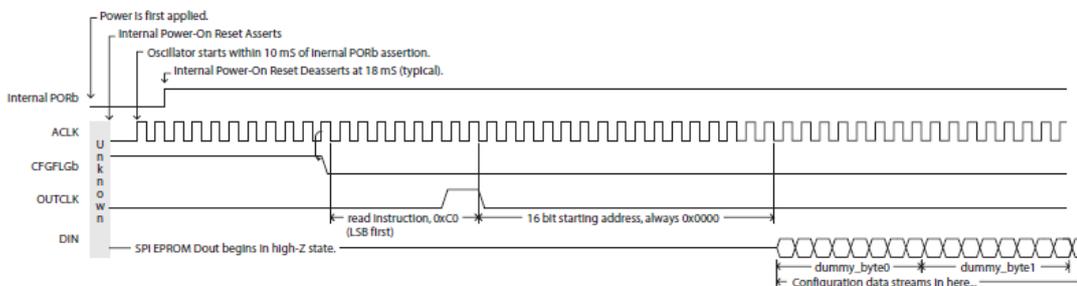


Figura 2.7 - Secuencia de inicialización con una memoria SPI

Cuando el sistema recibe alimentación, las señales ACLK, CFGFLGb y OUTCLK se encuentran en un estado desconocido, por lo que la circuitería interna pondrá todas estas señales en un estado conocido (figura 2.7). Cuando el último byte de datos de configuración se reciba en el dispositivo, CFGFLGb volverá a su estado original (figura 2.8). Un ciclo de reloj más tarde, OUTCLK empezará a enviar al exterior uno de los cuatro relojes analógicos internos, o la salida de uno de los cuatro comparadores, si los datos de configuración así se lo indican. Si no se selecciona ningún reloj para enviarlo a OUTCLK, el pin se pondrá en bajo.

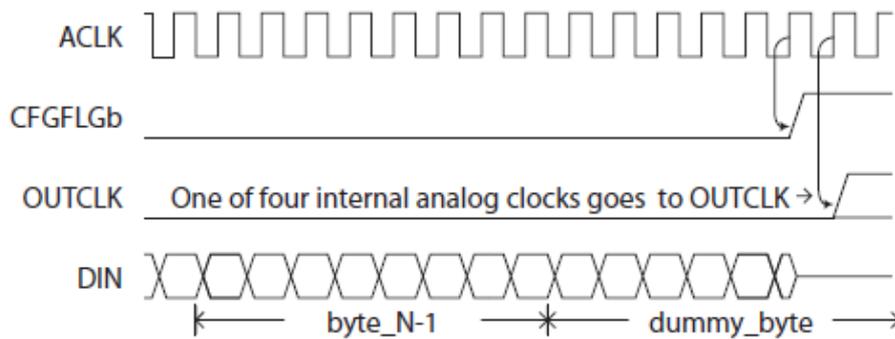


Figura 2.8 - Secuencia final con una memoria SPI

Es posible configurar varias FPAA desde una única memoria EPROM. La primera FPAA tendrá ambos pines de selección de chip en bajo, así que se empezará a configurar inmediatamente después del encendido del sistema. Todos los dispositivos siguientes detendrán su configuración porque sus pines CS1b se mantendrán en alto. Una vez complete la primera FPAA su configuración, pondrá en bajo su pin LCCb (figura 2.9). Esto sirve como señalización para el próximo dispositivo en la cadena, que comenzará su secuencia de configuración inmediatamente. Este proceso se seguirá hasta el final de la cadena.

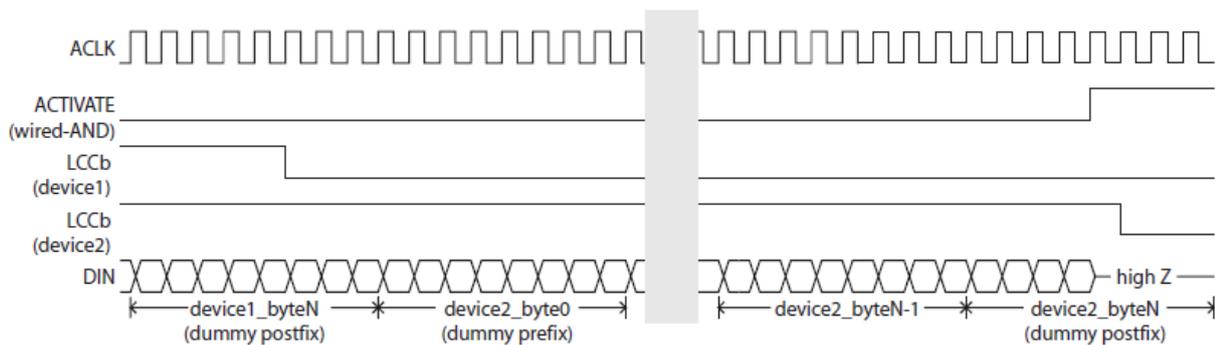


Figura 2.9 - Secuencia de inicialización con una memoria SPI y dos FPAA

Unir los pines ERRb de todos los chips asegurará que, si cualquiera de ellos detecta un error durante su configuración, todos los dispositivos de la cadena se resetearán, y la configuración del sistema empezará de nuevo. De la misma manera, todos los dispositivos en la cadena de configuración tendrán sus pines ACTIVATE conectados, de forma que, según vaya completando su configuración cada dispositivo, dejará de enviar un valor bajo a ACTIVATE. Cuando el último chip de la cadena complete su configuración, hará lo mismo. De esta manera, toda la circuitería analógica se activará con el siguiente ciclo de reloj, una vez ACTIVATE esté en alto.

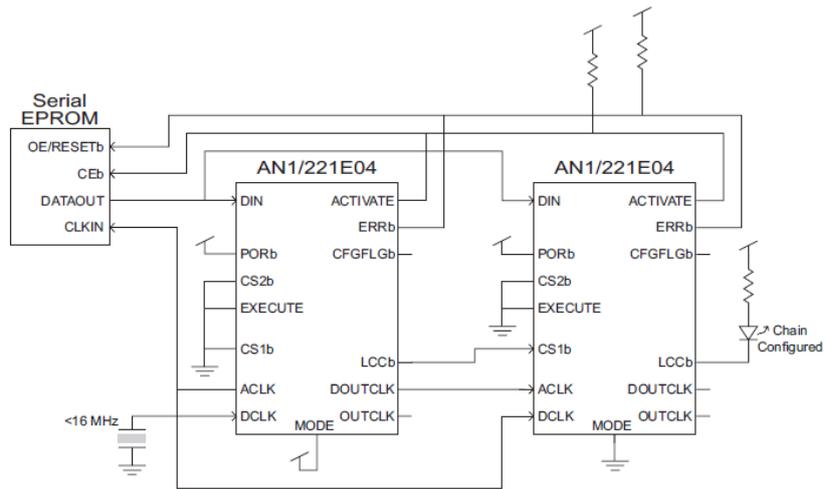


Figura 2.10 - Esquema de conexión de dos FPAAs a una memoria EPROM

La conexión de ACLK y DCLK de los dispositivos permite que se configuren con el mismo reloj (reloj de entrada/16), además de que usen el reloj de entrada del primer dispositivo, de mayor frecuencia, como el reloj analógico maestro (figura 2.10). Para que esto funcione, será necesario establecer el bit de configuración denominado *analogue_clk_independent* en un nivel alto en el segundo dispositivo, y en un nivel bajo en el primero. Este bit en alto en el segundo dispositivo le permite utilizar la señal de entrada de ACLK como reloj analógico. En los datos de configuración del primer dispositivo se deberá habilitar la versión con búfer de DCLK (DOUTCLK), la cual será la fuente de reloj del ACLK del segundo dispositivo (ver apéndice B).

2.2.6. Generador de voltajes de referencia

Todo el procesado analógico de la señal en el dispositivo se realiza con respecto a un voltaje principal de referencia (Voltage Main Reference, VMR), que es de 2V. La señal VMR se obtiene de una fuente de referencia de tensión compensada en temperatura de alta precisión (*temperature compensated bandgap voltaje reference*). Además de VMR, también se generan para el dispositivo las señales VREF+ (1.5V por encima de VMR) y VREF- (1.5V por debajo de VMR), como se muestra en la figura 2.11.

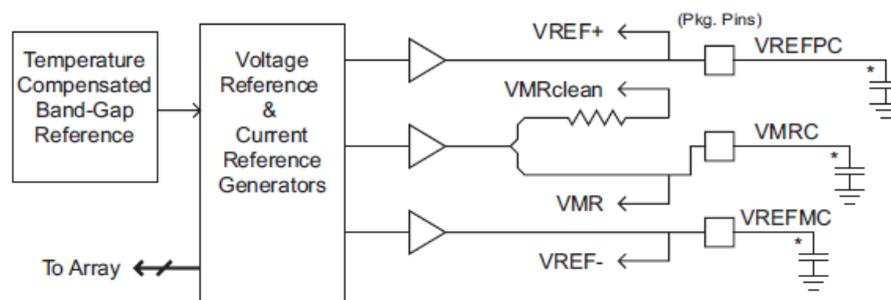


Figura 2.11 - Generador de voltajes de referencia

Hay dos versiones de VMR que se conectan a los CABs. VMR es el nodo al que se derivan todas las cargas de condensadores conmutados, y puede ser relativamente ruidoso. VMRClean también está conectado a los operacionales de los CABs, de forma que esta versión menos ruidosa de VMR se utiliza en los operacionales como masa para mejorar sus tiempos de asentamiento.

2.3. Entorno de diseño: AnadigmDesigner 2 y kit de desarrollo AN221K04

El entorno de diseño de esta plataforma está compuesto por dos piezas principales: el software de diseño y programación, *AnadigmDesigner 2* y la placa de desarrollo *AN221K04*, que contiene la FPAAs AN221E04, así como otra circuitería adicional.

2.3.1. Herramienta software AnadigmDesigner 2

AnadigmDesigner 2 es una herramienta de diseño y programación software que permite construir, simular, generar y enviar los datos de configuración (o reconfiguración en tiempo real) a las FPAAs de la firma *Anadigm*. Este software se basa en un entorno de programación gráfica, en el cual se puede construir la aplicación que se desee conectando distintos bloques funcionales entre sí. Estos bloques están incluidos en las bibliotecas que el programa incluye por defecto, e implementan diversas funciones analógicas. Además, AnadigmDesigner 2 incluye algunas herramientas para la creación de circuitos analógicos complejos de forma automática, como *AnadigmFilter* para el diseño de filtros y *AnadigmPID*, para la creación de circuitos en lazo cerrado. También permite generar el código C necesario para poder controlar y ajustar las funciones analógicas del sistema desde un microprocesador externo en tiempo real [13].

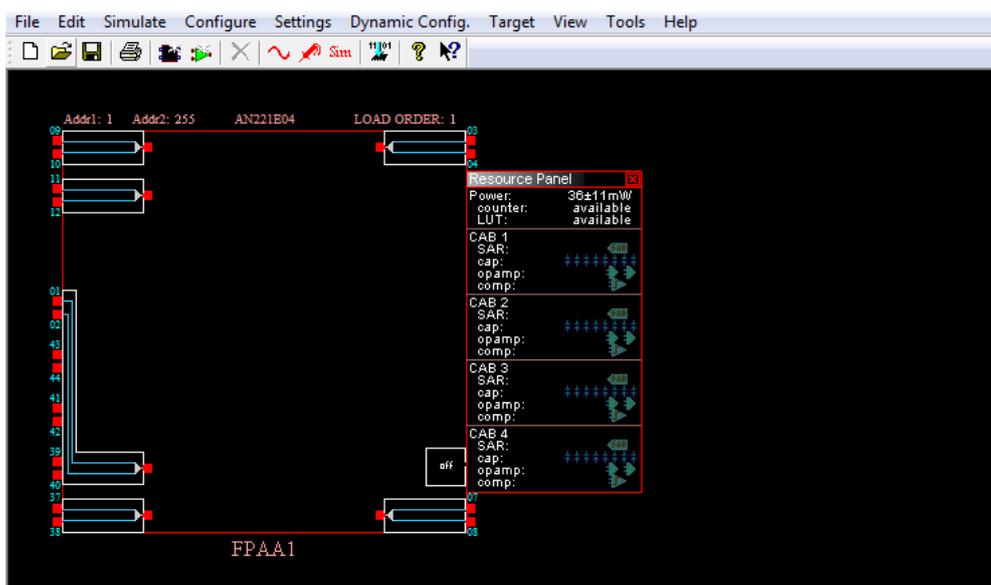


Figura 2.12 - Vista inicial de AnadigmDesigner 2

La vista inicial del programa (figura 2.12) nos presenta un chip vacío (cuyo modelo se puede seleccionar) y todas las opciones del software visibles. El panel desplegable a la derecha del chip nos muestra información referente a los recursos de la FPAA. Además de especificarse el consumo aproximado que tendrá el diseño, o si la LUT está o no en uso, también se indican los recursos en uso en cada CAB: SAR, número de condensadores conmutados y amplificadores operacionales y el comparador. Además de esto, las celdas de entrada/salida de la FPAA, así como las celdas de salida, aparecen en los bordes del chip con los pines correspondientes indicados. Estas celdas se tratan en el programa como un CAM más y, haciendo doble click sobre ellas, aparecerán todas las opciones de configuración disponibles para cada una (figura 2.13), las cuales se comentaron con la estructura interna de la FPAA.

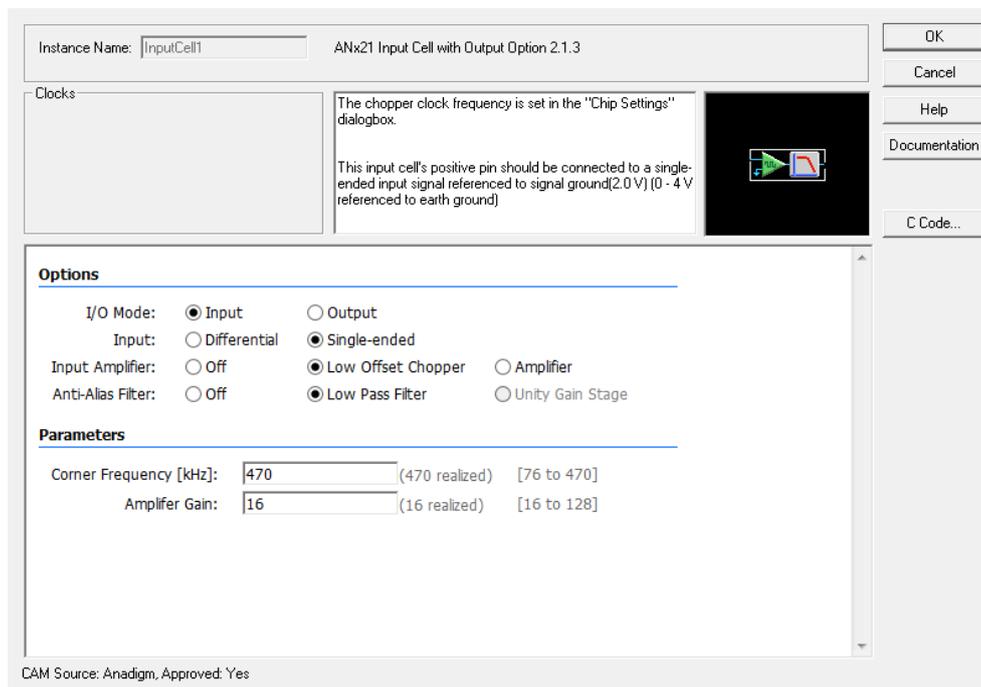


Figura 2.13- Pantalla de configuración de una célula de entrada/salida

Los bloques funcionales que constituyen los elementos de diseño se denominan CAM, y son representaciones a alto nivel de configuraciones de la circuitería programable de la FPAA, es decir, de los amplificadores operacionales, condensadores conmutados, y demás componentes de un bloque analógico configurable. En algunos casos, el CAM también contendrá la configuración de otras partes de la FPAA, como el SAR. Todos los CAM disponibles se encuentran en las bibliotecas que incluye por defecto AnadigmDesigner 2, y que están divididas en función del chip concreto que se esté utilizando. Para el caso concreto de la FPAA en la que se basa el presente trabajo, la AN221E04, en la última versión de este software hay disponibles 50 CAMs diferentes, con funciones tan variadas como generadores de señal, filtros, sumadores o rectificadores, entre otras. Una vez elegido un CAM, es posible editar su configuración haciendo doble click sobre el bloque en cuestión. En la pantalla de configuración, de la cual se muestra un ejemplo en la figura 2.14, aparecerán todas las opciones disponibles para definir el comportamiento

específico del bloque funcional, así como un botón de acceso a la documentación concreta del CAM y otro al código C que permite controlar sus parámetros.

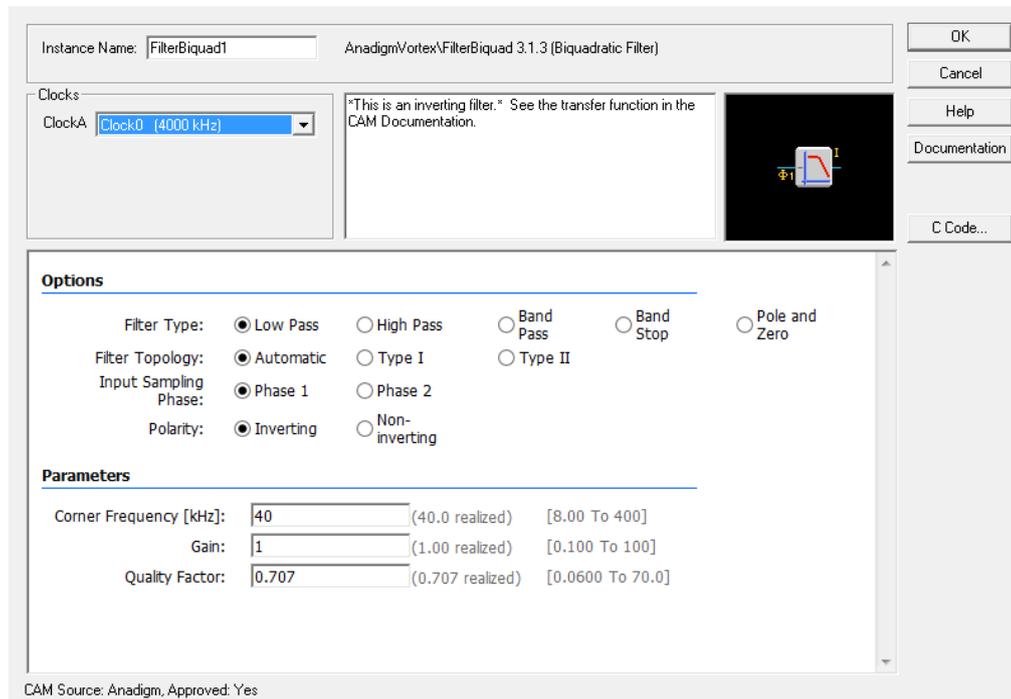


Figura 2.14 - Pantalla de configuración de un CAM

En primer lugar, se podrá seleccionar el reloj o relojes que utilizará este CAM, ya que, como se explicó anteriormente, cada FPAA puede generar hasta cuatro relojes internos (configurables desde AnadigmDesigner 2). Algunos bloques sólo necesitarán un reloj para operar, mientras que otros necesitarán dos relojes, con alguna relación entre sí. A continuación se muestran las distintas opciones del CAM. En el caso concreto de la figura 2.14, tenemos un bloque que actúa como un filtro bicuadrático. Este filtro puede tener un comportamiento paso bajo, paso alto, paso banda o elimina banda con dos posibles topologías (detalladas en la documentación), dos posibles fases de muestreo de entrada y con un comportamiento inversor o no inversor. Otros CAM tendrán diversas opciones relacionadas con la función analógica que realizan. Además de las opciones indicadas, también se muestran los parámetros del filtro seleccionado: la frecuencia central, ganancia y factor de calidad. En otros CAM podemos encontrar parámetros similares, como la ganancia en los amplificadores, nivel de offset en generadores, etc.

A continuación, se explicará el funcionamiento de la herramienta de diseño de filtros *AnadigmFilter* por su importancia en este trabajo, ya que se ha utilizado para implementar los dos filtros del sistema propuesto. Esta herramienta permite la construcción automática de filtros de orden elevado a partir de unas ciertas especificaciones. Por defecto, los CAM de filtrado sólo permiten implementar filtros de orden uno o dos, a partir de los tres parámetros que se han mostrado anteriormente. Implementar filtros de orden superior supone conectar en cascada varias etapas. Para simplificar esta tarea, *AnadigmFilter* ofrece la posibilidad de, a partir de unas especificaciones dadas, construir de forma automática el filtro

deseado conectando en cascada tantas etapas de filtrado, con sus parámetros particulares, como sean necesarias, de forma que la respuesta total del sistema sea la del filtro complejo diseñado.

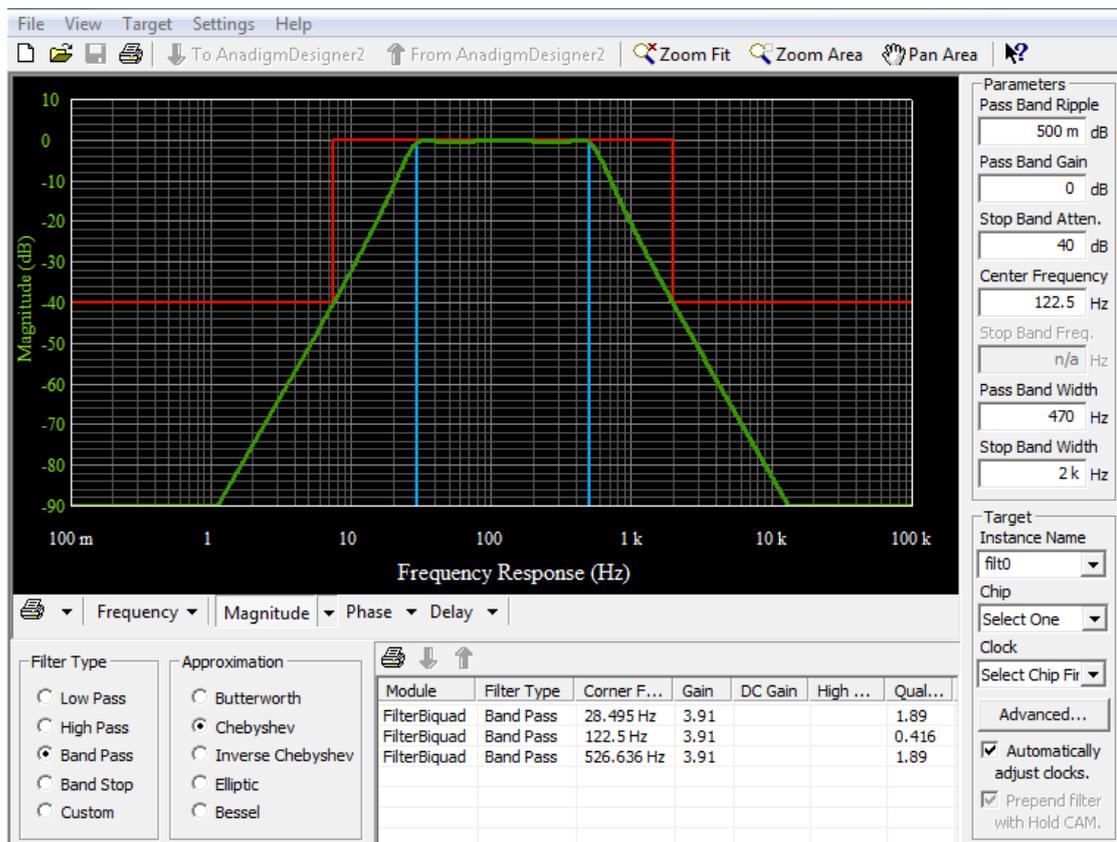


Figura 2.15 - AnadigmFilter. Ejemplo de un filtro paso banda.

En la ventana de AnadigmFilter, mostrada en la figura 2.15, tendremos una representación gráfica de las especificaciones del filtro. Este gráfico se puede alterar, incluyendo o quitando la respuesta en frecuencia, fase o retardo de grupo del filtro como se desee. Para definir las especificaciones, se pueden arrastrar los distintos indicadores en el gráfico o, de forma más precisa, escribir los parámetros de diseño en la columna derecha, lo que hará que el gráfico se actualice de forma inmediata. También se puede seleccionar para qué chip (si hubiera varios) se desea hacer la implementación, así como el reloj de dicho chip que se utilizará. Abajo a la izquierda podemos seleccionar el tipo de filtro que se está diseñando y la aproximación a utilizar. Por último, en la parte inferior, existe una tabla en la que se indican los CAM (las etapas de filtrado) que compondrán el filtro completo, con sus parámetros. Esta tabla también se actualizará cuando se modifiquen las especificaciones del filtro en el gráfico o en los campos de la derecha.

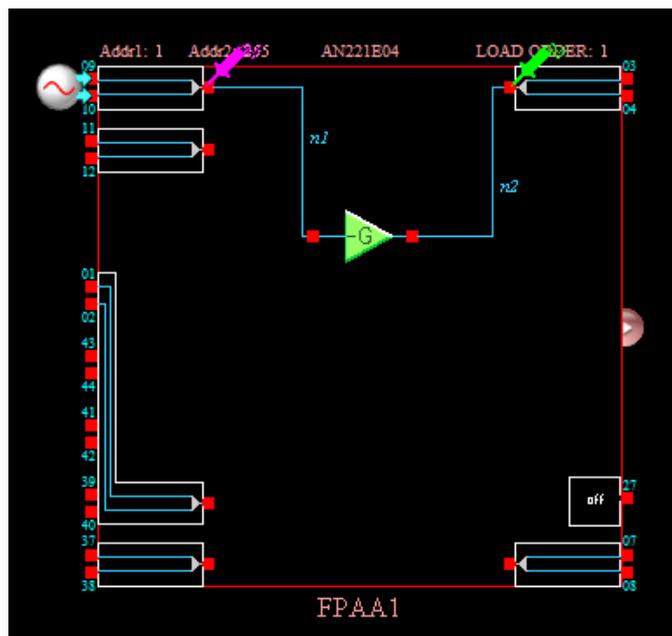


Figura 2.16 - Circuito sencillo para simulación

Por último, cabe destacar la utilidad de simulación del diseño completo que posee AnadigmDesigner 2. En la figura 2.16 se muestra un ejemplo de diseño sencillo. Colocando “sondas” en las partes clave y pulsando el botón marcado como “Sim”, se abrirá una ventana con las funciones de un osciloscopio, en la que aparecerán todas las señales de los puntos indicados con las sondas (figura 2.17). En esta ventana, además de visualizar todas las señales (con un máximo de cuatro canales), se pueden realizar medidas básicas de amplitud y diferencia de tiempos.

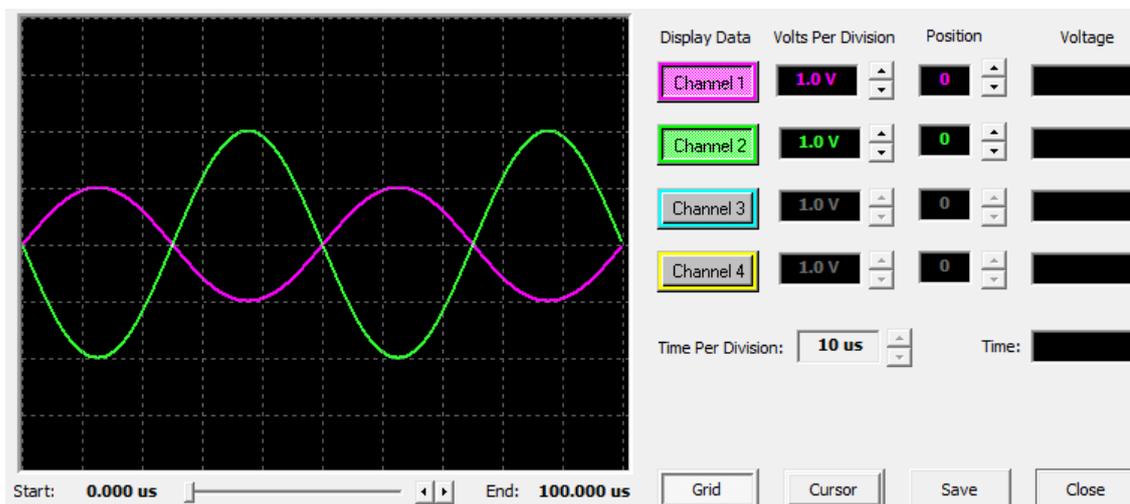


Figura 2.17 - Ventana "osciloscopio"

Los parámetros relativos a la simulación se pueden modificar con el menú *Simulate>Setup simulation* (figura 2.18), en el que se podrán modificar el tiempo de inicio y fin de la simulación, entre otros.

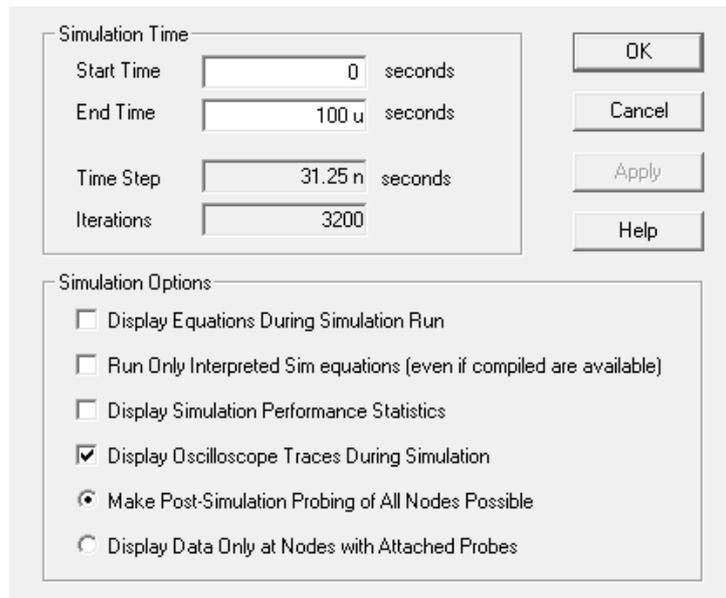


Figura 2.18 - Ventana "Setup simulation"

2.3.2. Kit de desarrollo AN221K04 (AnadigmVortex)

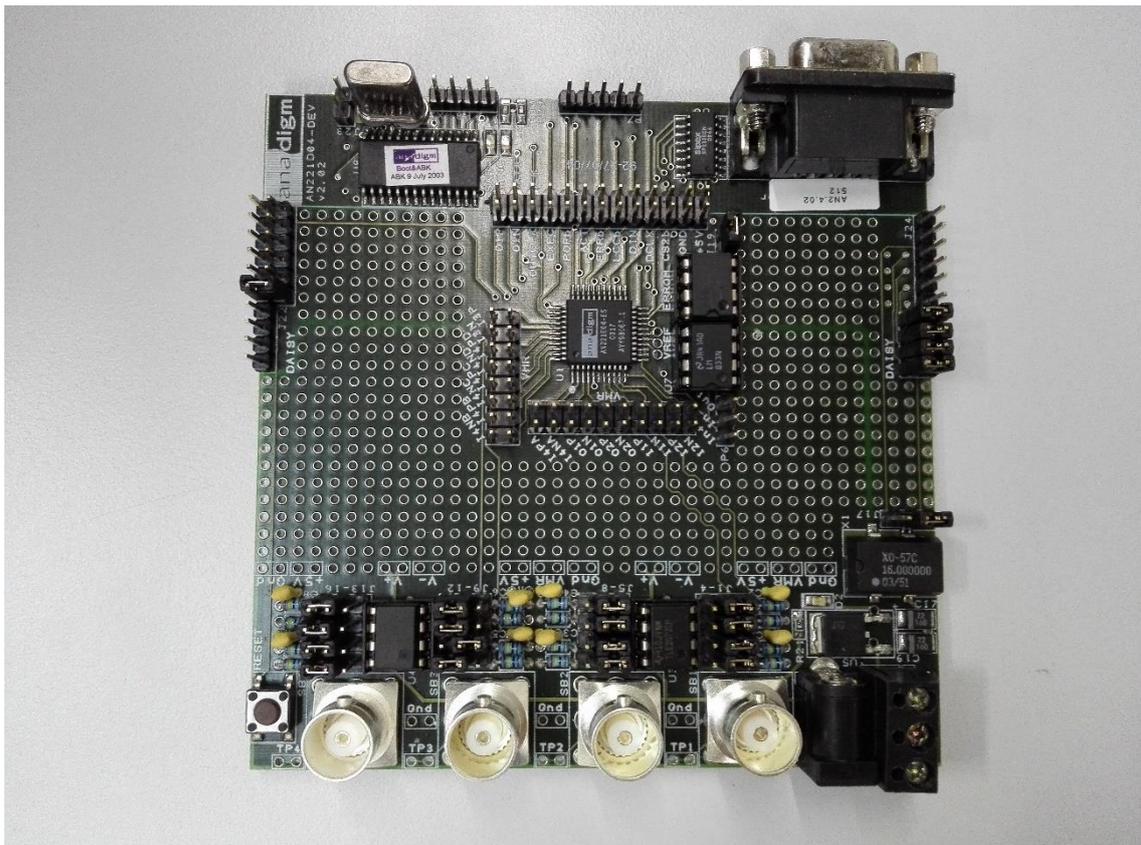


Figura 2.19 - Kit de desarrollo AN221K04

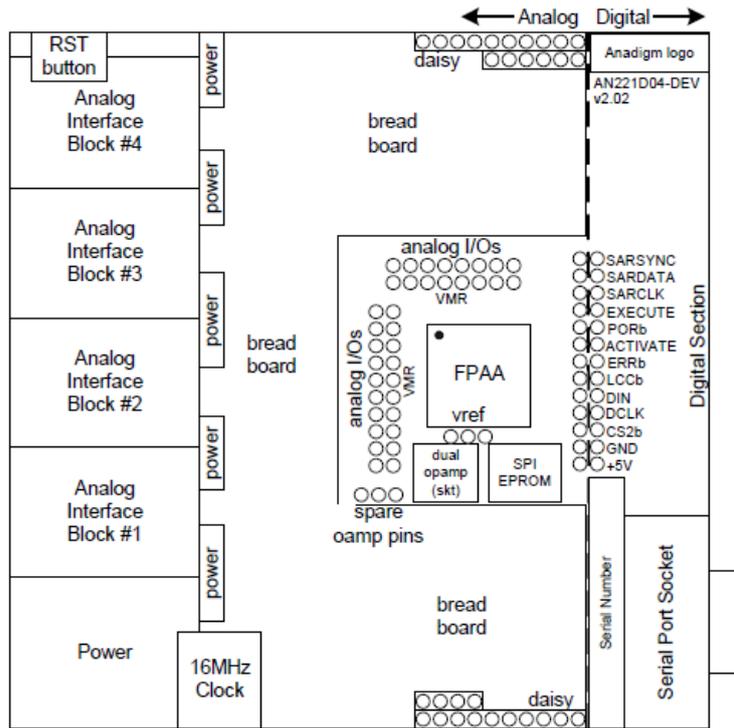


Figura 2.20 - Layout de la placa de desarrollo AN221K04

Esta placa de desarrollo, que se muestra en la figura 2.19, es la plataforma propuesta por Anadigm para implementar y evaluar cualquier diseño sobre la FPAA AN221E04. Además de un chip AN221E04, la placa posee otras funcionalidades que la hacen atractiva para el prototipado de aplicaciones que utilicen la FPAA como núcleo de lógica analógica. Entre otras, un espacio dedicado para soldar circuitería adicional, pines de conexión directa a las celdas de entrada/salida, interfaz serie analógico-digital, bloques de interfaz analógica de entrada/salida con diversas funciones analógicas configurables utilizando jumpers, un oscilador de 16 MHz o la posibilidad de conectar en cadena varios kits de desarrollo para evaluar diseños multi-chip [14]. Todas estas funcionalidades se pueden apreciar en la figura 2.20.

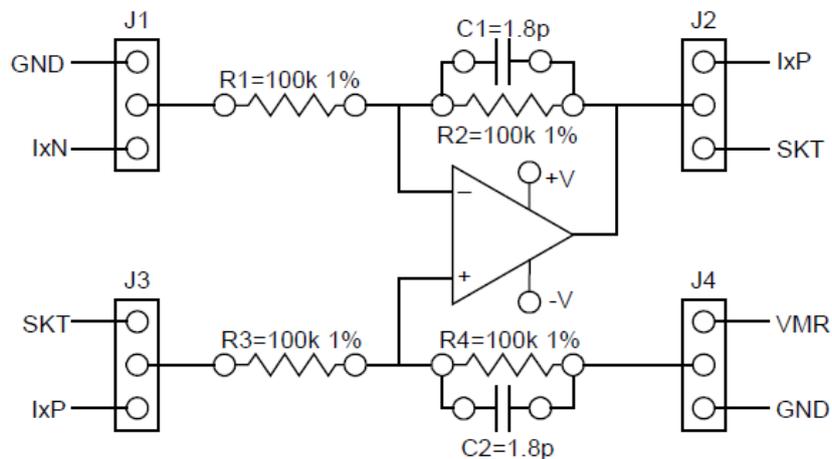


Figura 2.21 - Bloque de interfaz analógica

En la placa existen cuatro bloques de interfaz analógica, cuyo esquema se presenta en la figura 2.21. Cada uno de ellos posee cuatro jumpers de configuración, un amplificador operacional de bajo ruido y varios condensadores y resistencias. Cada uno de estos bloques está conectado a una celda de entrada/salida de la AN221E04. Esto hace posible que los cuatro bloques se puedan utilizar como entradas, o bien como salidas (figura 2.22). Cada bloque posee los terminales necesarios para alojar puertos de conexión diversos, como SMA o BNC.

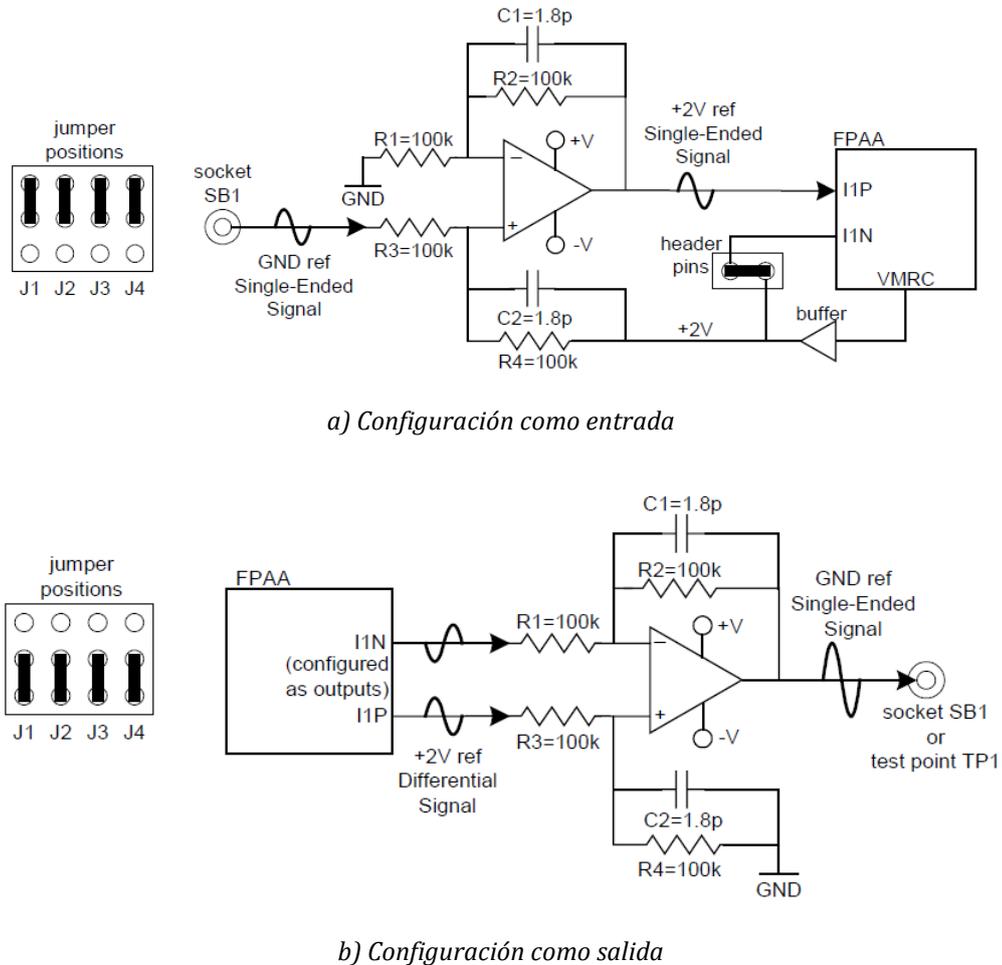


Figura 2.22 – Configuraciones de un bloque de interfaz analógica

Cuando los cuatro jumpers se sitúan en posición superior, el bloque se configura como una etapa de entrada, subiendo el nivel de la señal *single-ended* 2V por encima de la masa de referencia. La entrada diferencial negativa de la FPAA se conectará a VMR (aproximadamente 2V), colocando un jumper entre su pin de conexión y el pin de VMR. Si los jumpers se colocan en posición inferior, el bloque queda configurado como una etapa de salida, la cual disminuirá el nivel de continua de la señal de salida de 2V a masa y realizará la conversión de diferencial a *single-ended*. La ganancia de estos bloques de entrada/salida se puede controlar con los valores de las resistencias, que viene dada por las siguientes expresiones:

$$G = \frac{R_2}{R_1} = \frac{R_4}{R_3}; \quad R_3 = R_1 \text{ y } R_4 = R_2$$

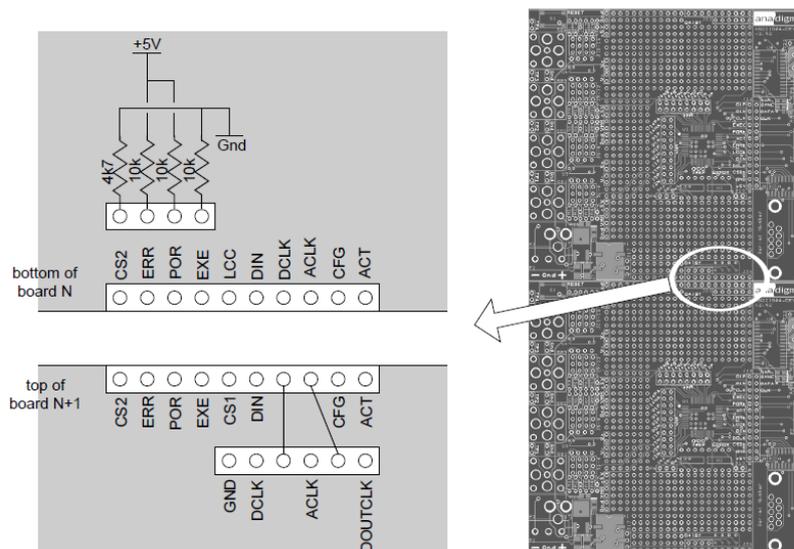


Figura 2.23 - Conexión y posición de los jumpers del daisy-chain

Otra de las funcionalidades interesantes de este kit de desarrollo es la posibilidad de evaluar sistemas multi-chip, permitiendo construirlos de forma sencilla. Para ello, cada kit de desarrollo posee una serie de jumpers de conexión (figura 2.23) que permiten conectar ciertas señales de una placa a otra (y por ende, de una FPAA a otra).

Al conectar en *daisy-chain* dos placas de desarrollo, la alimentación se puede aplicar conectando un convertidor AC-DC a cada placa y conectando los terminales negativo, positivo y masa, o bien utilizando una fuente regulada en una de las placas y conectando los terminales de una placa con los de la otra. Además, se deberán desconectar los jumpers J17 (conexión del oscilador a los pines de reloj de la FPAA) y J18 (conexiones de la interfaz digital) en todas las placas excepto la última, que irá conectada mediante puerto serie al PC. En la figura 2.24 se puede ver un resumen de la configuración de jumpers necesaria para tres kits de desarrollo, basándonos en el orden de carga de cada chip, tal y como ha sido establecido en AnadigmDesigner 2.

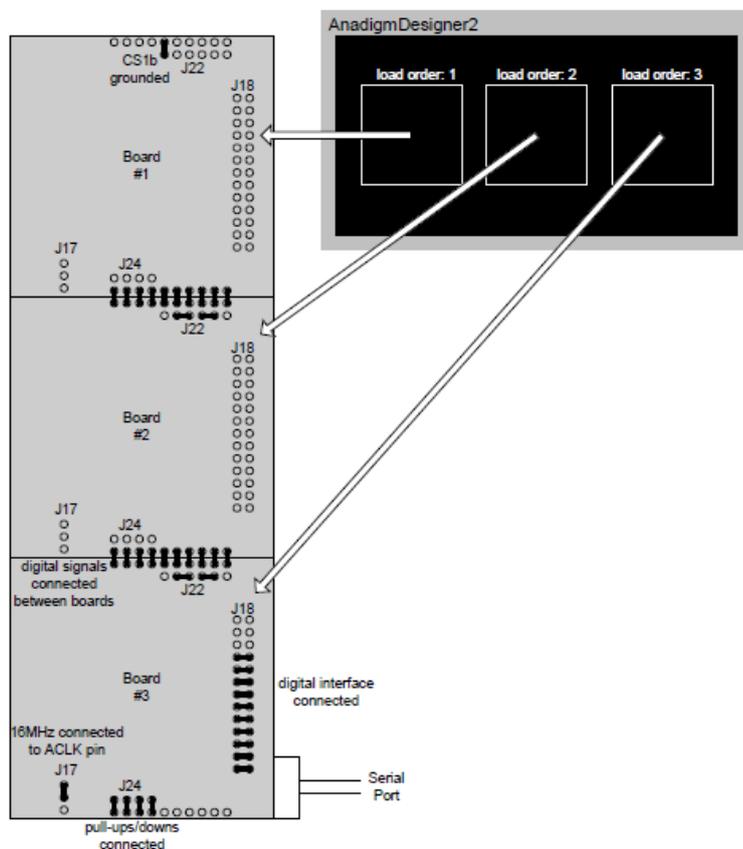


Figura 2.24 - Configuración de jumpers de tres kits en daisy-chain

En este caso, se podrá descargar la configuración de todas las FPAA desde AnadigmDesigner 2 conectando la última placa al ordenador y utilizando el puerto serie.

En el caso de que se desee utilizar una memoria EEPROM como método de carga de la configuración de las FPAA en Daisy-chain, es necesario un cambio en la configuración de algunos jumpers, como se representa en la figura 2.25:

- J17 deberá conectarse en la posición inferior (el oscilador se conecta a DCLK de la última FPAA)
- J18 deberá desconectarse por completo en todas las placas, incluida la última (desconexión de la interfaz digital).
- J19 deberá conectarse en la última placa (esto pone el pin MODE en alta, lo cual establece el modo "carga EEPROM").
- Deberán cambiarse los jumpers inferiores de J22, como se indica en la figura 2.25.

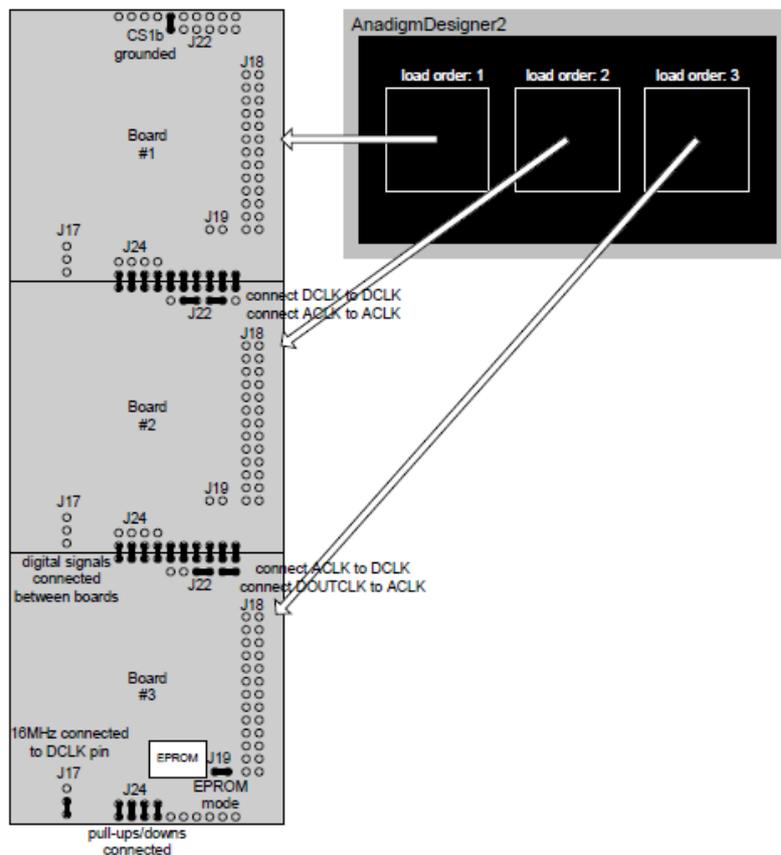


Figura 2.25 - Configuración de jumpers de tres placas en daisy-chain configuradas desde una EEPROM

Capítulo 3

Diseño del prototipo hardware

En este capítulo se presentará y explicará con detalle el diseño del prototipo hardware del sistema de acondicionamiento analógico para señales fonocardiográficas que propone este Trabajo, así como su implementación en FPAA y otra circuitería analógica y el traslado del diseño a una placa de circuito impreso.

3.1. Diagrama general del sistema de acondicionamiento analógico

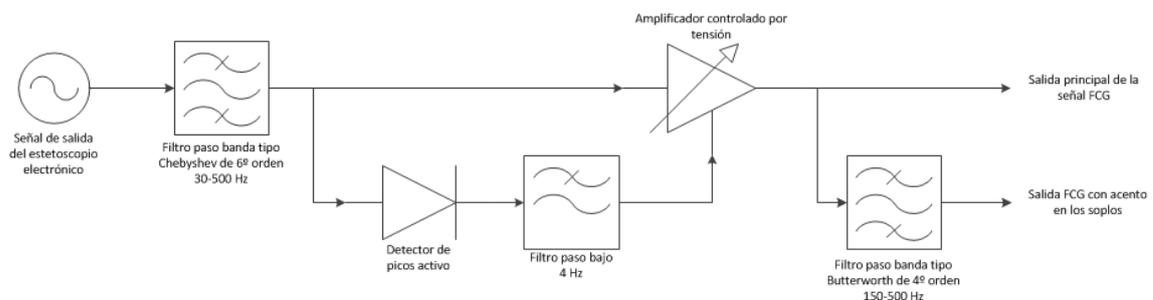


Figura 3.1 - Diagrama de bloques general del sistema de acondicionamiento analógico

En la figura 3.1 se presenta el diagrama general del sistema de acondicionamiento analógico que se propone. Los objetivos de este sistema son tres:

- Eliminar todas las componentes frecuenciales sin interés en fonocardiografía de la señal de salida del estetoscopio electrónico.
- Separar de la señal fonocardiográfica tratada la parte relativa a los soplos (en especial, los soplos por eyección).
- Mantener en todo momento un nivel constante de amplitud de la señal a la salida del sistema, incluso cuando la amplitud de la señal de entrada varía en el tiempo.

Este sistema está compuesto por tres etapas principales: una etapa de filtrado paso banda en el rango de frecuencias de los sonidos cardíacos más característicos (30 a 500 Hz), una etapa de ajuste automático de la amplitud de la señal de salida y una última etapa de filtrado paso banda específico en el rango frecuencial de los soplos por eyección (150 a 500 Hz).

Las dos etapas principales de filtrado, así como una parte de la etapa de ajuste automático de amplitud, se implementarán en los circuitos analógicos configurables de Anadigm, concretamente en el modelo AN221E04. El resto de componentes del sistema se implementarán en circuitería analógica convencional por dos razones: la limitación impuesta por los recursos disponibles en la FPAA y la ausencia en

AnadigmDesigner 2 de un CAM que implemente la función analógica de detección de picos con las especificaciones mínimas que se detallarán más adelante.

Como decisión de diseño, se ha supuesto que la señal de entrada, proveniente de un estetoscopio electrónico, puede tener una amplitud mínima de 200mV, máxima de 1V y ninguna componente DC, es decir, debe ser una señal centrada en 0V.

3.2. Diseño e implementación de los filtros de acondicionamiento de la señal FCG

3.2.1. Filtro para sonidos cardíacos

En este sistema de acondicionamiento analógico se propone el uso de dos filtros paso banda. En primer lugar, tenemos el filtro de sonidos cardíacos, el cual se precisa para eliminar todas las frecuencias que no resultan útiles para un diagnóstico cardiológico. Éste se ha diseñado como un filtro paso banda, de 6º orden, mediante la aproximación de Chebyshev, ya que se pretende que sea lo más selectivo posible. Su banda de paso estará comprendida entre 30 y 500 Hz, rango de frecuencias más importante de las señales acústicas del corazón, con una ganancia en banda pasante de 0 dB y un rizado de 0.5 dB. Su frecuencia de atenuación se sitúa en 2 kHz y será de 40 dB. Para el diseño del filtro, se ha utilizado el software matemático Matlab. Más concretamente, un script escrito en este software que implementa los métodos matemáticos necesarios para diseñar filtros con la aproximación de Chebyshev y Butterworth. De esta manera, se obtienen los parámetros del filtro con las especificaciones deseadas (figura 3.2).

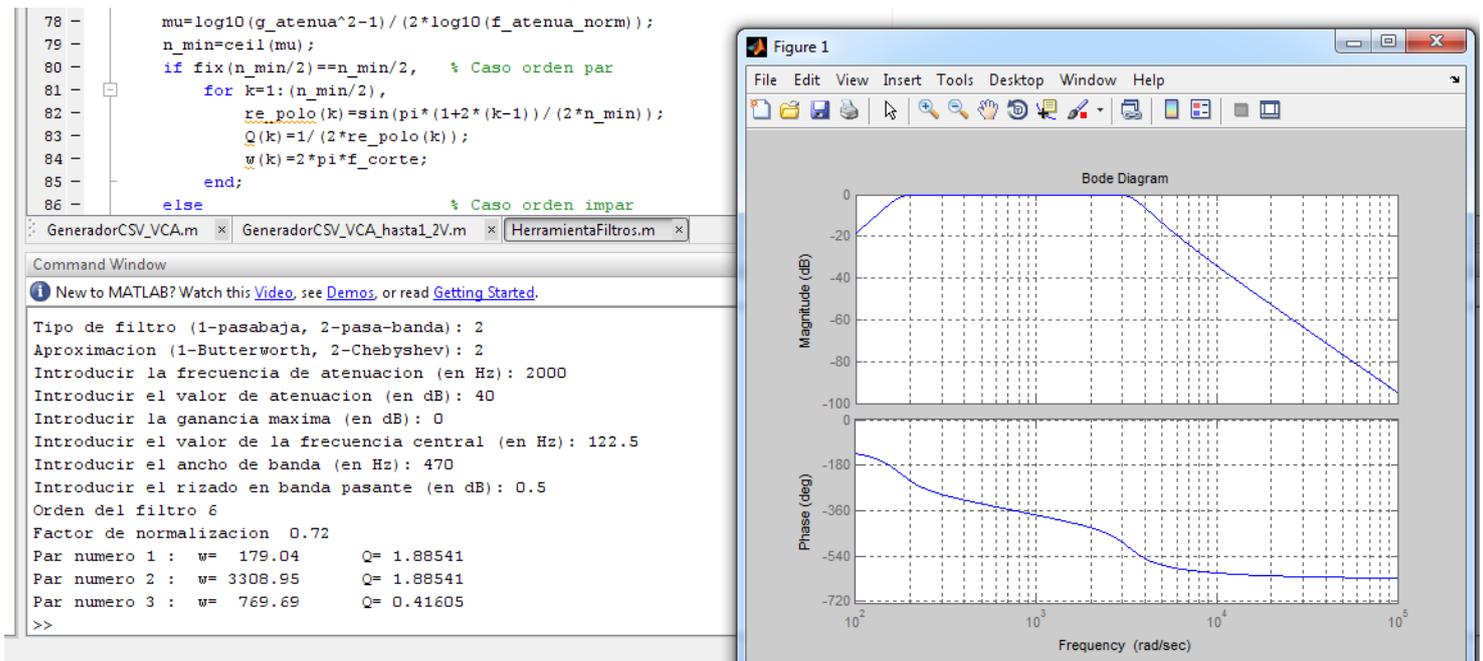


Figura 3.2 - Diseño del filtro paso banda para sonidos cardíacos en Matlab

Una vez diseñado de forma teórica, el filtro debe ser enviado a AnadigmDesigner 2, para ser implementado en la FPAA. Para facilitar este proceso, se utilizó la herramienta AnadigmFilter, incluida en el software anterior. En esta herramienta se describe el filtro con las especificaciones de diseño anteriores, obteniendo la respuesta esperada, como se aprecia en la figura 3.3.

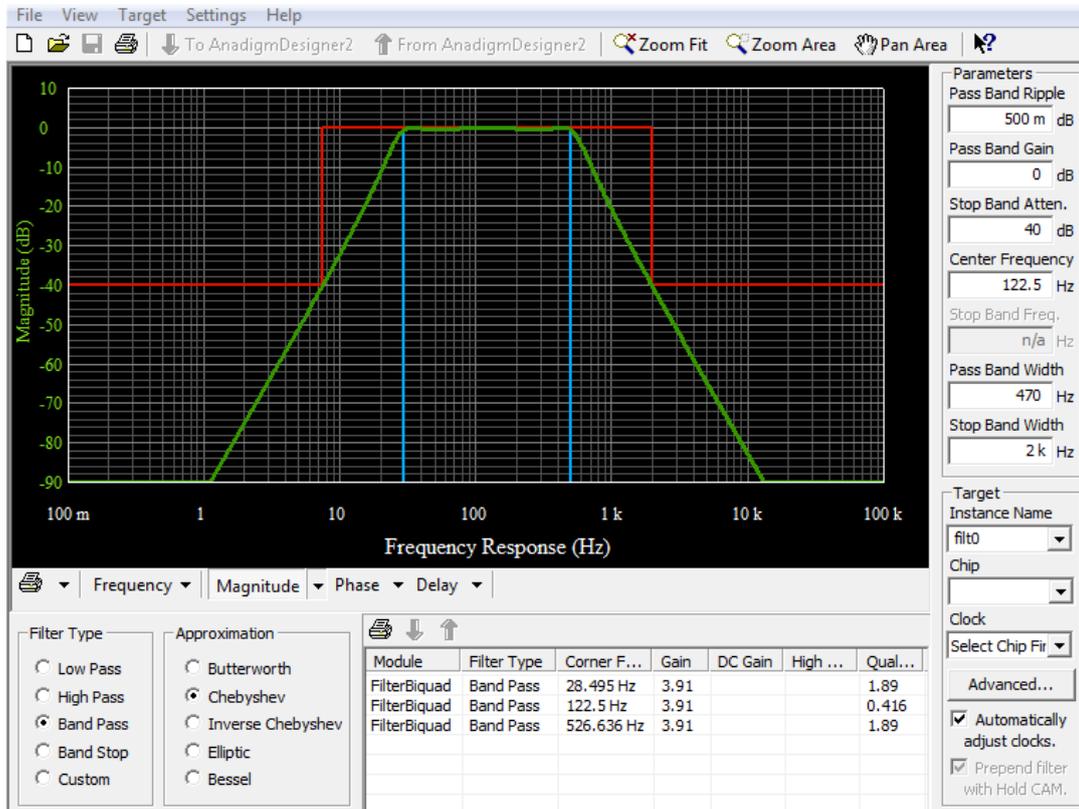


Figura 3.3 - Respuesta en frecuencia del filtro paso banda de sonidos cardíacos en AnadigmFilter

Pulsando el botón de envío a AnadigmDesigner 2, este filtro se sintetiza en tres etapas (figura 3.4). Como se puede ver, el filtro paso banda de orden 6 queda formado por tres filtros biquadráticos paso banda conectados en cascada, cuyos parámetros se muestran en la tabla 3.1. Estos tres filtros superpondrán sus respuestas en frecuencia, obteniéndose el comportamiento deseado. Estos CAMs ocuparán prácticamente tres cuartos de los recursos de la FPAA: seis amplificadores operacionales y tres bancos de condensadores conmutados.

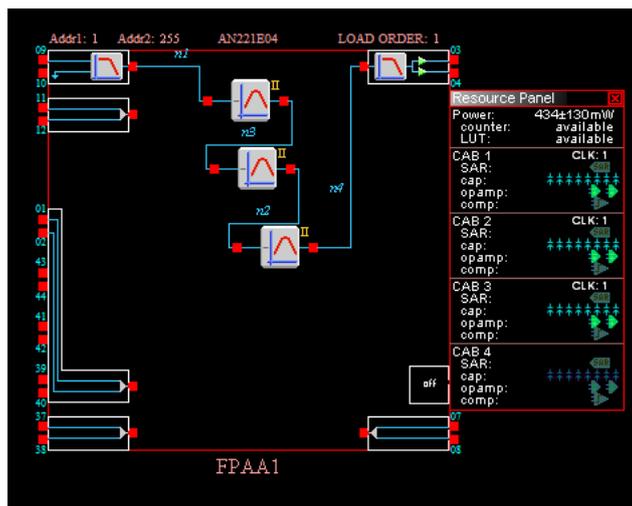


Figura 3.4 - Filtro de sonidos cardíacos en AnadigmDesigner 2

	Frecuencia central (kHz)	Ganancia	Factor de calidad
Etapa 1	0.0284945	3.91013	1.88541
Etapa 2	0.526636	3.91013	1.88541
Etapa 3	0.1225	3.91013	0.416052

Tabla 3.1 - Parámetros de las etapas que conforman el filtro de sonidos cardíacos

Cabe destacar que, al enviar el filtro a AnadigmDesigner 2, el software conecta las etapas en un orden definido. Esta configuración provocaba distorsión a baja frecuencia, ya que la segunda etapa aporta una ganancia elevada al conjunto. La solución a este inconveniente consiste simplemente en cambiar la segunda etapa por la última, y seleccionar en los CAM correspondientes a las tres etapas el circuito físico tipo II (opción que se ofrece en la configuración del CAM). El funcionamiento de los filtros con el circuito de tipo II es análogo al circuito empleado por defecto, aunque a la salida aparece un pequeño nivel de offset añadido. Esto hará que el diseño final deba sufrir algunas modificaciones, como se verá más adelante. Con estos ajustes, el filtro funciona correctamente y sin ningún tipo de distorsión.

Por último, la implementación del filtro en la FPAA provocará que éste presente una ganancia final de aproximadamente 1.15, debido a aproximaciones que debe realizar la arquitectura. Esto no supone, a priori, un problema en el diseño, ya que esta ganancia extra se compensará en el módulo de ajuste automático de la amplitud de la señal de salida. Sin embargo, sí provocará algunos cambios en el diseño del sistema, que se especificarán más adelante.

3.2.2. Filtro para la detección de soplos

El filtro para separar las frecuencias correspondientes a los soplos, especialmente, los causados por eyección, se colocará inmediatamente después del módulo de ajuste automático de amplitud, por lo que la señal ya habrá pasado previamente por

el filtro de sonidos cardíacos. Con su utilización, se pretende que las frecuencias correspondientes a los soplos por eyección queden acentuadas frente al resto de sonidos cardíacos, pudiéndose extraer la señal resultante de una salida específica del sistema.

Este filtro será, de nuevo, tipo paso banda, de orden 4 y diseñado mediante la aproximación de Butterworth, ya que ahora no es necesario que el filtro sea muy selectivo (ya se ha realizado un filtrado previo) y, después de un filtro de tipo Chebyshev, es necesario que la fase de este filtro sea lineal para evitar una posible distorsión. Como se verá más adelante, los recursos necesarios en la FPAA para el diseño completo del sistema de acondicionamiento limitan la complejidad de este filtro, ya que, si se eligiera un orden mayor, se ocuparían recursos que precisan otros circuitos. No obstante, el orden elegido se puede considerar suficiente para realizar una buena separación de las frecuencias de interés, ya que previo a este filtrado ya se habrá realizado otro de mayor profundidad que elimina la mayor parte de las frecuencias indeseadas. Este filtro tendrá una banda de paso comprendida entre 150 y 500 Hz, con una ganancia máxima de 0 dB. Su frecuencia de atenuación se sitúa en 3000 Hz, con un valor de 37 dB. Se obtendrá, efectivamente, un filtro con las especificaciones impuestas (figura 3.5).

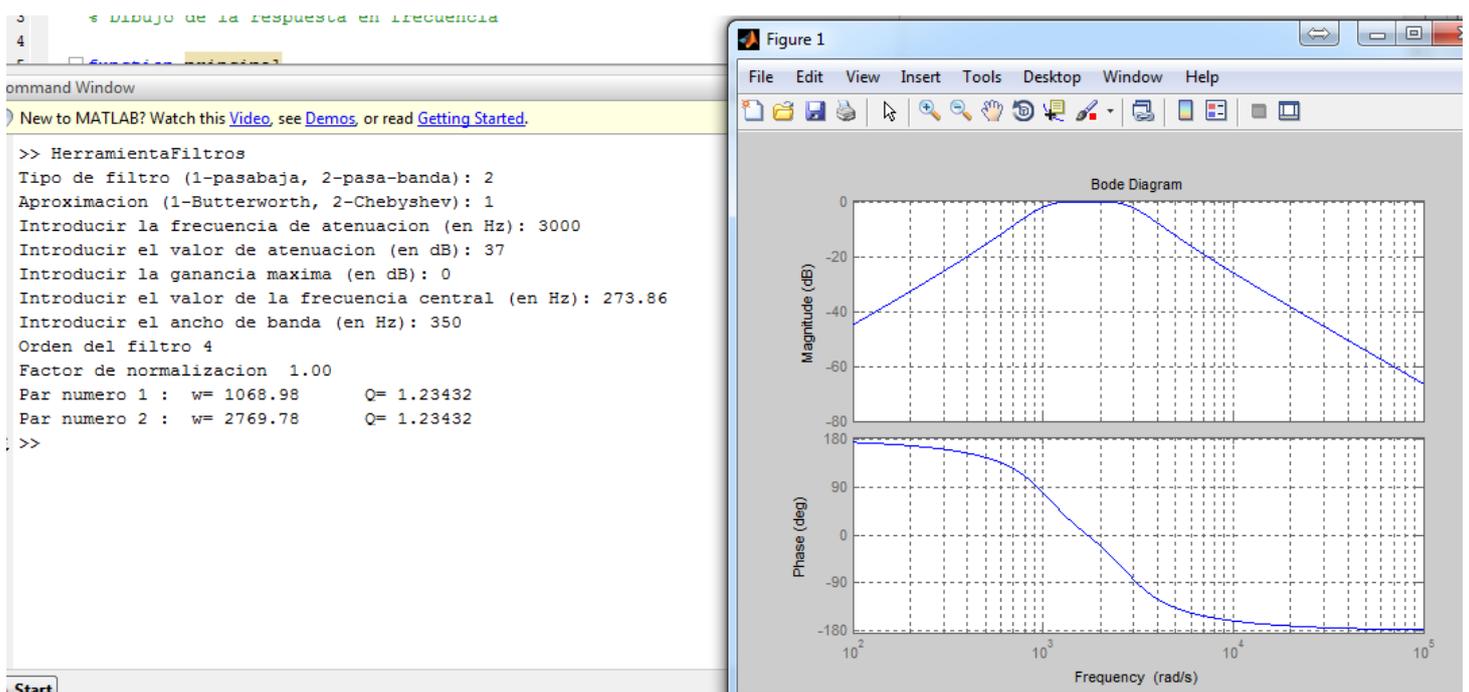


Figura 3.5 - Diseño del filtro paso banda para soplos por eyección

A continuación, se realiza el mismo proceso de envío del filtro a AnadigmDesigner 2 (figura 3.6). El circuito queda conformado por dos filtros bicuadráticos paso banda, mostrados en la figura 3.7, cuyos parámetros se especifican en la tabla 3.2.

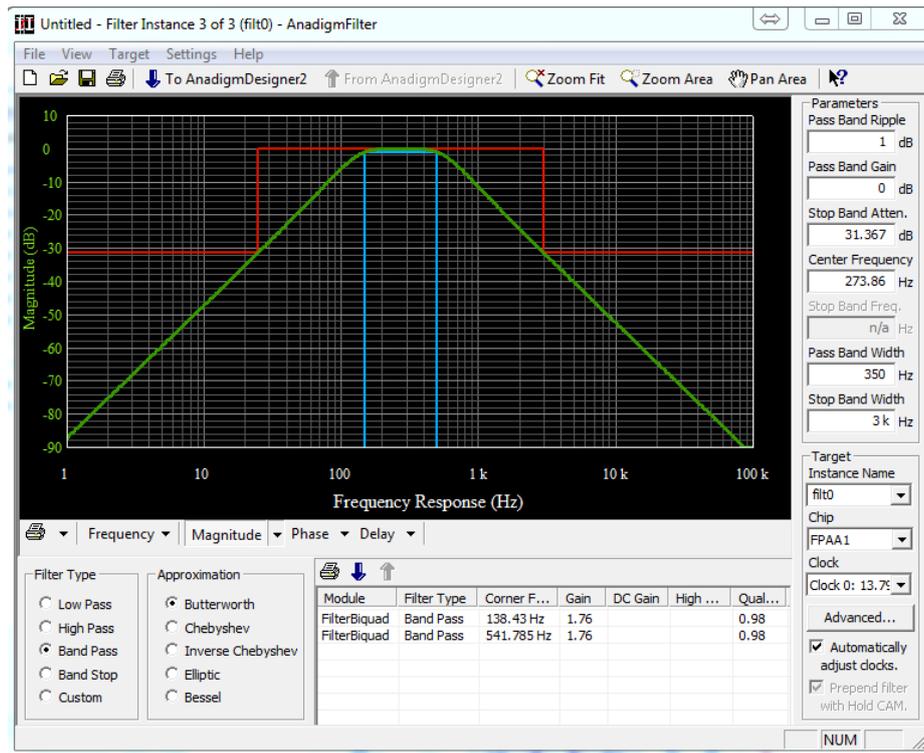


Figura 3.6 - Respuesta en frecuencia del filtro paso banda para soplos por eyección

Al enviar el filtro a AnadigmDesigner 2, el software automáticamente añade un nuevo chip para alojarlo (detalle en figura 3.7). Esto se debe a que en el primer chip no existen recursos suficientes para implementar el nuevo circuito, ya que precisa de dos CAB (concretamente, los dos amplificadores operacionales y el array completo de condensadores conmutados de cada CAB), y en la primera FPAA sólo queda uno libre. Por ello, se hace imprescindible el uso de un sistema multi-chip de dos FPAA para implementar este sistema de acondicionamiento analógico.

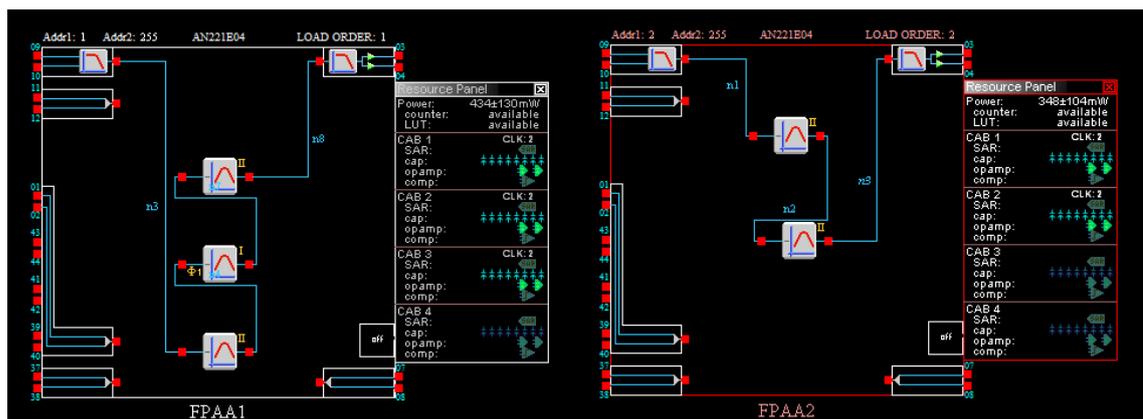


Figura 3.7 - Filtro de sonidos cardíacos y de soplos por eyección, en dos FPAA

	Frecuencia central (kHz)	Ganancia	Factor de calidad
Etap 1	0.138431	1.75631	0.980298
Etap 2	0.541786	1.75631	0.980298

Tabla 3.2 - Parámetros de las etapas que conforman el filtro de soplos

3.3. Módulo de ajuste automático de la amplitud de la señal de salida

El módulo de ajuste automático de la amplitud de la señal de salida se incluye en el sistema con el fin de que dicha amplitud se encuentre lo más próxima posible a 1V en todo momento. Este valor es el que se considera óptimo según el criterio de diseño que se ha tomado. Para que esto sea posible, se utilizará un amplificador controlado por tensión (VCA), junto con una sub-etapa de adaptación que permita obtener la tensión de control para el VCA en un cierto rango a partir de la señal fonocardiográfica filtrada.

3.3.1. Amplificador controlado por tensión (VCA)

El VCA es un circuito capaz de variar su ganancia en tiempo real en función de la tensión de control que se le aplique. En este sistema, el VCA deberá aumentar su ganancia conforme disminuya la amplitud de entrada, de forma que siempre se compensen las posibles atenuaciones que pueda sufrir la señal de salida del estetoscopio electrónico. Como decisión de diseño, se ha considerado que la mínima amplitud admisible de la señal de entrada sea de 200mV y la máxima, de 1V. Por tanto, el VCA deberá aportar una ganancia máxima, en el caso de que la señal tenga su amplitud en el mínimo permitido, de

$$G_{max} = \frac{1}{A_{min} \cdot G_{filtro,convertidor}} = \frac{1}{0.2V \cdot 1.35} = 3.704 \quad (1)$$

Y un mínimo, en el caso de que la señal tenga 1V de amplitud, de

$$G_{min} = \frac{1}{A_{max} \cdot G_{filtro,convertidor}} = \frac{1}{1V \cdot 1.35} = 0.741 \quad (2)$$

Además de todos los posibles valores intermedios. La ganancia compuesta es el resultado de la ganancia que experimenta la señal en el filtro de sonidos cardíacos y la de un convertidor diferencial a *single-ended*, que se explicará más adelante.

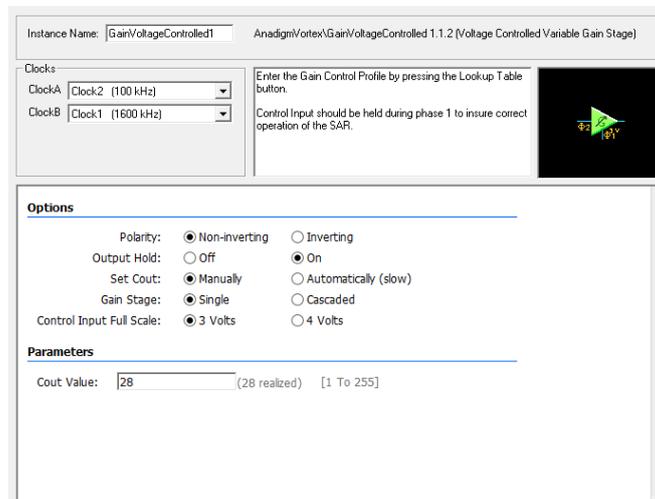


Figura 3.8 - CAM que implementa el amplificador controlado por tensión

Para implementar este circuito en la FPAA, se utiliza un CAM específicamente creado para realizar la función analógica correspondiente, que se presenta en la figura 3.8. En él se ofrecen opciones como que la etapa sea o no inversora, o elegir entre dos rangos de tensiones de control, entre otras.

Vin	Requested (0 To 100)	Realized
X < -2.977	3.766	3.750
-2.977 < X < -2.953	3.706	3.714
-2.953 < X < -2.930	3.647	3.643
-2.930 < X < -2.906	3.589	3.571
-2.906 < X < -2.883	3.533	3.536
-2.883 < X < -2.859	3.478	3.464
-2.859 < X < -2.836	3.424	3.429
-2.836 < X < -2.813	3.371	3.357
-2.813 < X < -2.789	3.320	3.321
-2.789 < X < -2.766	3.270	3.286
-2.766 < X < -2.742	3.221	3.214
-2.742 < X < -2.719	3.173	3.179
-2.719 < X < -2.695	3.127	3.143
-2.695 < X < -2.672	3.081	3.071
-2.672 < X < -2.648	3.037	3.036
-2.648 < X < -2.625	2.994	3.000
-2.625 < X < -2.602	2.951	2.964
-2.602 < X < -2.578	2.910	2.893
-2.578 < X < -2.555	2.870	2.857
-2.555 < X < -2.531	2.830	2.821
-2.531 < X < -2.508	2.792	2.786
-2.508 < X < -2.484	2.755	2.750
-2.484 < X < -2.461	2.718	2.714
-2.461 < X < -2.438	2.682	2.679

Figura 3.9 - Tabla de ganancias de la LUT

Uno de los parámetros más importantes de este CAM es la Tabla de Consulta (*Lookup Table* – LUT, figura 3.9). Esta tabla, de 256 entradas, permite relacionar directamente rangos de la tensión de control con la ganancia que se desee en cada caso. De esa manera, es posible definir el comportamiento del amplificador en función de la tensión de entrada con bastante precisión.

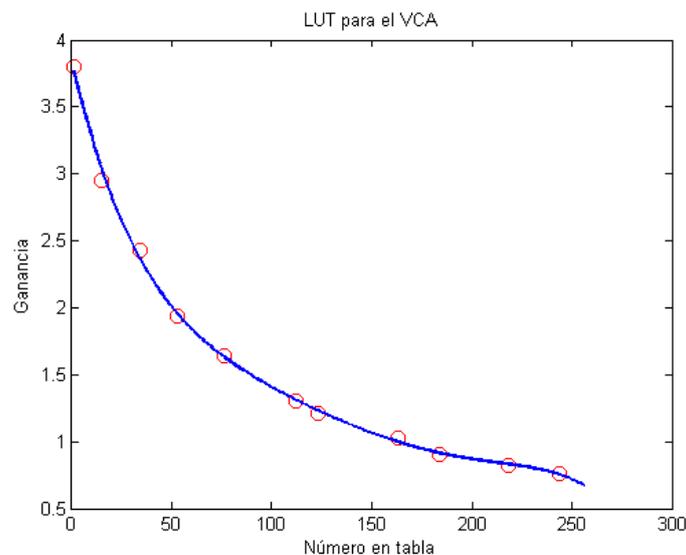


Figura 3.10- Valores experimentales de amplitud y curva de ajuste generada

Para estimar los valores a cargar en la LUT, partiendo de las ganancias máxima y mínima que se presentaron anteriormente, se experimentó con varias soluciones posibles, utilizando la herramienta Matlab. La primera fue tomar estos dos valores límite y crear con ellos un vector de 256 valores de ganancia equiespaciados linealmente. Esta solución no funcionó correctamente durante las pruebas, ya que la amplitud de la señal no era siempre cercana a 1V, por lo que se optó por crear este mismo vector de valores, pero con un equiespaciado logarítmico.

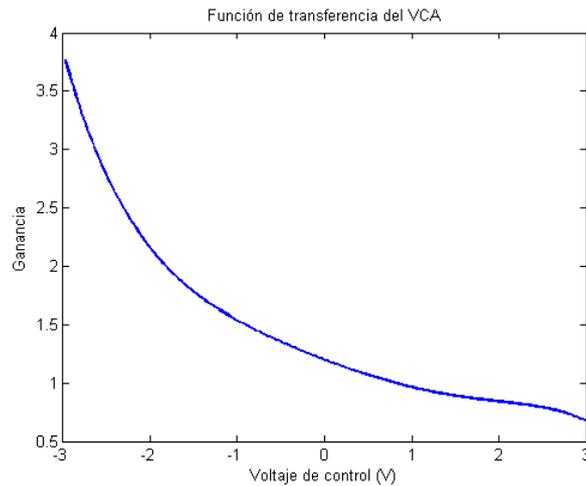


Figura 3.11 - Función de transferencia del VCA resultante del ajuste polinómico

El vector con equiespaciado logarítmico no mejoró mucho los resultados, por lo que finalmente se tomaron varias medidas experimentales de la amplitud de la señal de salida del filtro de sonidos cardíacos en función de los valores de la tensión de control que ésta generaba (figura 3.10). Estos valores de amplitud de salida se convirtieron en valores de ganancia, teniendo en cuenta que la transformación siempre debía ser a 1V. Con estos valores de ganancia se generó una función polinómica de ajuste (figura 3.11), de la cual se extrajeron 256 valores equiespaciados. Esta solución dio los resultados esperados, que se presentarán con detalle en el siguiente capítulo.

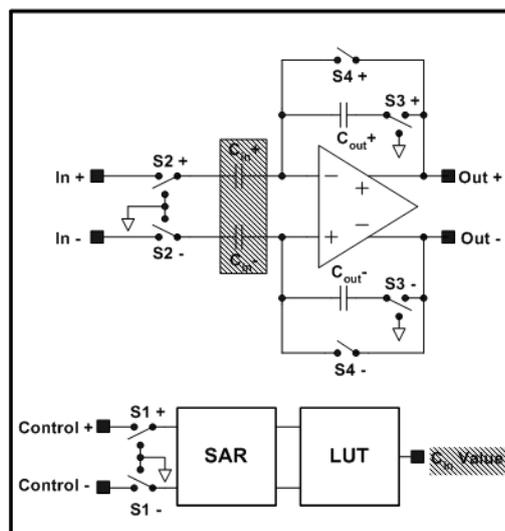


Figura 3.12 - Circuito físico que implementa el CAM dentro de la FPAA

Al utilizar el CAM del VCA como parte de la configuración de programa de la FPAA, el circuito físico resultante se muestra en la figura 3.12. Este circuito precisa de dos relojes: uno para controlar la sección de capacidades conmutadas de la parte que maneja la señal de entrada (CLOCKA) y otro para controlar el SAR y la LUT (CLOCKB). En función de la tensión de control, en cada fase de muestreo el SAR accederá a un cierto valor de ganancia de la LUT, según el cual se seleccionará el valor que corresponda para C_{in} . De esa manera, variará la ganancia del amplificador según lo haga C_{in} , valor que a su vez depende de la tensión de control, consiguiéndose el comportamiento deseado con este circuito.

En este caso, se va a utilizar el rango de 3V para la tensión de control. Así, la tensión de control estará comprendida entre -3 y 3V, por lo cual será necesaria una etapa que extraiga la tensión de control de la señal de salida del filtro de sonidos cardíacos y la ajuste para aprovechar al máximo este rango.

Este CAM utilizará prácticamente un CAB completo de la segunda FPAA. Concretamente: el banco de capacidades conmutadas, un amplificador operacional, el comparador y el SAR. Por tanto, en este chip sólo quedará disponible un CAB, si se cuenta con la implementación del filtro de soplos por eyección, que ya ocupaba dos CAB.

3.3.2. Sub-etapa de adaptación de la tensión de control del VCA

Para extraer la tensión de control de la señal de entrada filtrada y ajustarla al rango de control del amplificador, son necesarios una serie de circuitos, alguno de ellos internos y otros externos a la FPAA. A continuación se detallará la estructura de esta sub-etapa y el funcionamiento de cada uno de los circuitos que la componen. El diagrama de bloques detallado de esta parte del sistema se muestra en la figura 3.13.

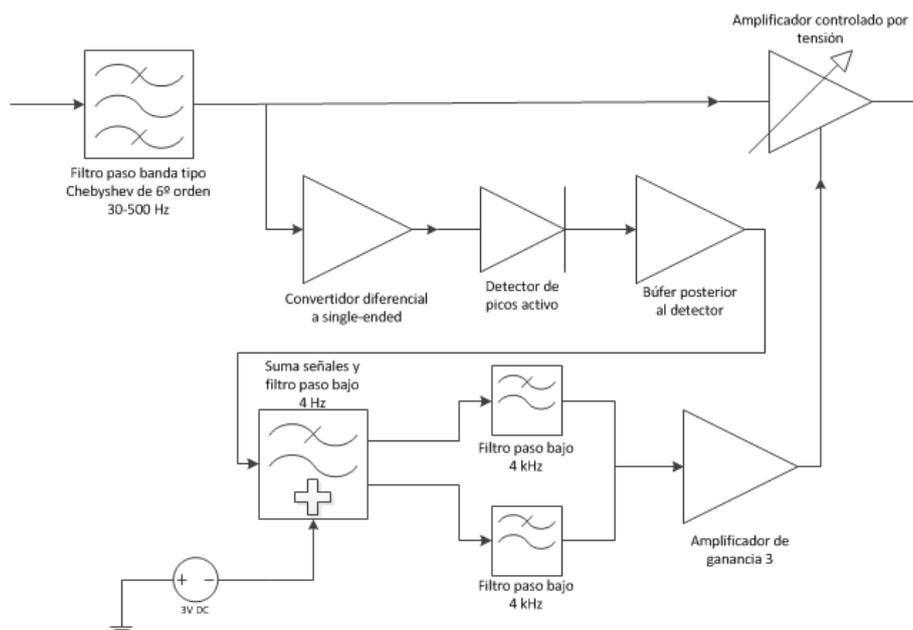


Figura 3.13 - Diagrama de bloques detallado de la sub-etapa de adaptación de la tensión de control del VCA

La tensión de control del VCA se extraerá de la señal de salida del filtro de sonidos cardíacos. Todas las salidas de la FPAA son diferenciales, y elevan la señal a un nivel fijo de offset de 2V. Esto no influye en la arquitectura del circuito cuando una salida de una FPAA va conectada a una entrada de otra: se conectan los pares diferenciales directamente, y las células de entrada eliminan los 2V de offset que habían añadido las de salida. Sin embargo, para la tensión de control del amplificador, se tomará el par diferencial de salida del filtro de sonidos cardíacos, por lo que será necesario realizar una conversión en la señal de diferencial a *single-ended*, puesto que ésta irá conectada a un circuito externo (como se verá a continuación). Así, se obtendrá una señal con una amplitud del orden de la de la señal de entrada, con menor ruido, 2V de offset y que tiene las características adecuadas para servir como tensión de control del VCA. Para realizar dicha conversión, se utilizará una configuración típica con amplificador operacional (figura 3.14). Este amplificador tendrá una ganancia de 1.174, que se ha añadido con la intención de elevar ligeramente los niveles de tensión de salida del detector de picos. Sin ella, la tensión de salida del detector deja de disminuir antes del límite inferior estipulado para la señal de entrada.

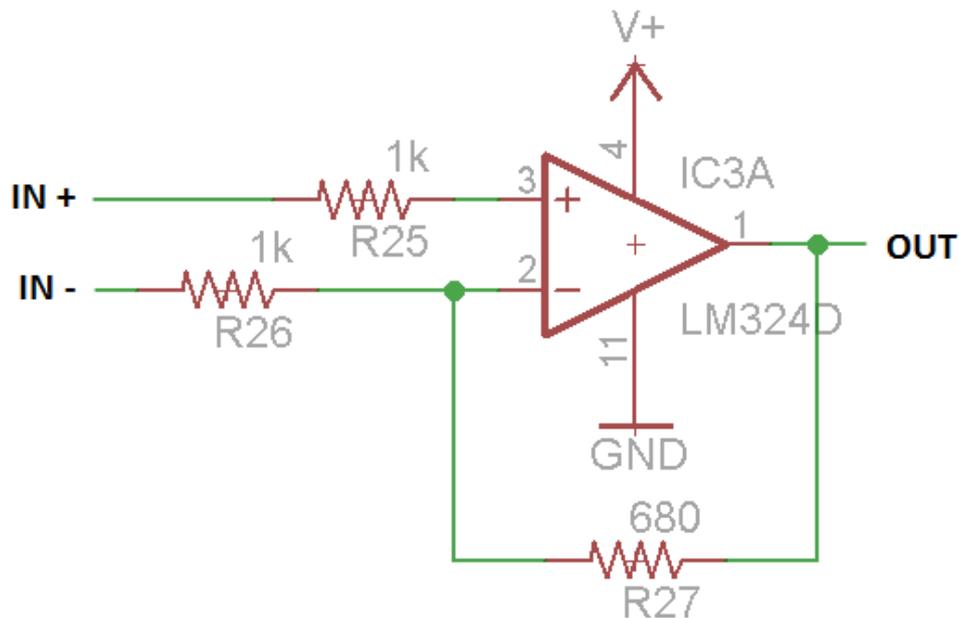


Figura 3.14 - Convertidor de señal diferencial a single-ended

Este amplificador operacional se alimentará con una tensión positiva de 6V. Esta decisión de diseño se justifica con lo que se expone a continuación. Las señales de entrada a este circuito tienen 2V de offset, al que se suma otro offset de, aproximadamente, 0.3V debido al filtro de sonidos cardíacos. Esta señal tendrá una amplitud máxima de 1.35V (debida a la ganancia del filtro, la del propio amplificador del conversor y la máxima amplitud permitida en la señal de entrada al sistema), que sumada a los 2.3V de offset total supone una tensión máxima de 3.65V. Con una alimentación de 5V, el amplificador operacional satura la señal en 3.25V, por lo que, para evitar este comportamiento, es necesario alimentarlo con 6V. Como se verá más adelante, para este amplificador se usará el circuito integrado LM324, que incluye cuatro amplificadores operacionales en un solo chip [15]. Por ello, todos los circuitos que usen dichos amplificadores irán también alimentados con 6V.

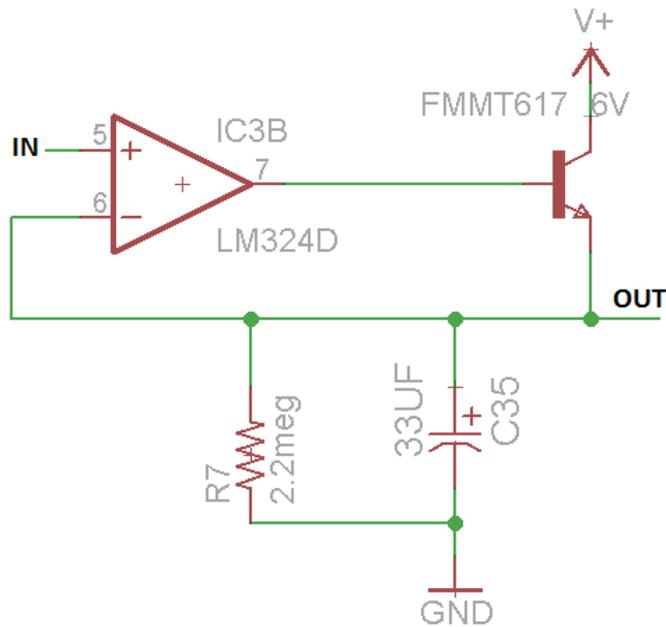


Figura 3.15 - Detector de picos activo

Una vez convertida la señal, es necesario transformarla de forma que obtengamos una tensión de variación lenta que, de alguna manera, represente la amplitud de la señal de entrada en cada instante. Para este fin, la opción más lógica es utilizar un detector de envolvente o, para obtener una mejor respuesta, un detector de picos activo (figura 3.15). En este circuito, la tensión de salida crecerá hasta la amplitud máxima de la señal de entrada, momento a partir del cual comenzará a decrecer linealmente. La velocidad de caída de la tensión, es decir, la pendiente de la recta correspondiente, se puede controlar mediante la resistencia R7 y el condensador C35, los cuales controlan la constante de tiempo del circuito. Los valores elegidos se han obtenido después de evaluar este circuito con distintos registros fonocardiográficos tomados con un estetoscopio electrónico. En este circuito, si la amplitud de la señal de entrada aumenta repentinamente, la tensión de salida lo hará también. En el caso contrario, si la señal de entrada se atenúa, la tensión de salida irá disminuyendo hasta encontrar un pico de amplitud, al cual seguirá de nuevo.

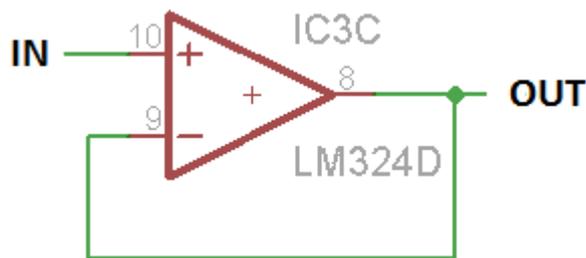


Figura 3.16 - Búfer de salida del detector de picos

A continuación del detector de picos se coloca un amplificador en configuración de seguidor de tensión (figura 3.16), con la única función de servir de búfer entre la salida del detector de picos y la celda de entrada de la primera FPAA, evitando así cualquier posible desadaptación de impedancias entre ambos nodos. Se ha tomado

esta medida por el carácter crítico que tiene la tensión de control del VCA en el funcionamiento del mismo: el más mínimo desajuste puede provocar que la ganancia del VCA sea incorrecta, y la señal no alcance la especificación de 1V de amplitud a la salida del sistema.

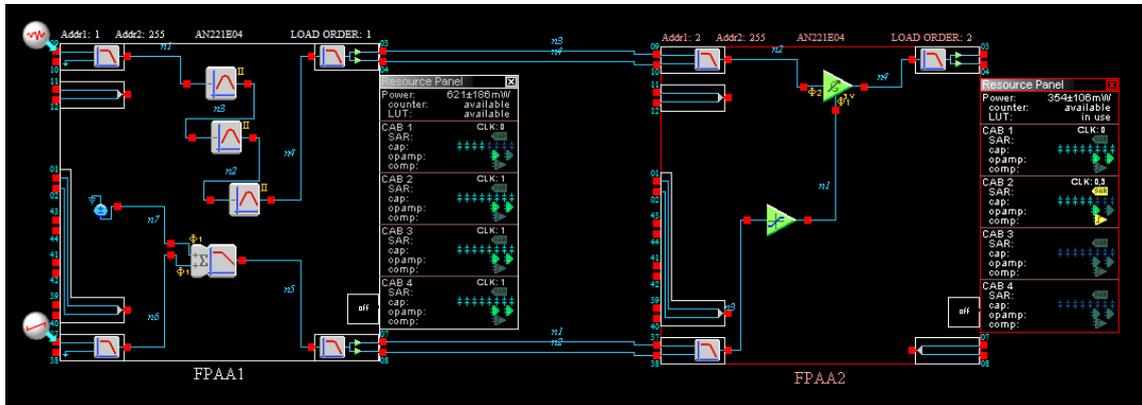


Figura 3.17 - Parte interna a las FPAAs de la sub-etapa de adaptación

La salida del detector de picos, atendiendo a los niveles mínimo y máximo de amplitud de la señal de entrada y las transformaciones posteriores, puede estar comprendida entre 2.6 y 3.6V, aproximadamente. Como se explicó anteriormente, la tensión de control del VCA tiene un límite inferior de -3V y uno superior de 3V, por lo que será necesario ajustar la tensión de salida del detector de picos a ese rango, aprovechándose así la precisión de un rango de voltajes mayor. Esto se llevará a cabo con varios CAM dentro de las FPAAs. La señal de salida del detector de picos, pasada por el búfer, se introduce en la primera FPAAs, con lo que perderá 2V de offset (señal inferior izquierda en la figura 3.17).

Instance Name: AnadigmVortex\SumFilter 1.1.3 (Sum/Difference Stage with Low Pass Filter)

Clocks
ClockA: (No notes)

Options

Output Changes On: Phase 1 Phase 2

Input 1: Non-inverting Inverting

Input 2: Non-inverting Inverting

Input 3: Off Non-inverting Inverting

Parameters

Corner Frequency [kHz]:	<input type="text" value="0.004"/>	(0.00401 realized)	[0.00151 To 0.100]
Gain 1 (UpperInput):	<input type="text" value="0.73"/>	(0.750 realized)	[0.275 To 20.0]
Gain 2 (LowerInput):	<input type="text" value="2"/>	(2.00 realized)	[0.275 To 20.0]

Figura 3.18 - CAM sumador con filtro paso-bajo

Las tensiones quedarán entre 0.6 y 1.6V. La señal ahora se introduce en un CAM especial (en adelante “SumFilter”), que permite sumar señales y, posteriormente, aplicarles un filtrado paso-bajo (figura 3.18). Este CAM también recibirá como segunda entrada una tensión constante de -3V mediante el CAM de color azul que se puede ver en la figura 3.17 (que sólo permite seleccionar 3 o -3V).

SumFilter permite ajustar varios parámetros. El primero de ellos es la frecuencia de corte del filtro paso-bajo. Ésta se ajustará a 4Hz, valor obtenido empíricamente y que permite que la señal resultante de la detección de picos se suavice convenientemente. Después, es posible definir una ganancia separada para la señal de la entrada superior y otra para la de la inferior, las cuales se aplican de forma previa a la operación de suma. La ganancia de la tensión de salida del detector se ajustará a 2, para ampliar el rango de tensiones, por lo que a la entrada del sumador podrá haber tensiones entre 1.2 y 3.2V. Para centrar este rango en 0V será necesario sumar -2.2V, sometiendo al offset de la otra entrada a una ganancia de 0.73 (que no será exactamente de ese valor, sino de 0.75, por las limitaciones del CAM). A la salida de SumFilter se consigue una señal de control que estará centrada en 0V, en un rango de -1 a 1V, y filtrada para atenuar los cambios bruscos de amplitud que produce el detector de picos. Cabe destacar que se ha tenido que utilizar un reloj de baja frecuencia (1 kHz) en SumFilter, debido a la baja frecuencia de corte del filtro, ya que la frecuencia de reloj limita ese y otros parámetros.

SumFilter ocupará un CAB de la primera FPAA. Concretamente, uno de los dos amplificadores operacionales y algunos de los condensadores del banco de capacidades conmutadas. De esta forma, la primera FPAA queda plenamente utilizada, sin ningún recurso extra disponible.

La señal de salida de SumFilter, que pasa de la primera FPAA a la segunda, será diferencial desde la celda de salida de la primera FPAA a la celda de entrada de la segunda. En este nodo se comprobó empíricamente la existencia de una componente frecuencial parásita de 4 kHz, seguramente producida por el efecto de los relojes internos de la FPAA. Esta componente parásita tenía un importante efecto negativo en el funcionamiento del sistema, ya que una pequeña variación en la tensión de control del VCA supone un cambio de la ganancia de éste. Al tratarse de una componente que hacía variar la amplitud de la tensión de control periódicamente, el efecto en la señal de salida del sistema era una amplitud inconsistente, que aumentaba y disminuía rápidamente. Este problema se solucionó realizando un filtrado paso-bajo con un circuito RC pasivo (figura 3.19), cuya frecuencia de corte viene dada por la expresión

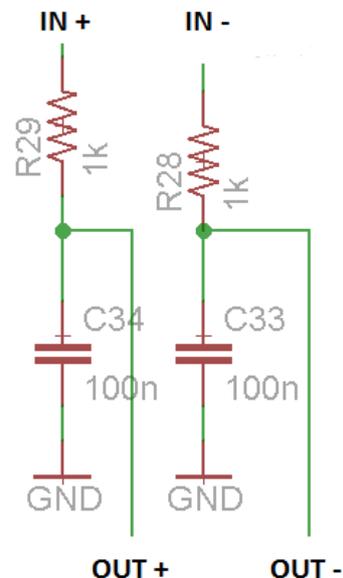


Figura 3.19 - Filtro RC pasivo

$$f_c = \frac{1}{2\pi RC} = \frac{1}{2\pi \cdot 1k\Omega \cdot 100nF} = 1.592 \text{ kHz} \quad (3)$$

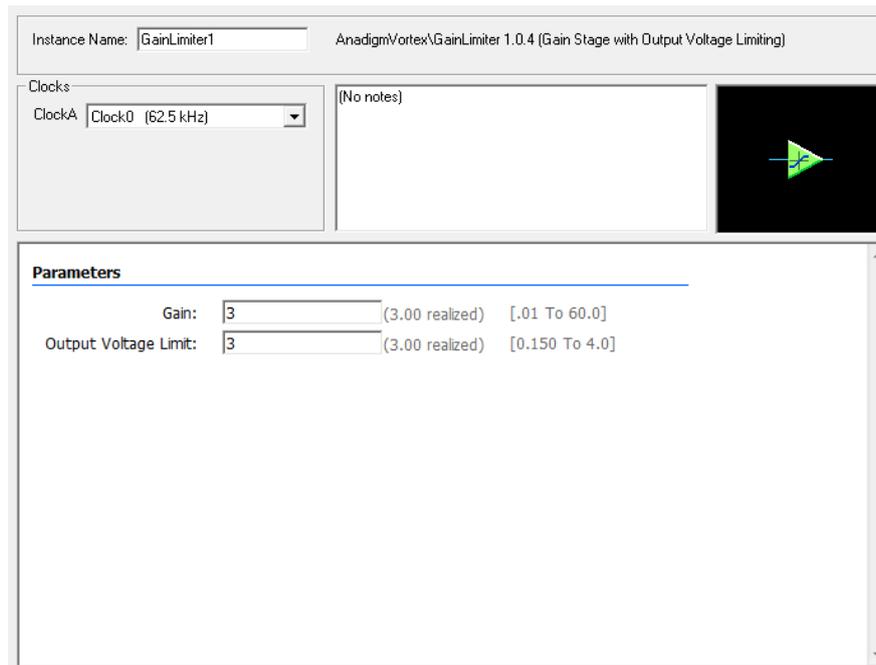


Figura 3.20 - CAM que implementa un amplificador con limitador de amplitud de salida

La última transformación que debe sufrir la tensión de control antes de poderse utilizar en el VCA es una amplificación con ganancia fija de valor 3. Para ello, se utilizó el CAM de la figura 3.20 en la segunda FPAA (la primera ya tiene todos sus recursos en uso). Este CAM actúa como un amplificador de ganancia fija, con la posibilidad de limitar la tensión de salida a un máximo definible por el usuario. En este caso, este máximo se establece en 3V, que es la máxima tensión que se permite en la entrada de control del VCA. Utilizando este CAM, la tensión de control pasa del rango de -1 a 1V al de -3 a 3V, completando esta etapa.

Este CAM utilizará el último CAB disponible en la segunda FPAA, por lo que los dos chips del sistema tendrán todos sus recursos en uso para esta aplicación. Este circuito necesita utilizar los dos amplificadores operacionales y el banco de capacidades conmutadas.

3.4. Etapas exteriores del sistema

Además de las etapas principales del sistema de acondicionamiento que se han explicado anteriormente, el diseño completo precisa de algunos circuitos añadidos para asegurar el correcto funcionamiento del mismo. Concretamente, cinco circuitos, los cuales se sitúan a la entrada y salidas del sistema, y que realizan ajustes que permiten la correcta inserción y extracción de las señales.

3.4.1. Sumador de DC

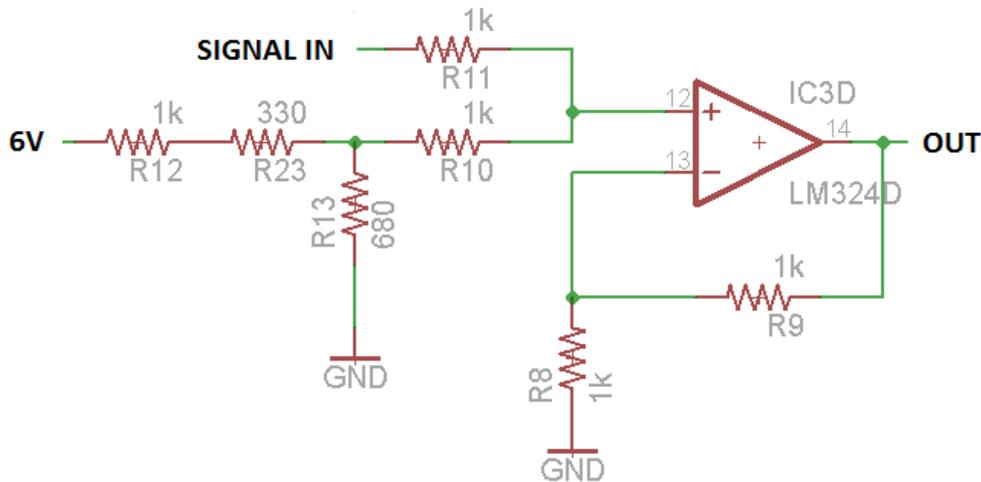


Figura 3.21 - Amplificador sumador no inversor

Como se explicó al principio de este capítulo, las especificaciones esperadas de la señal de entrada son 1V de amplitud como máximo, 200mV como mínimo y sin componente DC. Sin embargo, las celdas de entrada de la FPAA precisan que la señal que se va a introducir esté elevada 2V por encima de la masa de referencia. Para ello, y puesto que la señal de entrada no tiene componente DC, es necesario generar este nivel de tensión continua y sumarla a la señal de entrada al sistema. Esto se realiza con una configuración no inversora de amplificador sumador de ganancia unitaria como la de la figura 3.21. El amplificador se implementará con uno de los que contiene el circuito integrado LM324, que se ha utilizado anteriormente para implementar otros circuitos. La tensión de 2V se obtiene a partir del divisor resistivo formado por las resistencias R12, R23 y R13, de forma que la tensión teórica obtenida a la entrada inferior del sumador es de 2.03V.

3.4.2. Conversores diferencial a *single-ended*

Como ocurría a la salida del filtro de sonidos cardíacos, en la salida principal del sistema (la salida del módulo de ajuste automático de amplitud) y en la salida del filtro de soplos por eyección se hace necesario convertir la señal diferencial que proporciona la FPAA en una de tipo *single-ended*. Para ello, se vuelve a recurrir a la estructura de amplificador convertidor de señal diferencial a no diferencial mostrada anteriormente en la figura 3.14. Este circuito se coloca en las dos salidas del sistema de forma independiente. Los dos amplificadores operacionales necesarios se implementan en el diseño final con un único circuito integrado LM358, que contiene dos amplificadores alimentados con una fuente de tensión positiva que es, en este caso, también de 6V [16]. En estos circuitos se respeta la ganancia de 1.174 del otro convertidor para así poder reducir los valores de ganancia del VCA, que con ganancias mayores pierde precisión en su funcionamiento.

3.4.3. Bloqueo de la tensión DC de salida

El *offset* que se ha mantenido junto a la señal en gran parte del recorrido del sistema ha de eliminarse en la salida, ya que la señal resultante del acondicionamiento analógico se espera sin componente continua, al igual que la señal de entrada.

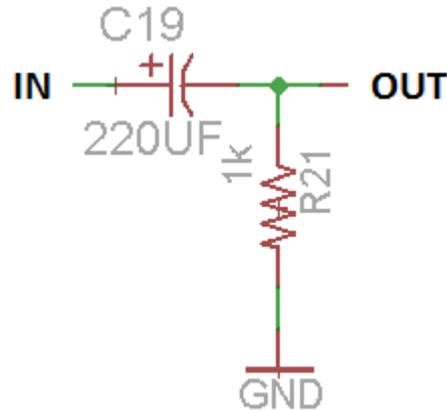


Figura 3.22 - Bloqueo DC con filtro paso alto

Para este propósito se utiliza un condensador serie de desacoplo entre la salida del convertor diferencial a no diferencial y la entrada del filtro paso bajo que se detallará a continuación (figura 3.22). Es también necesario incluir una resistencia en paralelo a masa, puesto que sin ella el nodo quedaría flotante, pudiendo crear problemas inesperados en el funcionamiento del circuito. Estos dos componentes conforman realmente un filtro paso alto, por lo que la elección de sus valores es importante para no producir atenuaciones indeseadas en la señal de salida. Con los valores escogidos, la frecuencia de corte de este filtro será:

$$f_c = \frac{1}{2\pi R_{21} C_{19}} = 0.72 \text{ Hz} \quad (4)$$

Suficiente para asegurar que este filtro no producirá atenuación en la señal de salida, cuya mínima frecuencia puede ser de, aproximadamente, 50 Hz.

3.4.4. Filtros paso bajo activos de segundo orden

Por el funcionamiento de las FPAA, en especial de sus estructuras internas de capacidades conmutadas, las señales de salida siempre presentan la forma típica de una señal que ha sido muestreada con un circuito de tipo *Sample & Hold*. Este efecto se explicará y mostrará con detalle en el siguiente capítulo.

El sistema presentado precisa de una salida completamente analógica, como la señal de entrada. Por ello, es imprescindible el uso de un filtro que reconstruya la señal analógica a partir de la versión escalonada que la FPAA envía a sus celdas de salida. Esto es posible con un filtro paso bajo, que se deberá implementar de forma externa a la FPAA. Aunque las celdas de salida de la FPAA permiten el uso de un filtro paso bajo rector, la mínima frecuencia de corte programable es de 76 kHz, valor demasiado alto para poder llevar a cabo esta tarea correctamente.

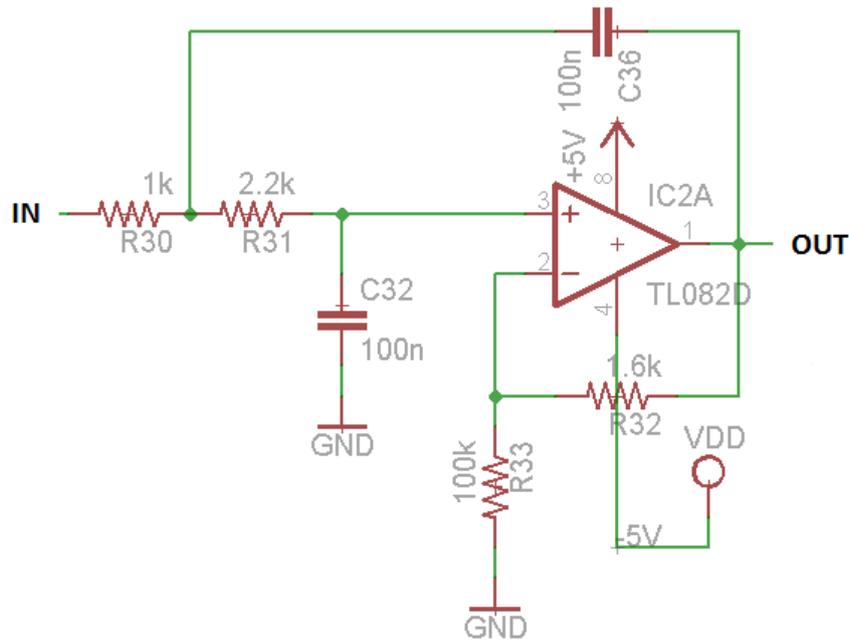


Figura 3.23 - Filtro paso bajo rector

En este diseño, se han implementado dos filtros paso bajo activos de segundo orden idénticos (figura 3.23), uno en cada salida del sistema, posteriores a los circuitos de bloqueo DC. En este tipo de circuito, la ganancia y frecuencia de corte vienen definidas por las expresiones (4) y (5). La atenuación tras la frecuencia de corte será de 40 dB/déc.

$$G = 1 + \frac{R_{32}}{R_{33}} = 1 + \frac{1.6k\Omega}{100k\Omega} = 1.016 \approx 1 \quad (5)$$

$$f_c = \frac{1}{2\pi\sqrt{R_{30}R_{31}C_{32}C_{36}}} = \frac{1}{2\pi\sqrt{(1k\Omega \cdot 2.2k\Omega \cdot 100nF \cdot 100nF)}} = 2.69 \text{ kHz} \quad (6)$$

Además de su función como filtros, estos circuitos también actúan como búfer entre la salida del sistema y la entrada de cualquier circuito que se conecte a él, evitando posibles efectos adversos por una excesiva impedancia de salida.

Para implementar los dos amplificadores operacionales necesarios para los dos filtros, se utilizará el circuito integrado TL082, que incluye dos amplificadores en un único chip [17]. La razón de esta elección es doble. Desde el punto de vista del diseño, en esta etapa es necesario un amplificador operacional con alimentación simétrica, ya que el circuito anterior ha bloqueado la componente DC, quedando la señal de entrada al filtro centrada en 0V; el TL082 admite tensiones de alimentación de $\pm 18V$, siendo un candidato idóneo. Por otra parte, en el laboratorio ya se disponía de este circuito durante el desarrollo de este Trabajo.

3.5 Prototipo PCB: Estructura general

El objetivo último de este Trabajo es la creación de un prototipo del sistema de acondicionamiento analógico para señales fonocardiográficas en una placa de circuito impreso (*Printed Circuit Board* – PCB). Este prototipo funciona de forma autónoma, para lo cual incluye circuitería esencial para: el correcto funcionamiento de las FPAA; crear los distintos niveles de tensión necesarios; que las FPAA puedan configurarse desde la memoria EPROM; y, por supuesto, para la entrada/salida. El esquema, el *layout* y la lista de componentes de la PCB se encuentran disponibles en el apéndice A.

Partiendo del diagrama básico mostrado en la figura 3.1, se ha explicado con detalle cada una de las partes del sistema. Algunas de ellas se han desglosado en otras sub-etapas y otras se han presentado posteriormente. El diagrama de bloques completo del sistema de acondicionamiento analógico resultante se muestra en la figura 3.24.

A continuación se detallarán algunas de las partes más importantes del circuito del prototipo en PCB.

3.5.1. Memoria EPROM para la programación de las FPAA

Para que el prototipo funcione de forma autónoma, es imprescindible que las FPAA se configuren automáticamente cada vez que el sistema reciba alimentación. Esto es posible conectando una memoria EPROM, con su circuitería asociada, a los pines correctos de las dos FPAA. Además, será necesario realizar ciertas conexiones en las FPAA, así como alterar algunos bits de configuración de sus datos de programa. Estas acciones, así como el proceso de inicialización y lectura de la memoria se explicaron parcialmente en el capítulo 2. En el apéndice B se facilita una guía detallada de cómo se realiza la configuración y programación de las FPAA con una memoria EPROM.

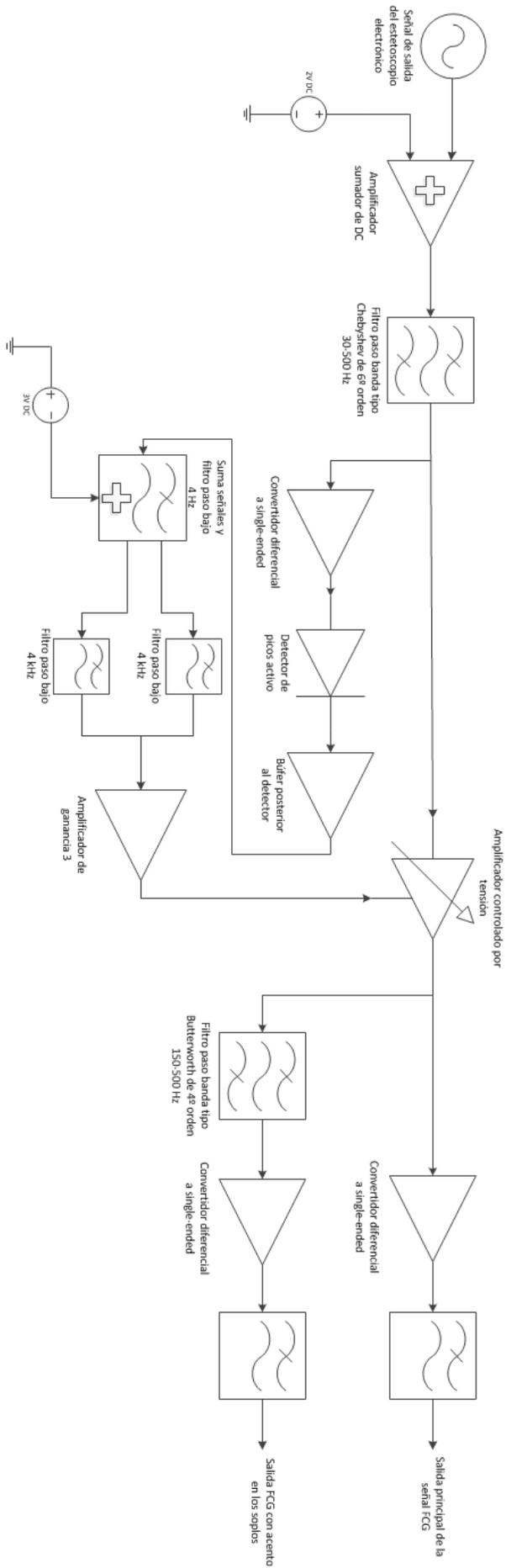


Figura 3.24 - Diagrama de bloques completo del sistema de acondicionamiento analógico

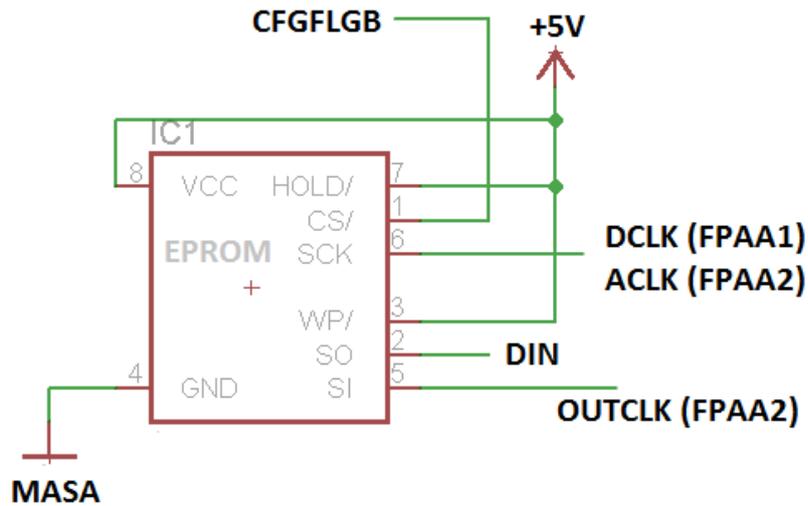


Figura 3.25 - Conexiones de la memoria EPROM en el prototipo

En la figura 3.25 se especifican las conexiones de la memoria EPROM con la/s FPAA; aquellas conexiones específicas a una sola FPAA aparecen indicadas en dicha figura. Una sola EPROM puede contener los datos de configuración de las dos FPAA simultáneamente, de forma que serán los propios chips los que gestionarán la lectura de datos. Se utilizará una memoria tipo SPI de 64 kb de capacidad: la CAT25640 [18].

3.5.2. Oscilador para la señal de reloj

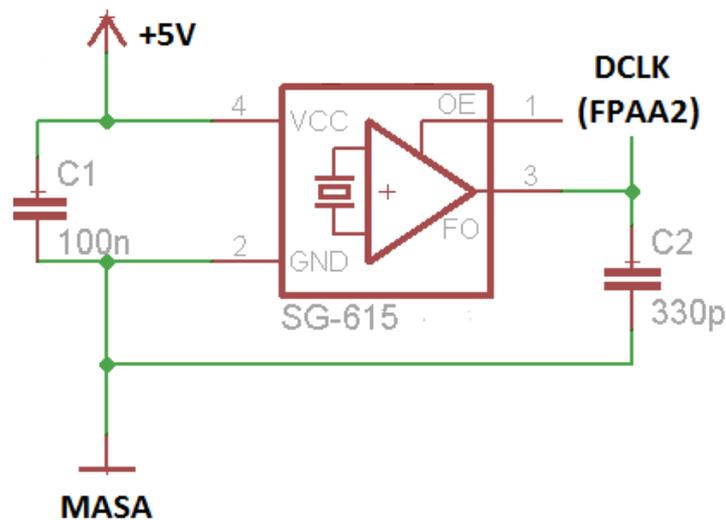


Figura 3.26 - Oscilador para la señal de reloj en el prototipo

La señal de reloj maestro para las dos FPAA se obtendrá a partir del circuito integrado SG-615, un oscilador de cristal de cuarzo capaz de generar un tren de pulsos de 16 MHz de frecuencia [19]. En la figura 3.26 se detalla la conexión necesaria entre la segunda FPAA y el oscilador, así como las conexiones que necesita

éste para funcionar. El reloj maestro de la primera FPAA le será dado por la segunda FPAA.

3.5.3. Puertos de entrada y salida

Tal y como se ha diseñado el sistema, existe una entrada y dos salidas. A la entrada debe ir conectado el estetoscopio electrónico. Tras recabar información técnica de estos aparatos, se decidió que el conector de entrada debía ser un *jack* de audio de 3.5mm. Los conectores de las dos salidas podrían variar en función de la aplicación concreta en la que se empleara este sistema. Como decisión de diseño, se ha elegido el conector BNC, típico en radiofrecuencia e instrumentación de laboratorio.

3.5.4. Circuito de alimentación

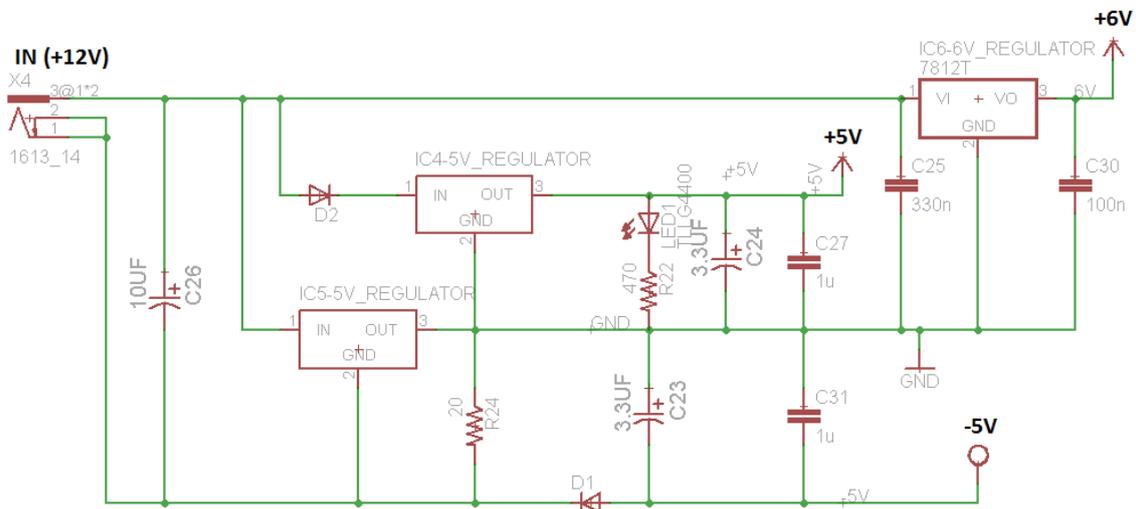


Figura 3.27 - Circuito de alimentación del prototipo

En este sistema son necesarios tres niveles de tensión distintos para una operación correcta: una tensión simétrica de $\pm 5V$ y otra de 6V. El circuito que permite disponer de estas tensiones a partir de una única tensión de alimentación del sistema se muestra en la figura 3.27. La alimentación del sistema se introduce mediante un conector *jack* de cilindro, y deberá ser de 12V con, al menos, 250 mA.

La tensión simétrica permitirá alimentar los amplificadores operacionales del TL082 que se utilizan como filtros paso bajo en las salidas del sistema, así como las FPAA, que precisan de una tensión de alimentación de +5V. Para lograr estas tensiones, se han utilizado dos reguladores LT1129-5 [20] de +5V, en la configuración que se muestra en la figura anterior. La tensión de 6V es necesaria para la alimentación del resto de amplificadores operacionales del circuito, tensión que se genera mediante un regulador específico, el L7806 [21].

Capítulo 4

Resultados y evaluación

En este capítulo se presentarán y explicarán los resultados de caracterización y evaluación del sistema de acondicionamiento analógico para señales FCG desarrollado en este Trabajo, primero en simulación y posteriormente de forma experimental. Los resultados experimentales se han obtenido en dos fases: en primer lugar, implementando el sistema en los kits de desarrollo AN221K04 y placas de prototipado y, tras ajustar y verificar el funcionamiento correcto del sistema de esta manera, en un prototipo autónomo fabricado en una placa de circuito impreso.

4.1. Caracterización en simulación de los filtros del sistema

A continuación se expondrán los resultados de simulación de los dos filtros del sistema. Con estas simulaciones, se pretende caracterizar el funcionamiento de los bloques principales que componen la parte de filtrado del sistema de acondicionamiento analógico de la señal fonocardiográfica, verificando así que cumplen con las especificaciones que se esperan tras su diseño.

Estas simulaciones se han realizado enteramente en AnadigmDesigner 2, exportando los resultados a Matlab, donde se ha realizado el tratamiento de datos pertinente para generar las curvas de caracterización.

4.1.1. Filtro para sonidos cardíacos

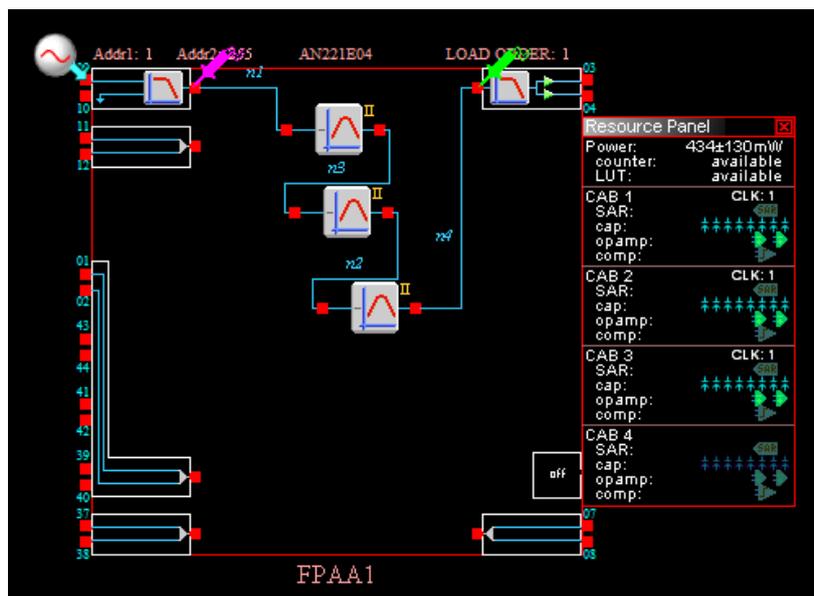
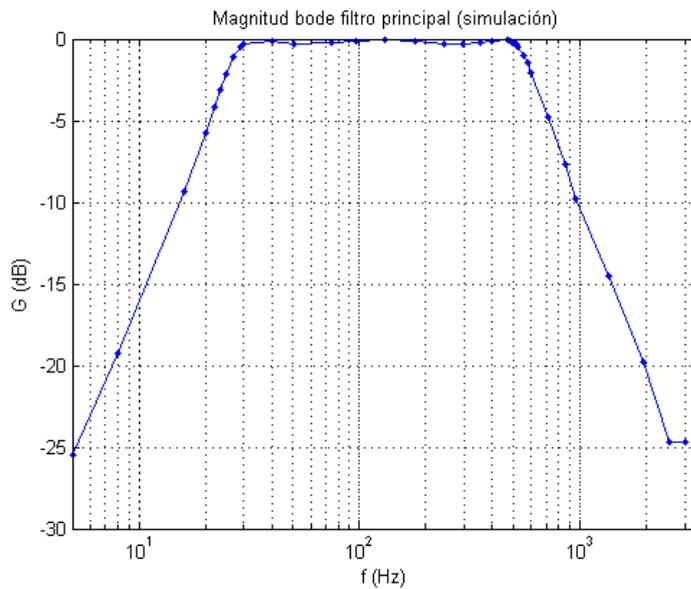


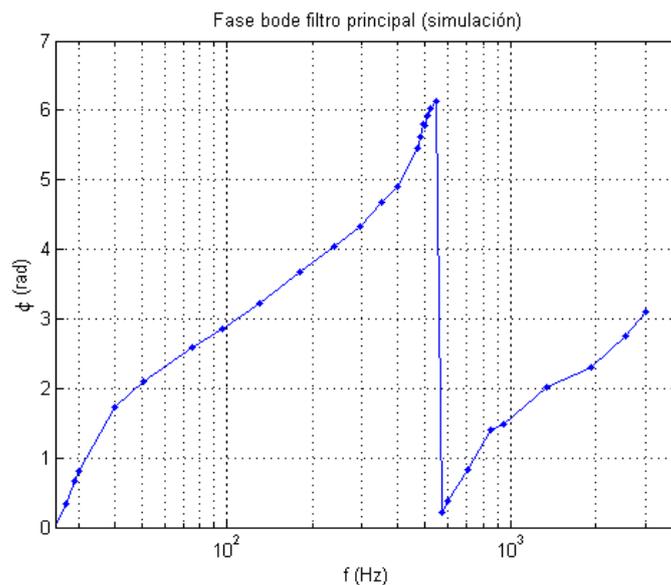
Figura 4.1 - Filtro de sonidos cardíacos en AnadigmDesigner 2

El filtro para sonidos cardíacos se implementa en AnadigmDesigner 2 según el diseño explicado en el capítulo anterior (figura 4.1). Para caracterizarlo, se realiza un barrido de frecuencias en torno a la banda de interés con una señal senoidal, midiendo en cada valor la amplitud de la señal de salida y el desfase entre la señal de entrada y la de salida, siendo siempre la amplitud de entrada constante, con valor de 1V. De esta manera, se obtienen la magnitud del filtro, medida en decibelios y mostrada en la figura 4.2a. Para hallar la fase, medida en radianes, y mostrada en la figura 4.2b, se mide la diferencia temporal de la señal para cada valor de frecuencia y se halla el desfase según la expresión:

$$\phi = \frac{2\pi}{T} \cdot \Delta t \text{ (rad)} \quad (1)$$



a) Magnitud del filtro para sonidos cardíacos



b) Fase del filtro para sonidos cardíacos

Figura 4.2 – Resultados de simulación del filtro para sonidos cardíacos

Como se puede apreciar en la figura 4.2, la magnitud del filtro es acorde con las especificaciones de diseño, al igual que la fase.

4.1.2. Filtro para la detección de soplos

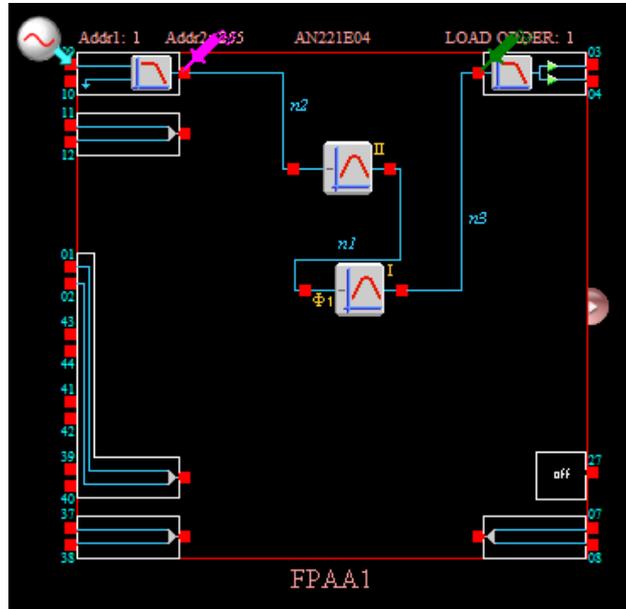
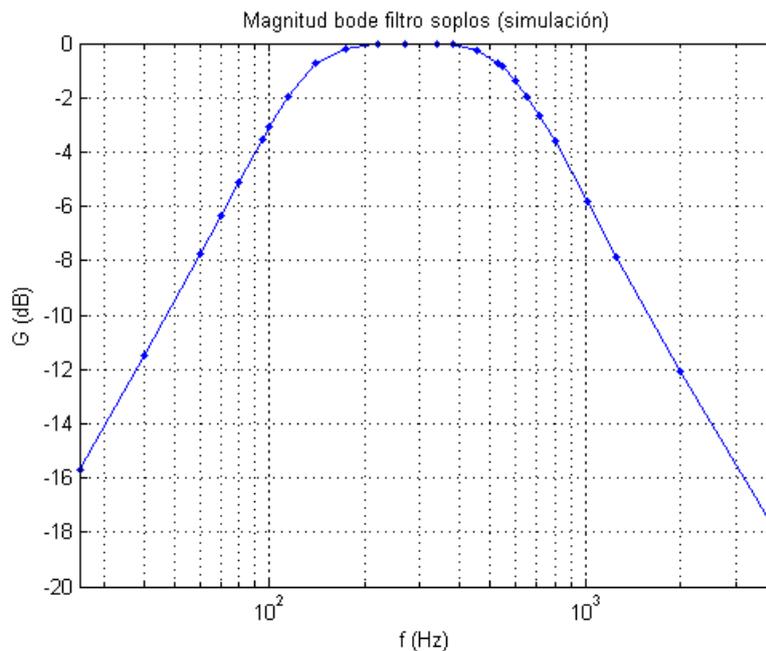
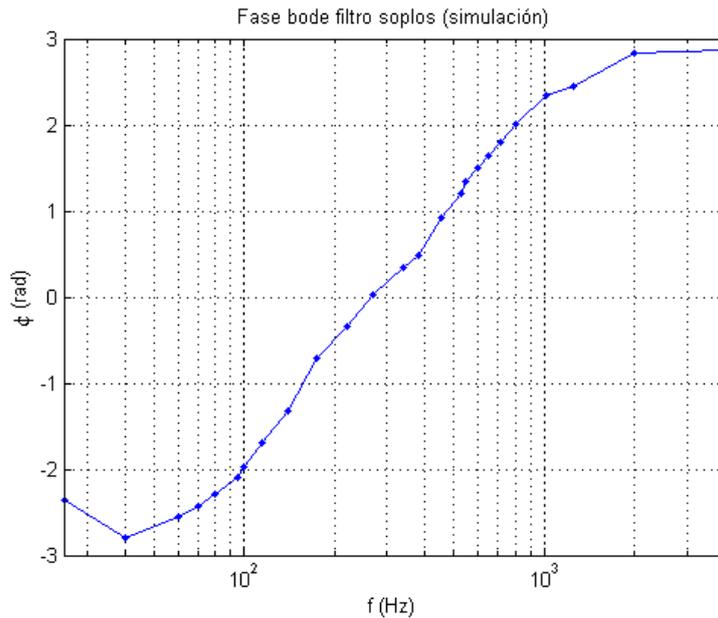


Figura 4.3 - Filtro para soplos por eyección en AnadigmDesigner 2

El filtro para la detección de soplos y regurgitaciones también se implementa en AnadigmDesigner 2 (figura 4.3) siguiendo las especificaciones de diseño, y se simula siguiendo el mismo método que para el filtro anterior. Se obtienen la magnitud y la fase del filtro, mostradas en la figura 4.4.



a) Magnitud del filtro para soplos por eyección



b) Fase del filtro para soplos por eyección

Figura 4.4 –Resultados de simulación del filtro para soplos por eyección

Como era de esperar, la magnitud y fase del filtro en simulación se corresponden con las especificaciones de éste. La magnitud tiene la forma típica de la de un filtro de Butterworth y la fase es prácticamente lineal en la banda de paso.

4.2. Simulación del sistema de acondicionamiento analógico

Tras haber caracterizado en simulación los filtros principales que componen el sistema diseñado, se procede a mostrar y comentar los resultados de la simulación del sistema completo con tres señales fonocardiográficas reales. Como se detallará a continuación, las simulaciones se han realizado con una versión del sistema cuyo diseño difiere ligeramente del presentado en el capítulo anterior, aunque los resultados obtenidos son igualmente válidos.

4.2.1. Diseño y metodología

La simulación del sistema se ha llevado a cabo con una versión inicial del diseño. En esta versión, además de algunas simplificaciones, la tensión de control se toma de la salida del VCA, en lugar de la salida del filtro para sonidos cardíacos. La intención que se tuvo con este diseño era que el módulo de ajuste de la amplitud de la señal de salida tuviera una respuesta más rápida. Sin embargo, aunque el sistema en simulación responde como se esperaba y, de hecho, los resultados son válidos también para el diseño final, pruebas experimentales demostraron que esta primera versión no era estable. La razón de esta inestabilidad estriba en el acoplamiento que se produce entre la salida del VCA y la señal de control que entra a este módulo,

generada de dicha salida tras pasar por el detector de picos. Como consecuencia de este acoplamiento, la respuesta del sistema realimentado se hace errática en la práctica, lo que no es detectable en simulación al estar los subsistemas de detección y control desacoplados, tal como se describe en los siguientes párrafos.

Como se ha detallado en el capítulo 3, el sistema de acondicionamiento analógico de señales fonocardiográficas se ha implementado utilizando dos FPAA, junto con otras etapas analógicas externas. Dentro del entorno de AnadigmDesigner 2 es posible realizar simulaciones del sistema que implementan las FPAA, pero no es posible incluir en la simulación etapas analógicas convencionales externas. Este hecho implica que no es posible simular el sistema completo en esta herramienta. Para solventar este inconveniente, se ha simulado el sistema en tres pasos: primero se obtienen las señales simuladas de salida del filtro para sonidos cardíacos con AnadigmDesigner 2; estas señales se introducen en el detector de picos, cuyo comportamiento se simula en el entorno OrCAD-PSpice; y finalmente las señales obtenidas en la simulación eléctrica del segundo caso se utilizan para completar la simulación en AnadigmDesigner 2.

El sistema se ha simulado con tres fonocardiogramas reales. El primero es una grabación previamente tratada [22], en la que existen soplos diastólicos. En esta señal no serán tan evidentes los efectos del filtrado, aunque sí se verá claramente el comportamiento del módulo de ajuste automático de la amplitud de la señal de salida. El segundo fonocardiograma pertenece a una serie de grabaciones que fueron realizadas en Junio de 2004 por el grupo de investigación en el que se desarrolla este Trabajo [9], utilizando un estetoscopio electrónico real. Este registro no ha sufrido ningún tratamiento para mejorar su calidad. El tercer registro corresponde a un fonocardiograma didáctico incluido en [4] en el que, además de los sonidos cardíacos típicos, aparece un soplo sistólico por eyección. Este soplo es precisamente del tipo para el cual está diseñado el segundo filtro de este sistema, por lo que se podrá apreciar claramente como la parte de la señal correspondiente a esta anomalía queda acentuada frente al resto.

4.2.2. Simulación y resultados

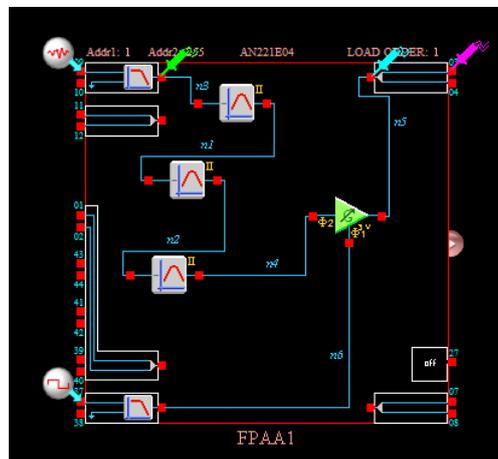


Figura 4.5 - Circuito para el primer paso de simulación en AnadigmDesigner 2

Para poder simular el sistema, se divide el proceso en tres pasos. En primer lugar, comenzando con el primer registro fonocardiográfico, se realiza una simulación en la que la tensión de control del VCA se mantiene constante, con valor de -0.2V (figura 4.5), dando lugar a una amplificación fija aproximada de 3.15. La señal de salida, con los 2V de componente continua que añade la celda de salida de la FPAA, corresponde a la parte positiva de la señal diferencial indicada con la sonda de color rosa en las figuras 4.5 y 4.6. La señal de entrada al sistema se muestra en color verde y la señal de salida del VCA, que también ha pasado por el filtro para sonidos cardíacos, en color azul. Se utilizó únicamente la parte positiva de la señal diferencial para simplificar el proceso de transferencia de datos entre las distintas herramientas.

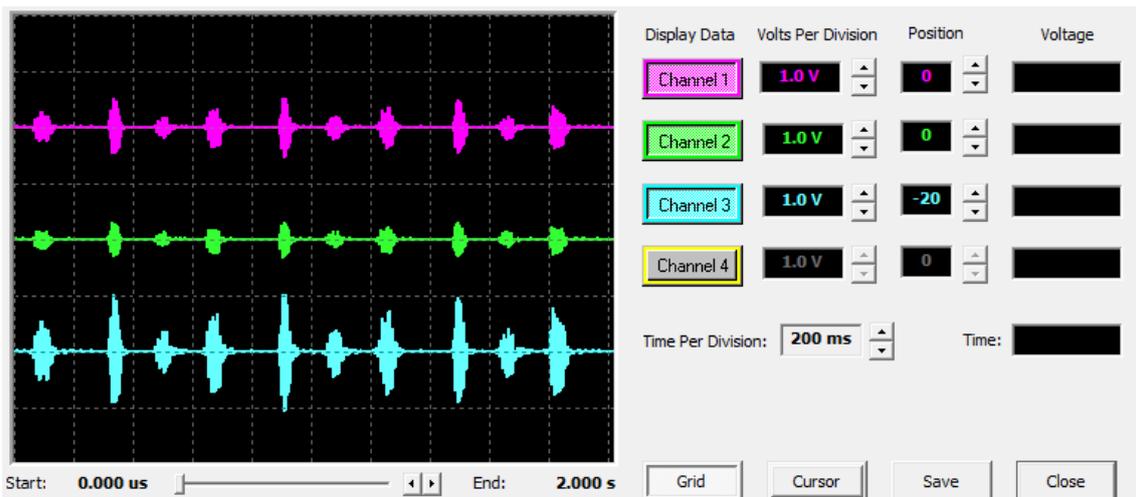


Figura 4.6 - Señales del primer circuito de la simulación

La señal obtenida se introduce en el detector de picos, capturado en la herramienta OrCAD-PSpice, con la estructura presentada en la figura 4.7.

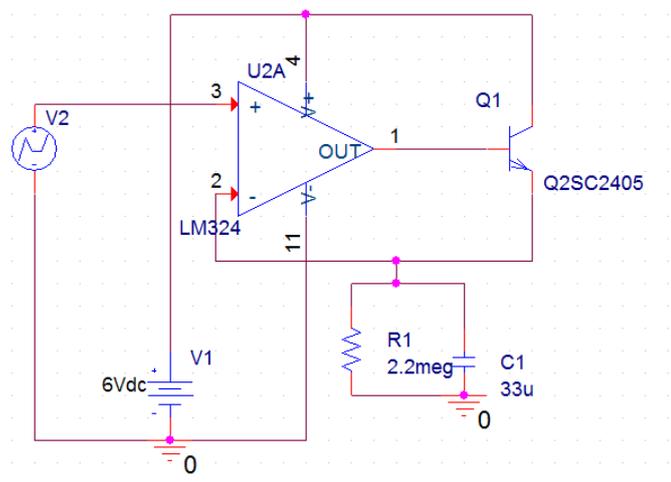


Figura 4.7 - Esquema del detector de picos

En la figura 4.8 se muestra la señal de entrada del detector de picos en color rojo y la tensión de salida en color verde que, como se puede observar, posee las propiedades explicadas anteriormente.

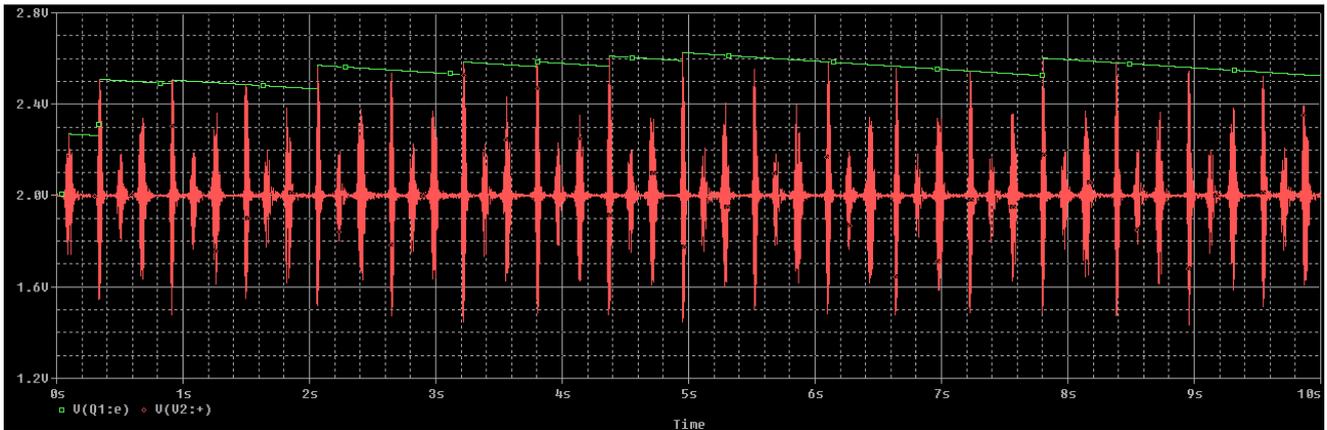


Figura 4.8 - Señales de entrada y salida del detector de picos

La tensión de salida del detector se introduce entonces en otro circuito creado en AnadigmDesigner 2 (figura 4.9), que implementa el sistema completo y en el que la tensión de control es realista, por lo que se puede obtener la respuesta real del sistema.

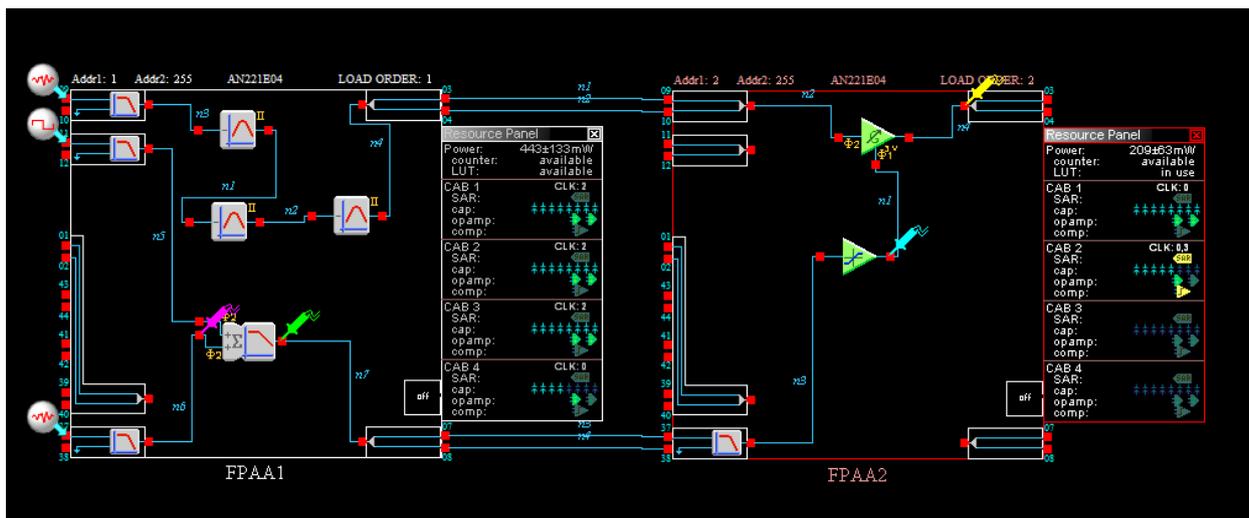


Figura 4.9 - Circuito para el segundo paso de simulación en AnadigmDesigner 2

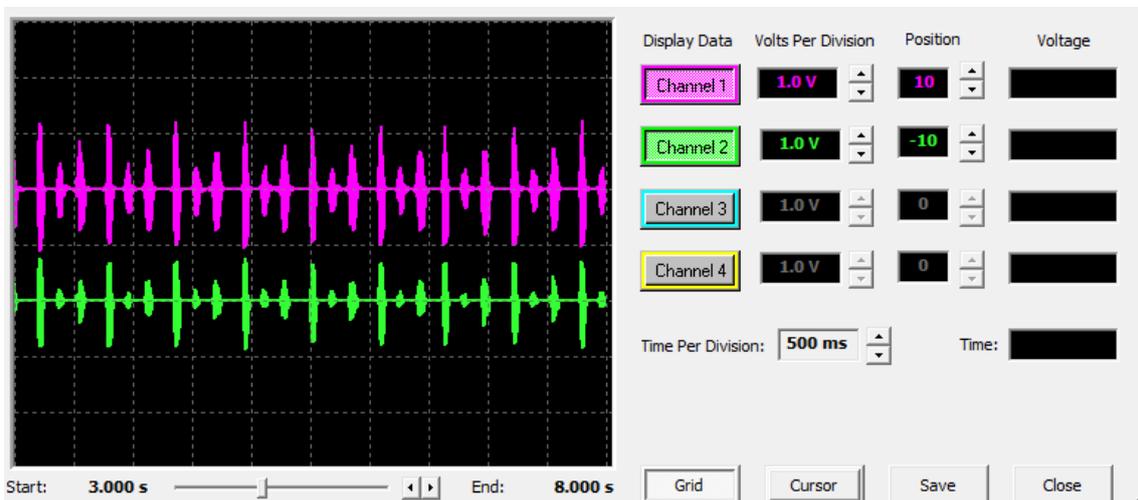
Las señales más importantes del sistema se muestran en la figura 4.10. En color rosa aparece la salida del detector de picos, que se introduce en el sumador, junto con la tensión constante que la centra en 0V. La señal se ha desplazado verticalmente hacia arriba para facilitar la visión del resto de canales. La salida del sumador con filtro paso bajo se muestra en color verde y, como se puede apreciar, es una versión filtrada y centrada en 0V de la anterior. Nótese la escala en la que se ha configurado el canal: es una señal con variaciones muy pequeñas de tensión. En color azul aparece la señal anterior, amplificada para cubrir el rango de tensiones de control del VCA, con la consideración de que, al haber tomado la parte positiva de la señal diferencial únicamente, la amplitud de la tensión de control es la mitad de lo habitual, con lo cual la ganancia debe ser el doble. Por último, la señal de salida del sistema se

presenta en color amarillo. Como se puede apreciar, la amplitud media es muy cercana a 1V en todo momento, aún a pesar de haber tenido que partir la simulación en varios pasos. El filtrado en el rango de los sonidos cardíacos también es correcto.

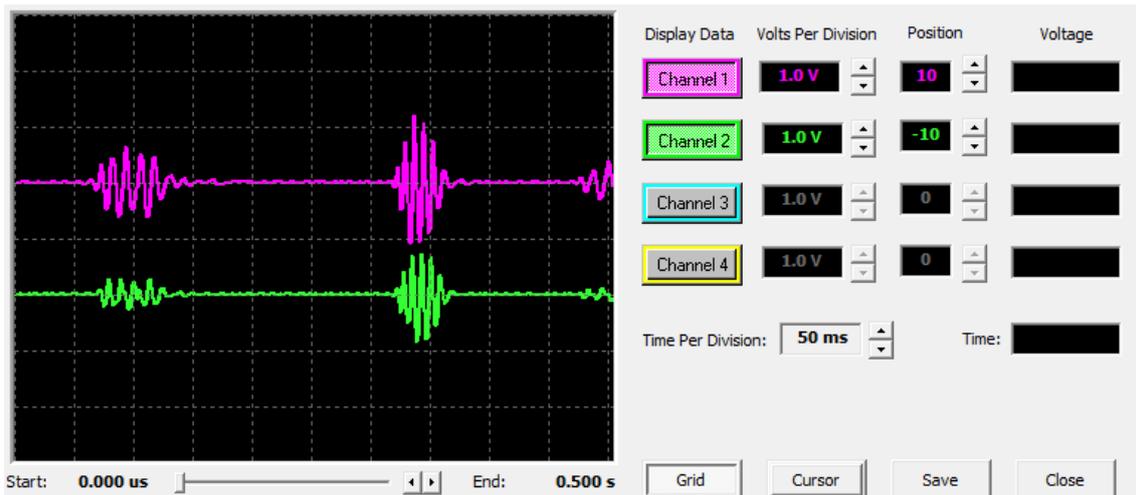


Figura 4.10 - Señales del segundo circuito de la simulación

En la figura 4.11 se puede ver de forma comparativa la señal de salida principal del sistema, en color rosa, frente a la salida del filtro para soplos por eyección, en color verde. Como se aprecia en la parte b) de la figura, en la salida del sistema se cumplen los requisitos de amplitud y filtrado, mientras que en la salida del filtro para soplos por eyección se puede ver como la señal está, en general, atenuada, puesto que tiene pocas componentes frecuenciales en el rango de estas anomalías cardíacas.



a) Vista general de las dos señales de salida del sistema



b) Vista detallada de las dos señales de salida del sistema

Figura 4.11 – Señal de salida principal (rosa) frente a la señal de salida del filtro para soplos por eyección (verde)

La simulación del sistema con la segunda señal arroja resultados similares a los que ya se han mostrado. En la figura 4.12 aparecen las señales obtenidas en el circuito del primer paso de la simulación. Los colores de cada canal se corresponden con aquellos que se explicaron en la figura 4.6 para la primera señal. La correspondencia de colores se mantiene para todas las figuras siguientes.

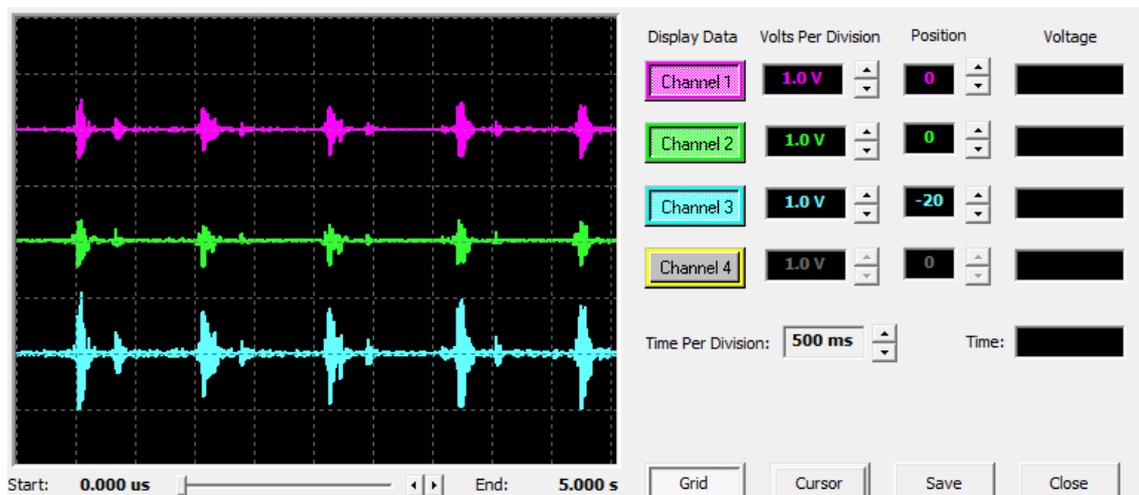


Figura 4.12 - Señales del primer circuito con el segundo registro

Las señales de entrada y salida del detector de picos también son acordes a las especificaciones, como muestra la figura 4.13. Cabe destacar que, para esta señal, el ajuste de amplitud será incluso mejor que en la primera, puesto que este circuito está detectando los picos con bajas caídas de tensión entre ellos.

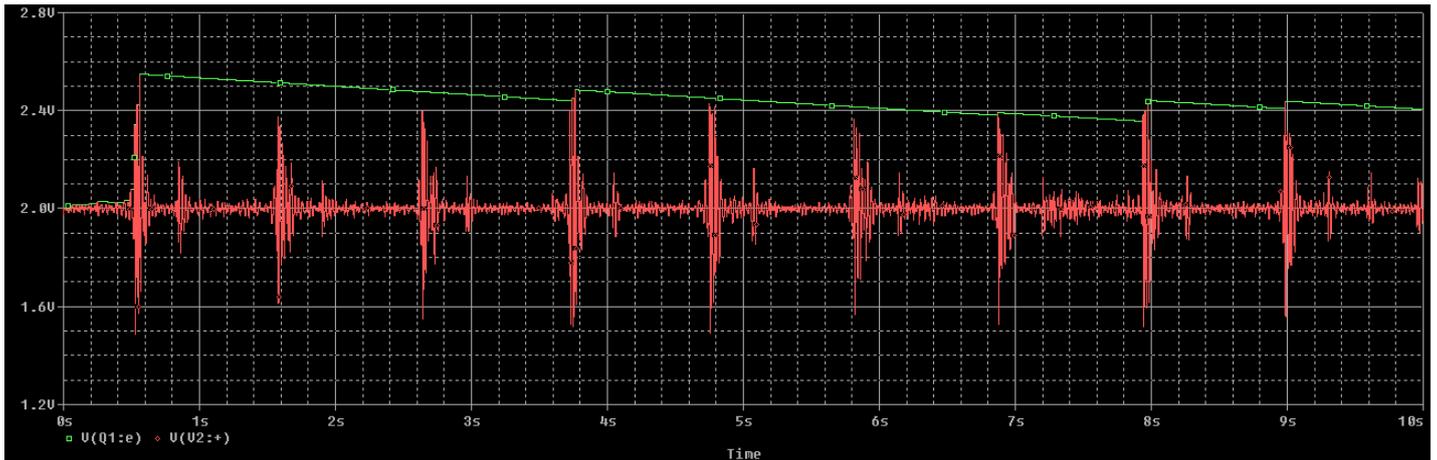


Figura 4.13 - Señales de entrada y salida del detector de picos

Las señales del segundo circuito en AnadigmDesigner 2, mostradas en la figura 4.14, tienen una forma parecida a las de la figura 4.10. Aquí se puede apreciar que el sistema tiene la respuesta esperada, y que para esta señal hay menos variaciones en la tensión de control de las que había con la primera señal, haciendo que la amplitud de la señal de salida sea más uniforme.

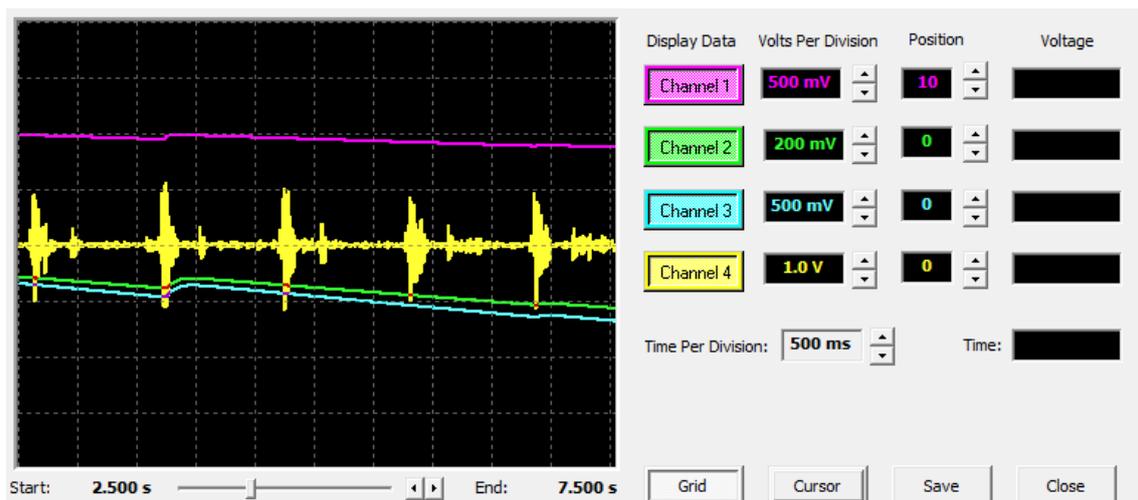
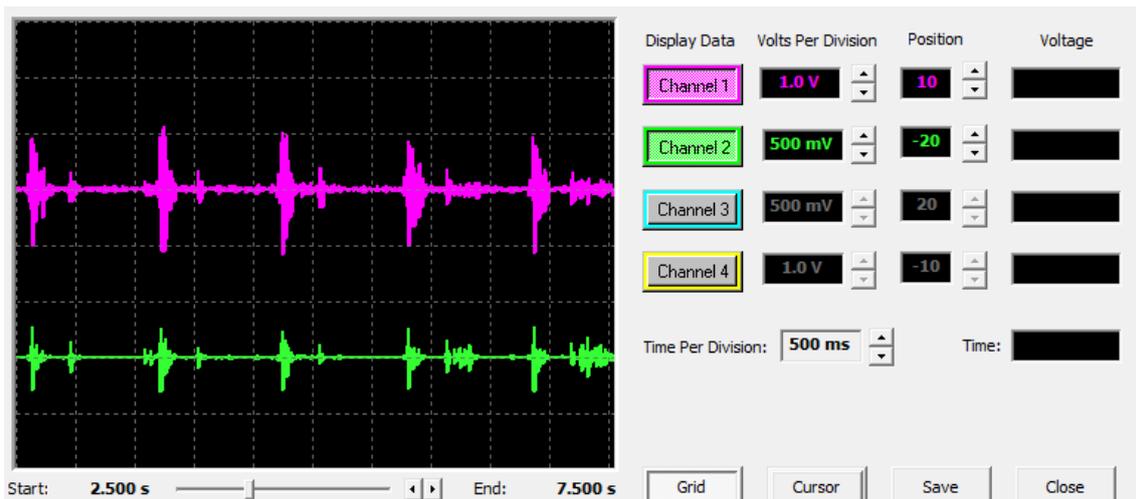


Figura 4.14 - Señales del segundo circuito de simulación con el segundo registro

Por último, en la figura 4.15 se presenta la señal de salida del sistema junto con la de salida del filtro para soplos por eyección. En la parte b) de la figura se hace evidente que esta señal, que se tomó de un paciente sano, no presenta ningún sonido anómalo, ya que la señal de salida del filtro para soplos está muy atenuada (nótese la escala de ese canal). El filtrado tiene un efecto más notable que para la primera señal, puesto que este registro no había sufrido ningún tratamiento posterior a su grabación. Además, el ajuste de amplitud es incluso más fino que para el caso de la señal anterior.



a) Vista general de las dos señales de salida del sistema



b) Vista detallada de las dos señales de salida del sistema

Figura 4.15 - Señal de salida principal (rosa) frente a la señal de salida del filtro para soplos por eyección (verde) con el segundo registro fonocardiográfico

Tras mostrar las señales de los dos primeros registros en los puntos más importantes del sistema, resta únicamente mostrar el efecto de éste en la tercera señal fonocardiográfica. Los resultados quedan resumidos en la figura 4.16, en la cual aparece la señal fonocardiográfica original en color rosa, la señal de salida principal del sistema en verde, y la señal de salida del filtro para soplos por eyección en azul. Además de cumplirse el objetivo de filtrado en el rango de los sonidos cardíacos y el mantenimiento de la amplitud de la señal de salida en torno a 1V, en la figura se puede apreciar cómo la salida del filtro para soplos por eyección ha mantenido la amplitud del soplo (segunda componente de la señal empezando por la izquierda), pero atenuando las componentes de la señal propias de un corazón sano.



a) Vista general de las señales del sistema



b) Vista detallada de las señales del sistema

Figura 4.16 - Señales de salida frente a la señal de entrada del sistema con el tercer registro fonocardiográfico

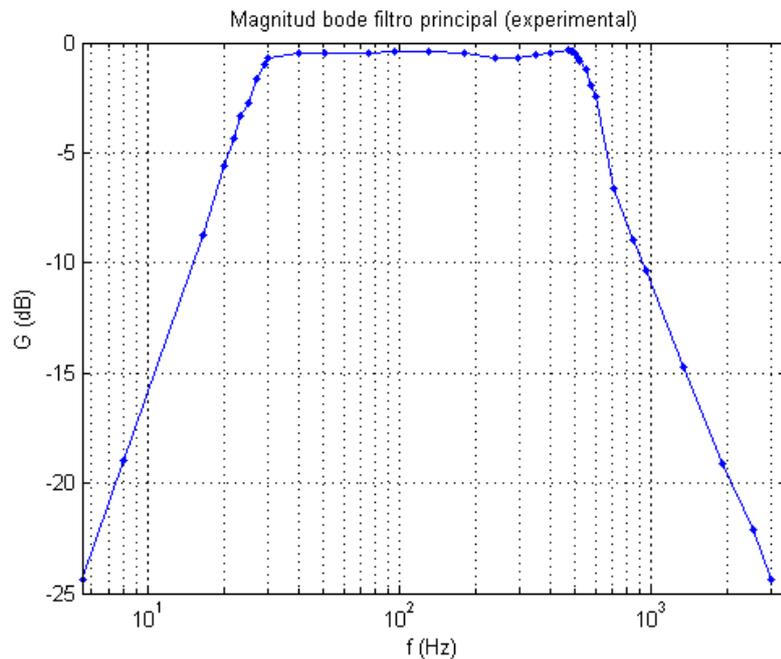
4.3. Caracterización experimental de la implementación del sistema sobre el kit de desarrollo y pruebas con señales reales

A continuación se expondrán todos los resultados experimentales del sistema implementado sobre dos kits de desarrollo AN221K04. En primer lugar se mostrarán los resultados de la caracterización de los principales módulos, después la respuesta del sistema ante una señal senoidal y, por último, el acondicionamiento de las dos señales fonocardiográficas que se utilizaron anteriormente.

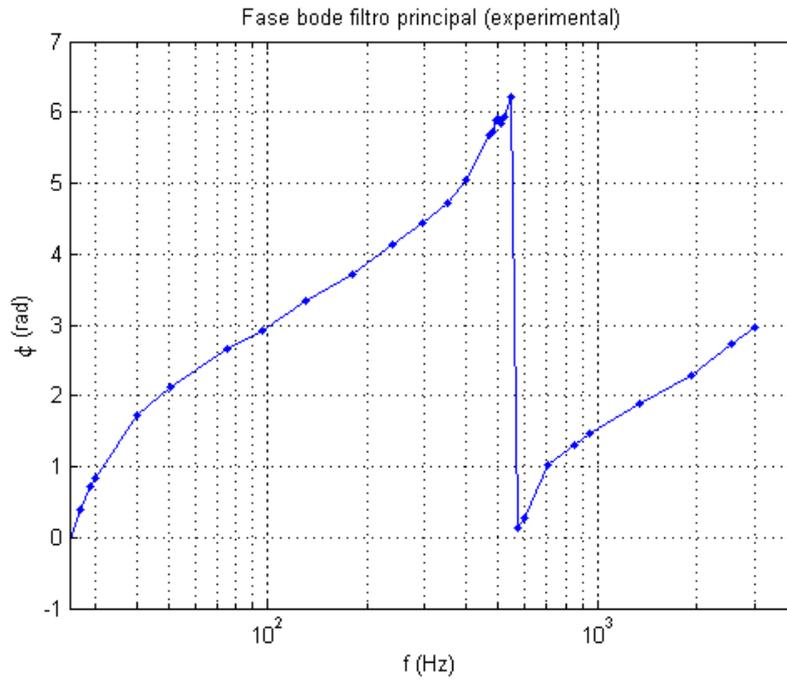
4.3.1. Caracterización experimental de los módulos principales del sistema

Después de caracterizar los principales módulos del sistema en simulación, se realizó el mismo proceso implementando los dos filtros en un kit de desarrollo AN221K04 de forma separada, y el sistema de ajuste automático de la amplitud de la señal de salida en dos kits. En los tres casos el montaje se compuso por: el sumador de 2V de *offset* para elevar la señal de entrada a los niveles que aceptan las celdas de entrada de la FPAA, los kit de desarrollo AN221K04, que se utilizan únicamente como soporte de alimentación, reloj y configuración de las FPAA (ya que la señal de entrada se conecta directamente al pin de entrada del chip) y a la salida un convertidor diferencial a no diferencial como los utilizados en el sistema completo. La FPAA se configuró con los datos de programa de cada bloque separadamente.

En primer lugar, se detalla la caracterización experimental del filtro para sonidos cardíacos. Siguiendo la misma metodología que se utilizó en la caracterización en simulación, se utiliza como señal de entrada una senoidal de 1V de amplitud, con frecuencia variable. Tomando el valor de la amplitud de salida de la señal para cada valor de frecuencia, y el desfase entre la señal de entrada y la de salida, se puede construir la magnitud y fase del filtro, de la misma forma que en la caracterización en simulación, como se muestra en la figura 4.17.



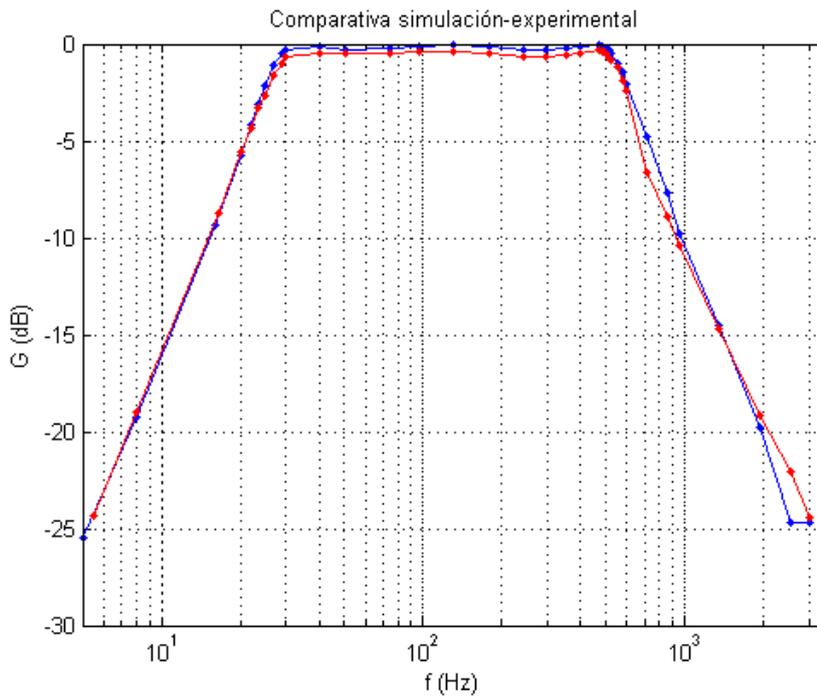
a) Magnitud experimental del filtro para sonidos cardíacos



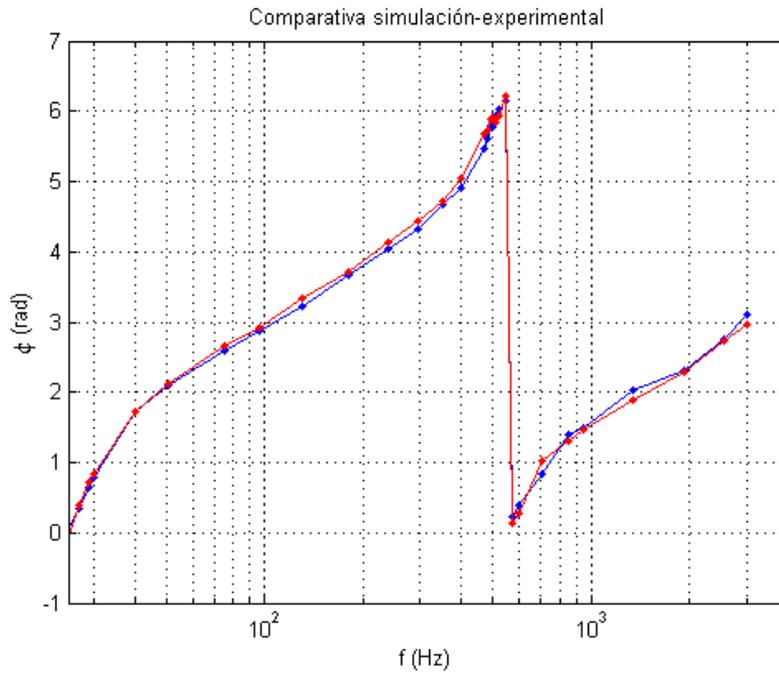
b) Fase experimental del filtro para sonidos cardíacos

Figura 4.17 – Caracterización experimental del filtro para sonidos cardíacos

Como se puede apreciar en la figura anterior, la magnitud y fase del filtro en la implementación real son bastante fieles a las especificaciones. En la figura 4.18 se muestra una comparativa de los resultados obtenidos en simulación, en color azul, frente a los experimentales, en color rojo. Efectivamente, la implementación real es muy similar a la simulación.



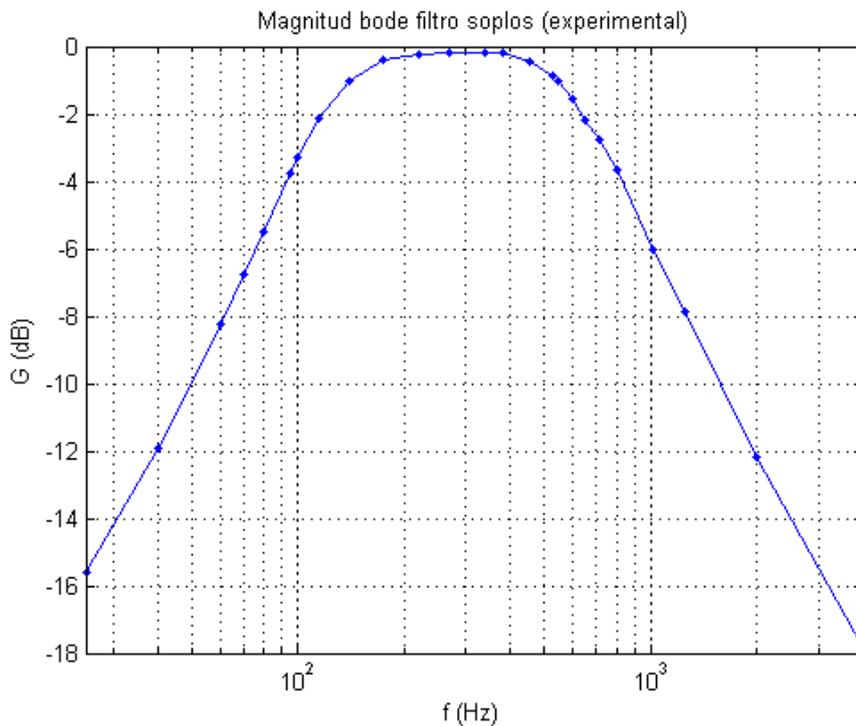
a) Comparativa entre la magnitud del filtro para sonidos cardíacos en simulación y experimentalmente



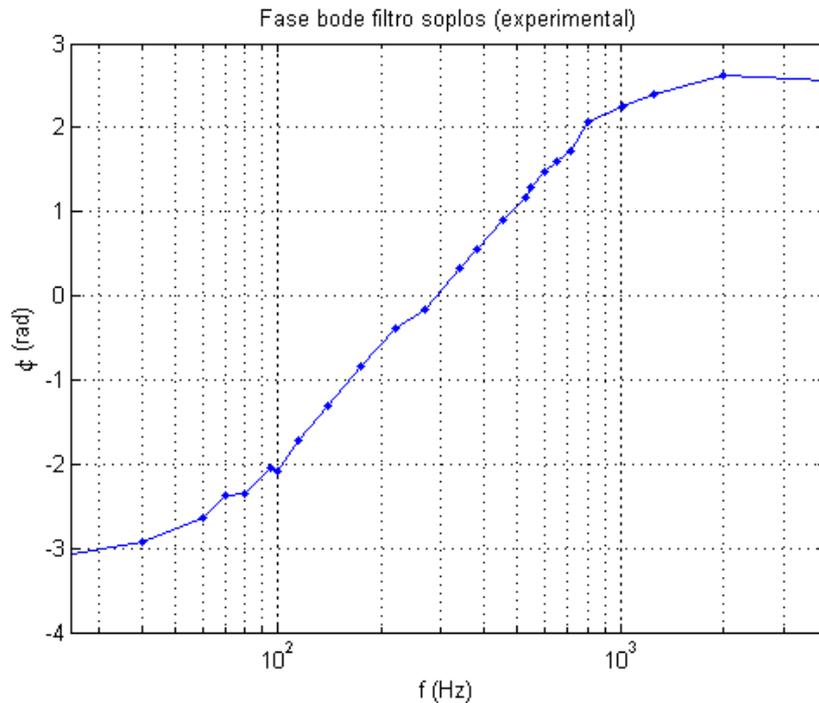
b) Comparativa entre la fase del filtro para sonidos cardíacos en simulación y experimentalmente

Figura 4.18 –Comparativa de la caracterización del filtro para sonidos cardíacos en simulación y experimentalmente

Si siguiendo la misma metodología, para el filtro para soplos por eyección también se obtienen curvas de caracterización adecuadas para las especificaciones de diseño, como se demuestra en la figura 4.19.



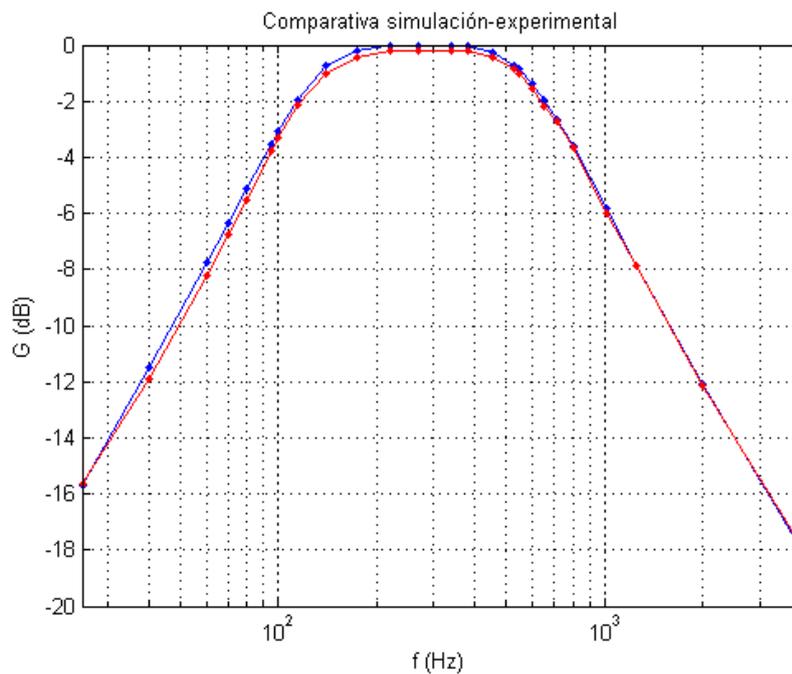
a) Magnitud experimental del filtro para soplos por eyección



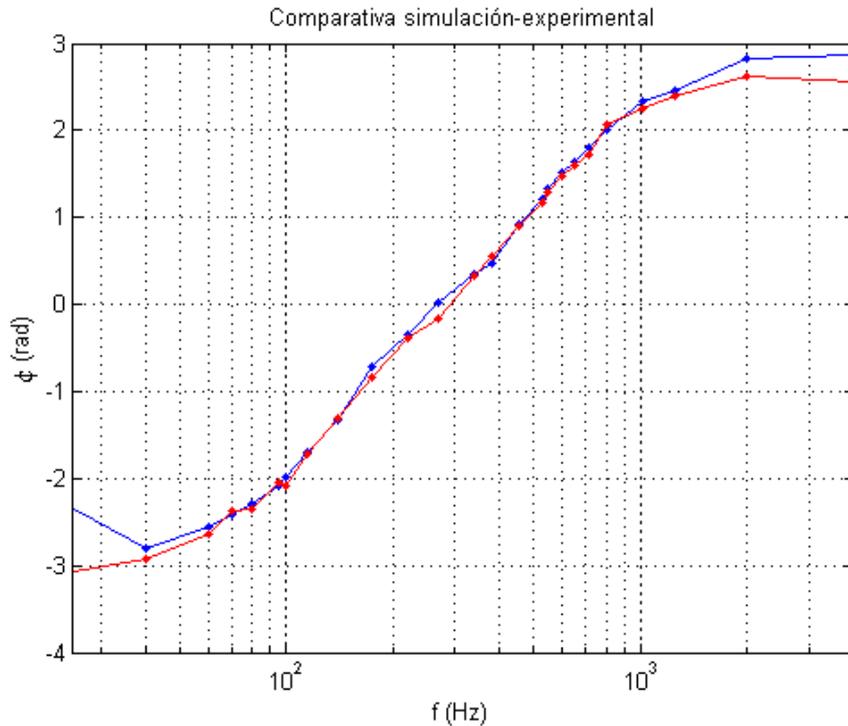
b) Fase experimental del filtro para soplos por eyección

Figura 4.19 –Caracterización experimental del filtro para soplos por eyección

En la figura 4.20 se presenta la comparativa entre los resultados de caracterización en simulación y experimentales de este filtro. Puede apreciarse como, de nuevo, ambas curvas son muy similares. Por ello, es posible afirmar que el filtro implementado se ajusta con bastante exactitud a las especificaciones del diseño.



a) Comparativa entre la magnitud del filtro para soplos por eyección en simulación y experimentalmente



b) Comparativa entre la fase del filtro para soplos por eyección en simulación y experimentalmente

Figura 4.20 - Comparativa de la caracterización del filtro para soplos por eyección en simulación y experimentalmente

Para caracterizar el módulo de ajuste automático de amplitud de la señal de salida se generó una señal AM, de 1V de amplitud, con portadora sinusoidal de 50 Hz y moduladora sinusoidal de frecuencia variable, con un índice de modulación en torno a 0.8 utilizando un generador de funciones. Esta señal se introdujo en el módulo de ajuste automático de amplitud, implementado en dos FPAA, cada una en un kit de desarrollo. Variando la frecuencia de la moduladora de la señal de entrada se tomaron medidas de la diferencia entre la máxima y la mínima amplitud positivas de la señal de salida; cuanto mayor sea la frecuencia de la moduladora, cabe esperar que sea menor la fluctuación de la tensión de salida del detector de picos, y por tanto mayor el índice de modulación de la señal resultante (la ganancia será uniforme). Por otro lado, al reducirse la frecuencia, la tensión de control tendrá una mayor variación, lo que provocará que el índice de modulación de la señal de salida sea menor, al aumentar la amplificación en las zonas de menor amplitud de la señal de entrada. Este comportamiento queda caracterizado con claridad en la figura 4.21.

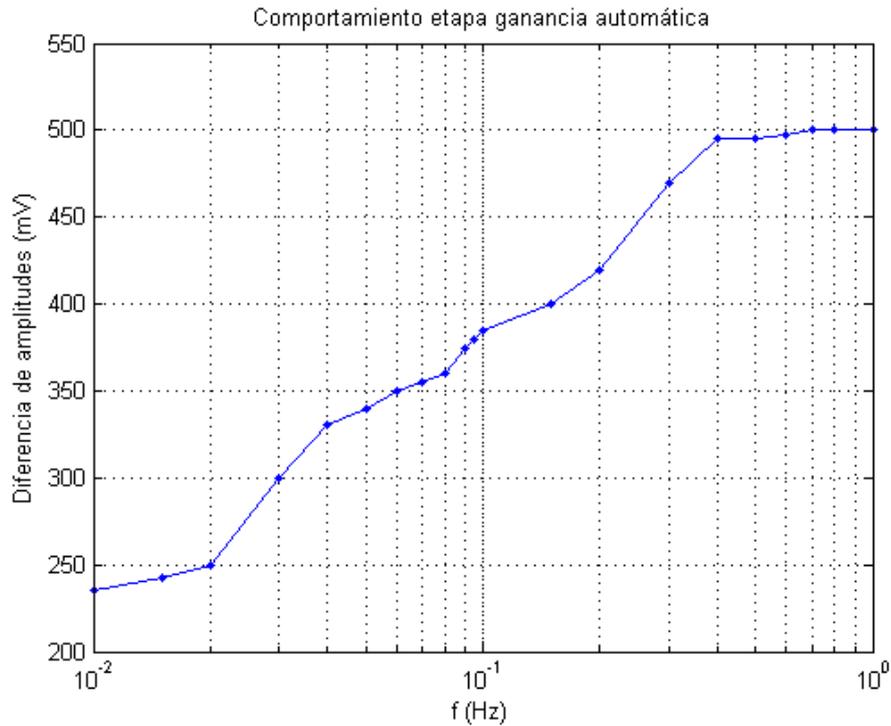


Figura 4.21 - Caracterización experimental del módulo de ajuste automático de amplitud de la señal de salida

4.3.2. Resultados experimentales del sistema completo con una señal sinusoidal pura

Para caracterizar el sistema de forma experimental antes de fabricar el prototipo en PCB, éste se implementó en dos kits de desarrollo AN221K04, junto al resto de circuitos exteriores, que se construyeron en placas de prototipado. Las tensiones de alimentación de 6 y 12V se tomaron de una fuente de alimentación estable, y las capturas de señales se realizaron con un osciloscopio analógico con interfaz digital.

En primer lugar, se realizó una caracterización a fondo del sistema utilizando como entrada una señal senoidal de 205 Hz y 200mV de amplitud, obtenida de un generador de señales. Con estas características, la señal se encuentra dentro de la banda de paso de los dos filtros, y la amplitud de la señal de salida debería ser de 1V por efecto del módulo de ajuste automático de la amplitud de la señal de salida, puesto que 200mV es la mínima amplitud admisible según el criterio de diseño del sistema.

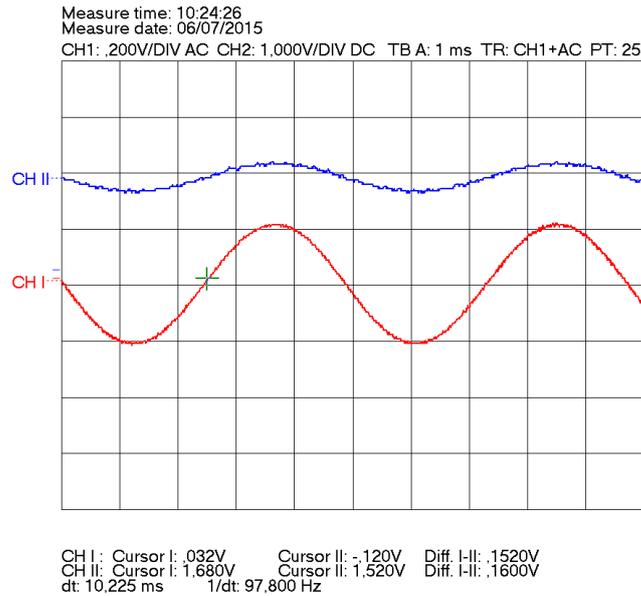


Figura 4.22 - Señal de entrada (rojo) frente a la señal de salida del sumador de continua (azul)

En la figura 4.22 se puede ver la señal de entrada, en color rojo, en una escala vertical de 200mV y la señal de salida del sumador de 2V de componente continua, en azul, y en escala vertical de 1V. La componente continua añadida no es de 2V exactos, debido a las desviaciones de valor de las resistencias que componen el divisor resistivo a partir del cual se extrae este nivel de tensión. Sin embargo, esto no supondrá un inconveniente en el funcionamiento del sistema, puesto que el VCA se ha ajustado consecuentemente. Como se puede apreciar en la figura, la celda de entrada a la que va conectada la salida de esta etapa introduce un pequeño ruido, inherente a la naturaleza analógica muestreada de las señales internas a la FPAA. Esto tampoco supone un problema, ya que, como se explicó en el capítulo 3, las dos señales de salida del sistema se filtrarán paso bajo antes de su extracción.

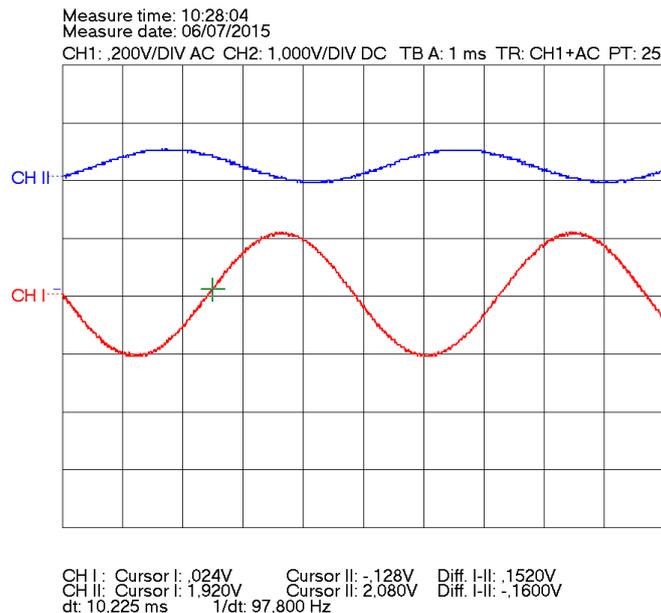


Figura 4.23 - Señal de entrada (rojo) frente a señal de salida del filtro para sonidos cardíacos (azul)

A continuación se muestra, en la figura 4.23, la señal de salida del filtro para sonidos cardíacos después de convertirse de nuevo en no diferencial, en color azul, frente a la señal de entrada, en color rojo. Como puede apreciarse, el filtro ha añadido un pequeño nivel de *offset* previsto, debido a la estructura física de los CAM que lo componen. La señal ha sufrido el desfase propio del filtro según su frecuencia, sin atenuarse.

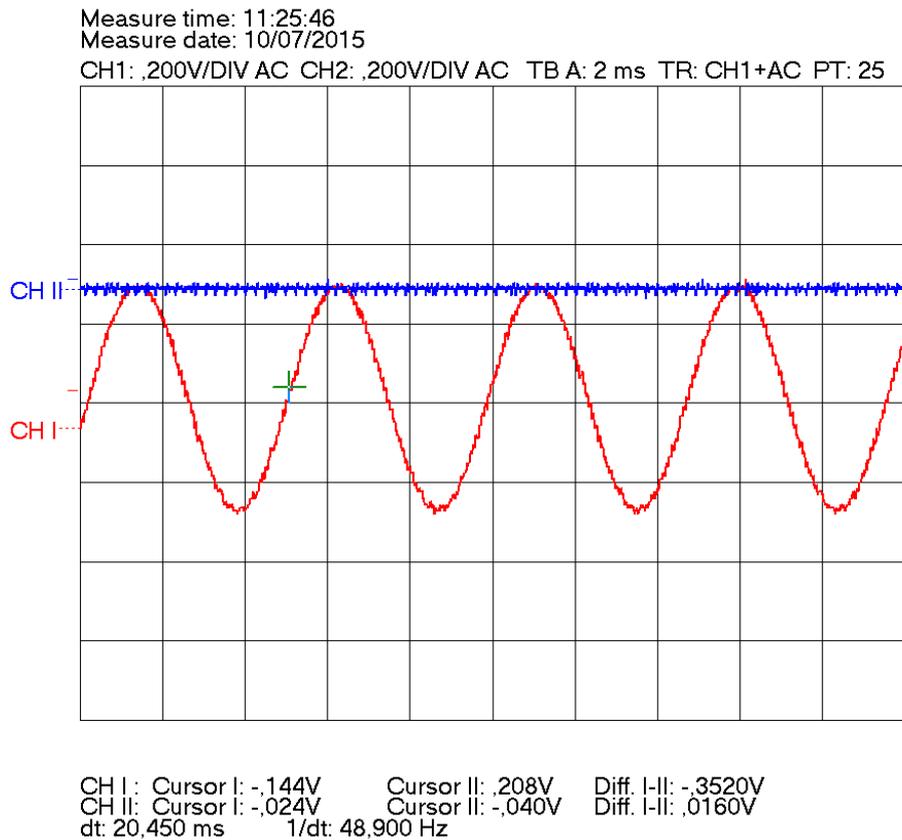


Figura 4.24 - Señal de salida del filtro para sonidos cardíacos (rojo) frente a la tensión de salida del detector de picos

En la figura 4.24 se puede ver la señal de salida del filtro anterior en color rojo y la señal de salida del detector de picos en color azul, la cual servirá como tensión de control para el VCA. Como la frecuencia de la señal de entrada es muy elevada con respecto a la constante de tiempo del detector, la tensión resultante no “sigue” los picos de la señal de entrada y, en su lugar, parece una tensión constante. El comportamiento más característico de este circuito se podrá apreciar más adelante, cuando se expongan los resultados de caracterización del sistema con los kits de desarrollo utilizando registros fonocardiográficos.

Después del detector de picos y su búfer, la señal de control se suma con una tensión constante negativa y se filtra paso bajo dentro de la primera FPAA, para obtenerse una versión casi final de la tensión de control del VCA. La parte positiva de esta señal en modo diferencial puede apreciarse en la figura 4.25, en color azul, frente a la señal de salida del detector de picos, en color rojo. Para apreciar el rizado, se ha utilizado una escala vertical de 100mV, y las señales se han colocado como si su nivel de offset estuviera representado en escala de 1V. Como la señal mostrada es

la parte positiva de una señal diferencial, el nivel de tensión real de la señal *single-ended* correspondiente sería de, aproximadamente, 1V (ya que esta señal está 2V por encima de la masa de la FPAA). Dentro de la segunda FPAA, esta tensión disminuirá 2V, pasando a ser de -1V. Al amplificarse en un factor 3 en el último CAM de esta parte del circuito, se obtendrá la tensión de control con valor -3V para el VCA, valor correcto si tenemos en cuenta que la señal de entrada tenía la mínima amplitud admisible.

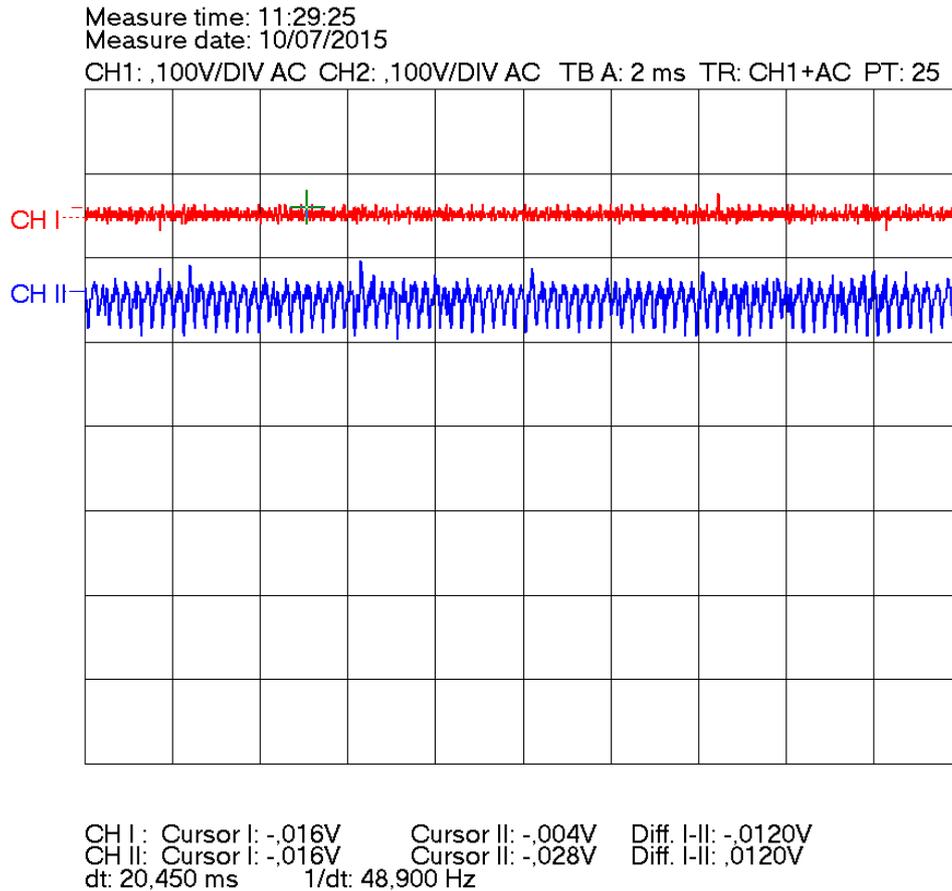


Figura 4.25 - Señal de salida del detector de picos (rojo) frente a la parte positiva de la señal tras el sumador con filtro paso bajo

Antes de conectarse a la celda de entrada de la segunda FPAA para ser amplificada, las dos partes de la señal diferencial anterior se filtran paso bajo para tratar de paliar el pequeño rizado que tienen en este nodo. En la figura 4.26 se puede ver la parte positiva de esta señal antes (en color rojo) y después del filtrado (en color azul). El nivel de tensión de la señal azul no es realista, debido a que se ha desplazado hacia arriba para facilitar la visión de la figura. El efecto del filtro no es muy apreciable por la resolución del software de captura de la pantalla del osciloscopio, pero realmente el rizado de este nodo prácticamente desaparece.

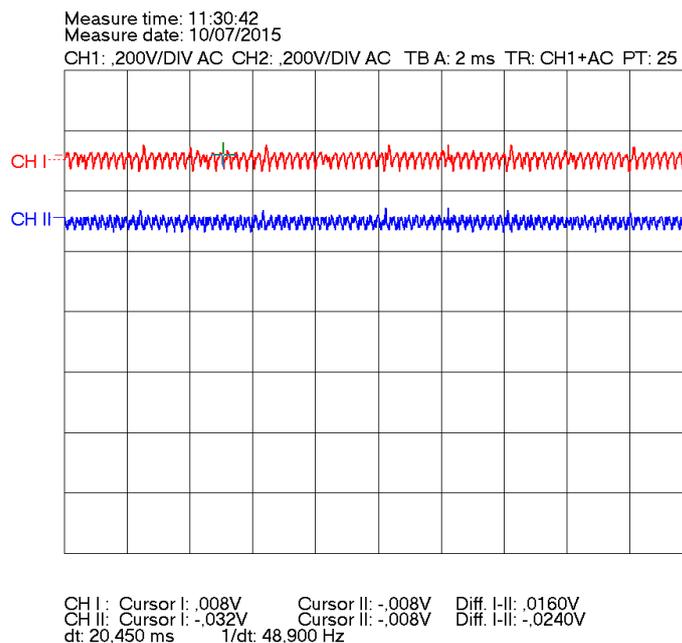


Figura 4.26 - Parte positiva de la señal de control antes de la segunda FPAA, antes y después del filtrado paso bajo

En la figura 4.27 se muestra la señal de entrada al sistema, en color rojo y escala vertical de 200mV, frente a la señal de salida principal del sistema tras la etapa de bloqueo de continua, en color azul y escala vertical de 1V. Como se puede ver, la señal de salida ha sido amplificada para satisfacer que su amplitud sea siempre de 1V. También es apreciable el efecto de rizado provocado por la naturaleza de capacidades conmutadas de los circuitos internos a las FPAA.

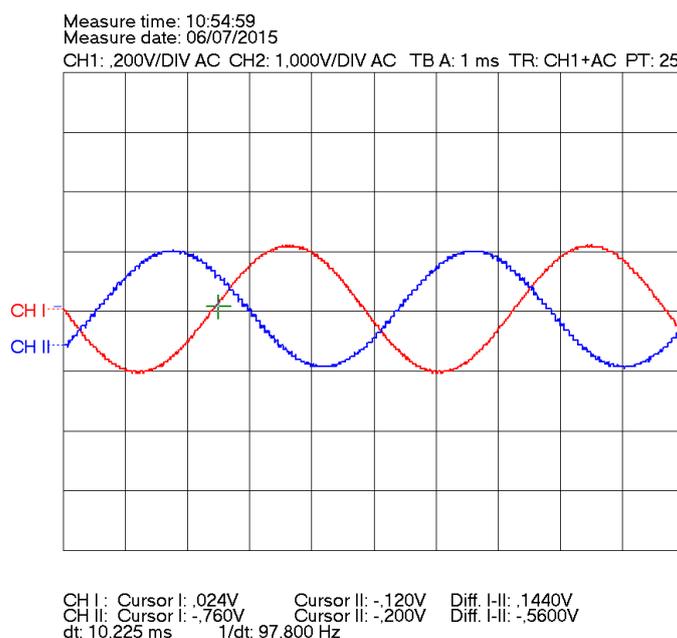
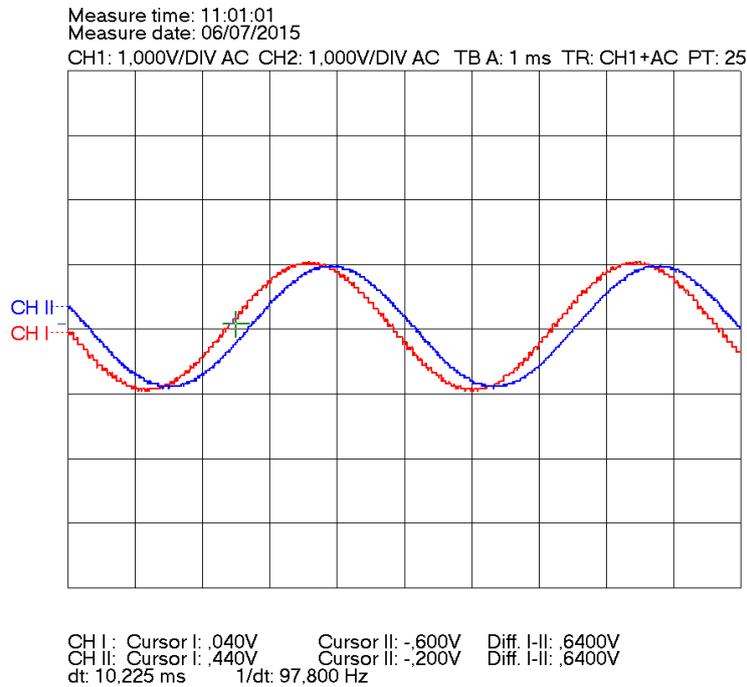
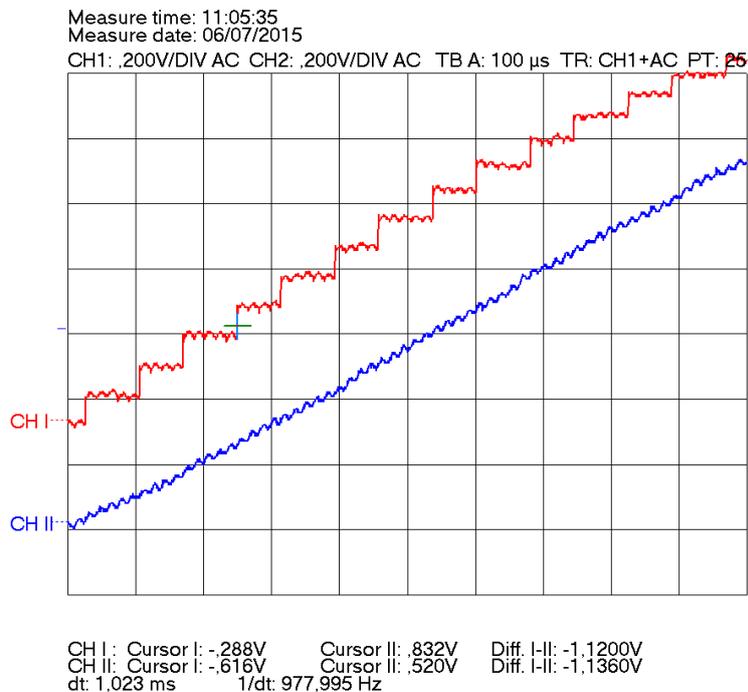


Figura 4.27 - Señal de entrada (rojo) frente a la señal de salida del sistema, antes del filtro reconstructor

En la figura 4.28 se muestra con detalle la señal de salida principal del sistema antes (rojo) y después del filtro reconstructor (azul), apreciándose claramente como la deformación típica de un circuito tipo *Sample & Hold* ha desaparecido por completo. El rizado residual que queda en la señal se debe a efectos parásitos del montaje en placa de prototipado y el cableado, y no está presente en el prototipo final en PCB.



a) Vista general del efecto del filtro



b) Detalle del efecto del filtro

Figura 4.28 - Señal de salida principal antes y después del filtro paso bajo reconstructor

Por último, en la figura 4.29 se presenta la señal de entrada, en color rojo, frente a la señal de salida del filtro para soplos por eyección, después de pasar por el filtro reconstructor. En este caso, la señal ha quedado inalterada, con su amplitud de 1V, ya que se encuentra dentro de la banda de paso de este filtro.

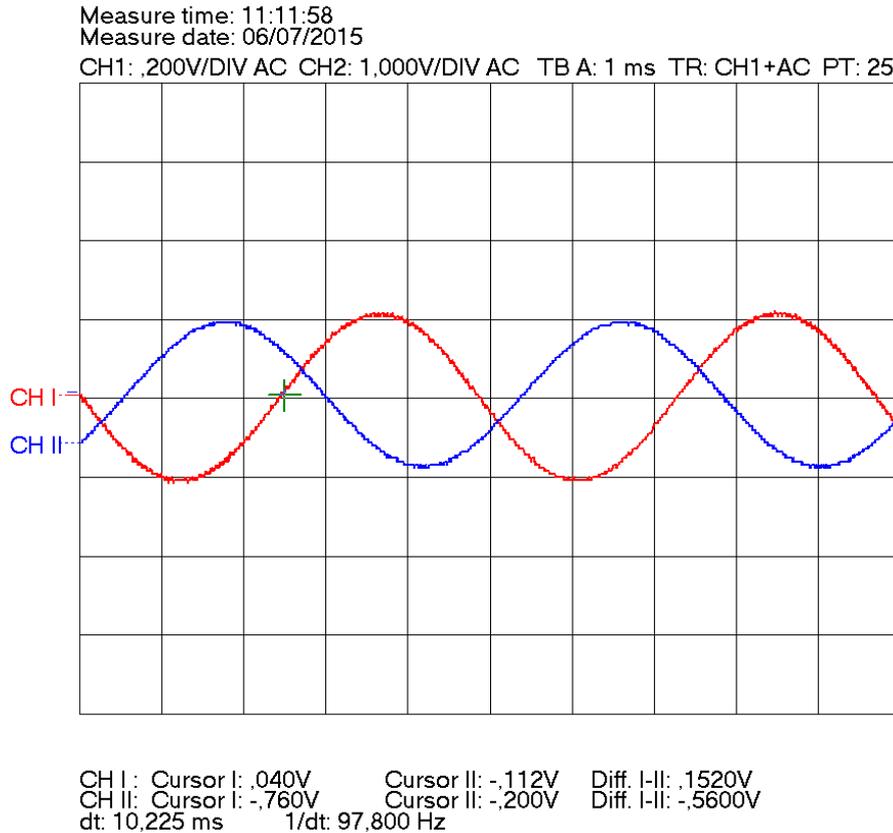


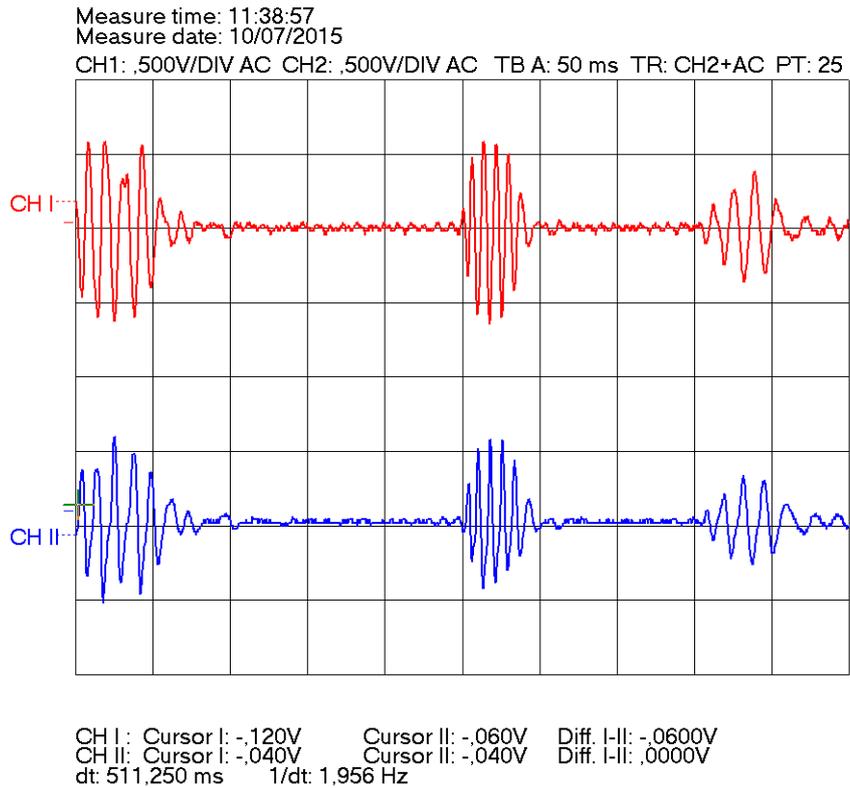
Figura 4.29 - Señal de entrada frente a la señal de salida del filtro para soplos por eyección

4.3.3. Resultados experimentales del sistema con señales fonocardiográficas reales

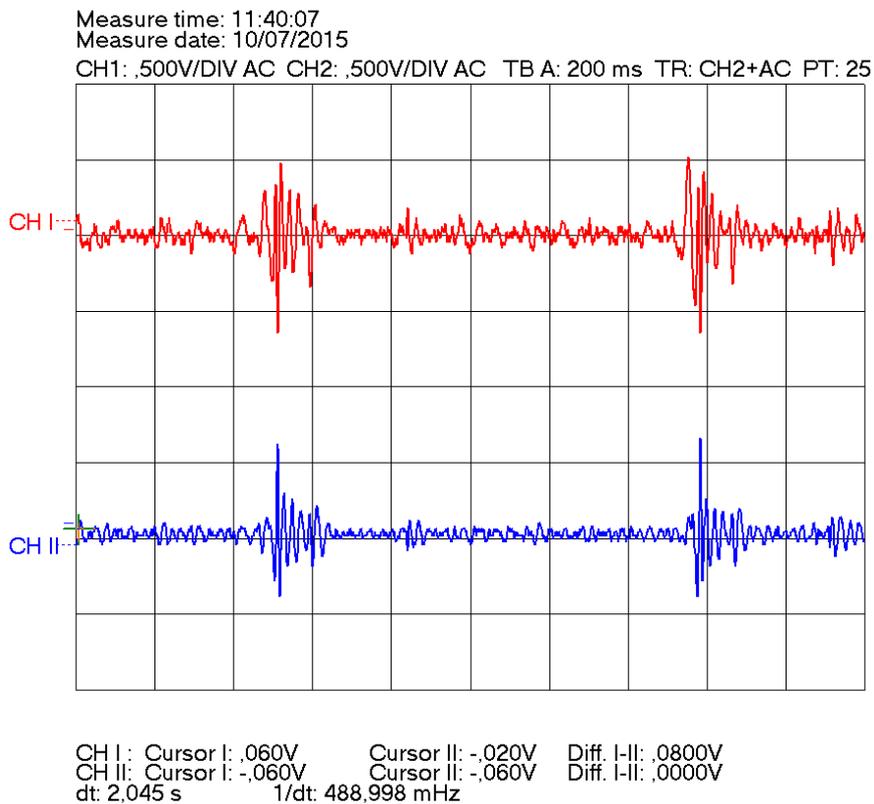
Tras presentar el funcionamiento de cada una de las partes del sistema de acondicionamiento analógico para señales fonocardiográficas implementado en los kits de desarrollo utilizando una señal senoidal pura, se procede a mostrar los resultados obtenidos para los tres registros que se presentaron anteriormente. Se presentarán y comentarán las tres señales en los puntos más críticos del sistema: en la salida del filtro para sonidos cardíacos tras la conversión de la señal a no diferencial, en la salida del detector de picos con respecto a la señal anterior, en la salida principal del sistema y en la salida del filtro para soplos por eyección.

En la figura 4.30 aparece la señal de entrada en color rojo, y la señal de salida del filtro para sonidos cardíacos en azul. Estas señales se han desplazado verticalmente para facilitar su visionado (esto se aplica también a las figuras siguientes). En los tres casos, especialmente en el segundo y tercer registro, se hace evidente la atenuación de las frecuencias no pertenecientes a los sonidos cardíacos, los cuales

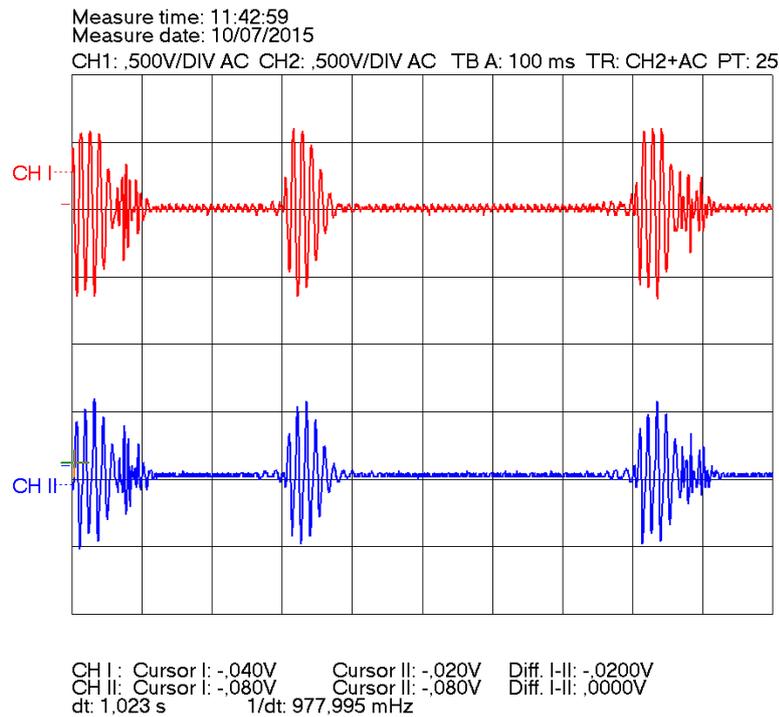
quedan mejor definidos. El funcionamiento del filtro es el esperado, acorde con los resultados en simulación y las especificaciones de diseño.



a) Primer registro



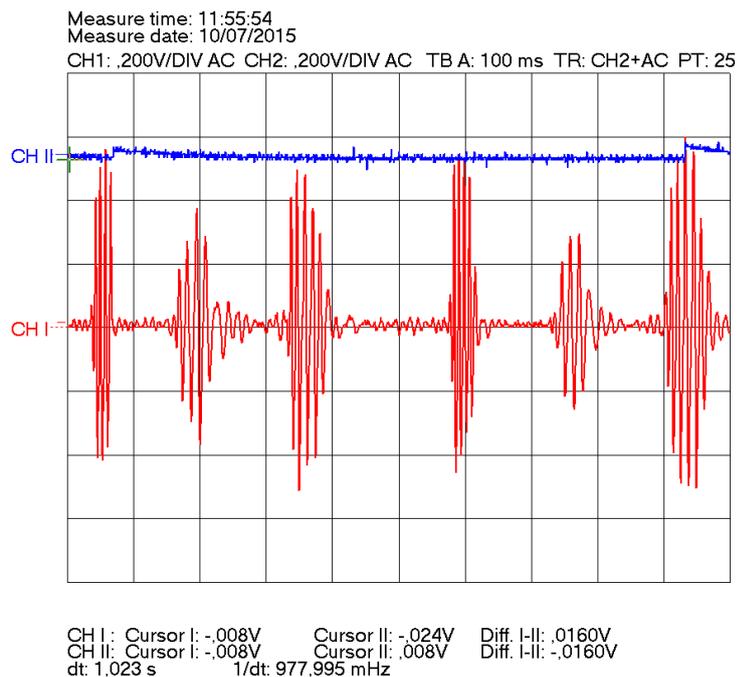
b) Segundo registro



c) Tercer registro

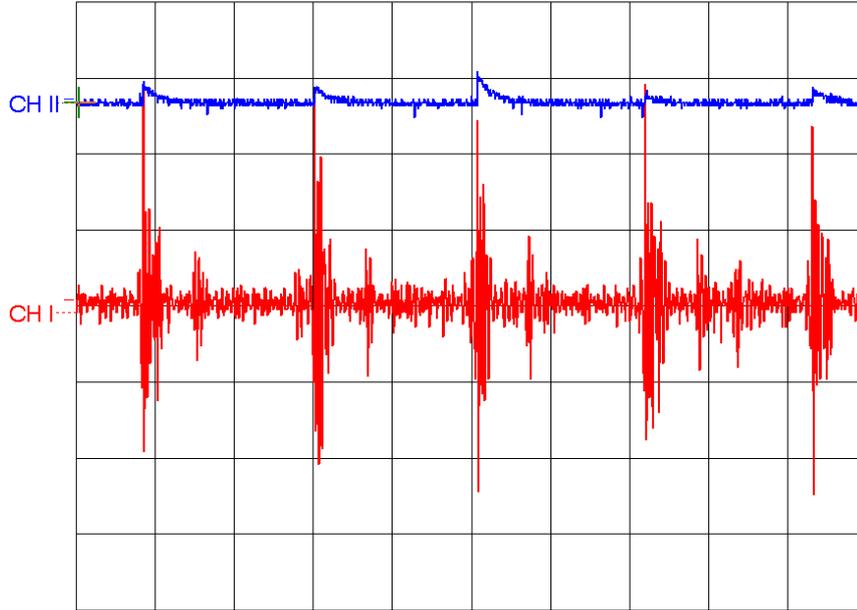
Figura 4.30 – Señal de entrada al sistema (rojo) frente a la señal de salida del filtro para sonidos cardíacos (azul)

La tensión de salida del detector de picos correspondiente a cada registro puede verse en la figura 4.31, junto con la señal de salida del primer filtro. La tensión de salida del detector sigue los picos de amplitud de las tres señales fonocardiográficas adecuadamente, por lo que el ajuste de amplitud de la señal de salida será correcto si se produce una variación inesperada en la amplitud de la señal de entrada.



a) Primer registro

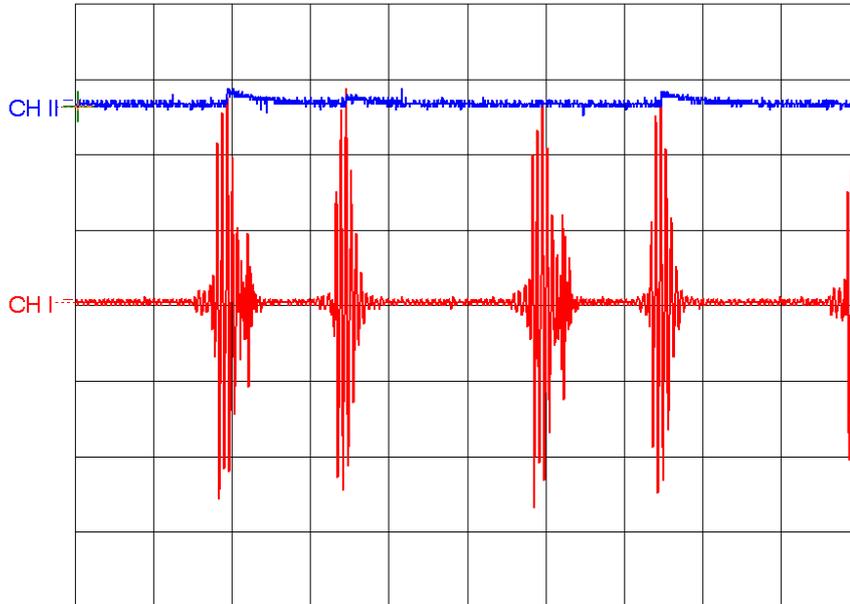
Measure time: 11:58:03
Measure date: 10/07/2015
CH1: ,200V/DIV AC CH2: ,200V/DIV AC TB A: 500 ms TR: CH2+AC PT: 25



CH I : Cursor I: -,024V Cursor II: -,064V Diff. I-II: ,0400V
CH II: Cursor I: -,008V Cursor II: -,008V Diff. I-II: ,0000V
dt: 5,113 s 1/dt: 195,599 mHz

b) Segundo registro

Measure time: 11:58:27
Measure date: 10/07/2015
CH1: ,200V/DIV AC CH2: ,200V/DIV AC TB A: 200 ms TR: CH2+AC PT: 25

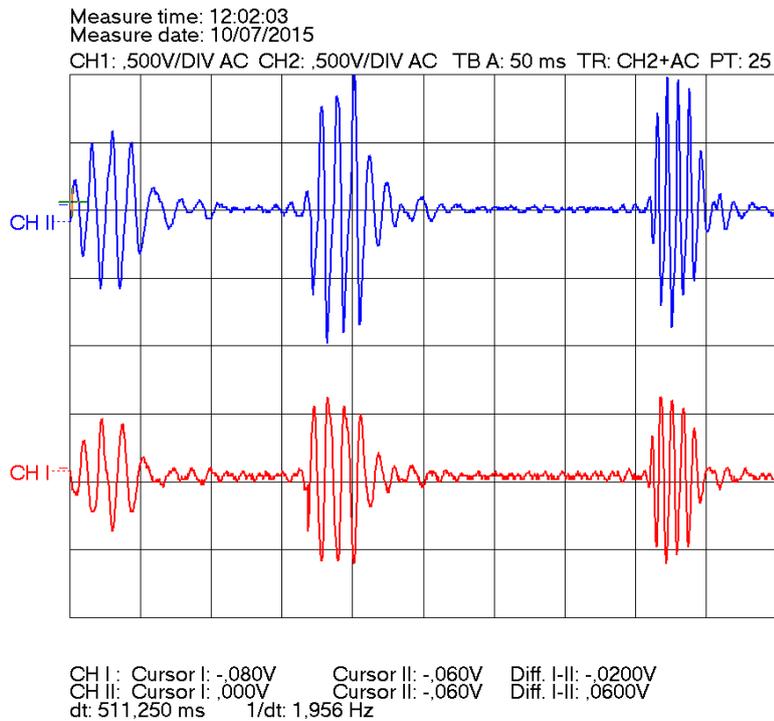


CH I : Cursor I: -,008V Cursor II: -,160V Diff. I-II: ,1520V
CH II: Cursor I: -,008V Cursor II: -,008V Diff. I-II: ,0000V
dt: 2,045 s 1/dt: 488,998 mHz

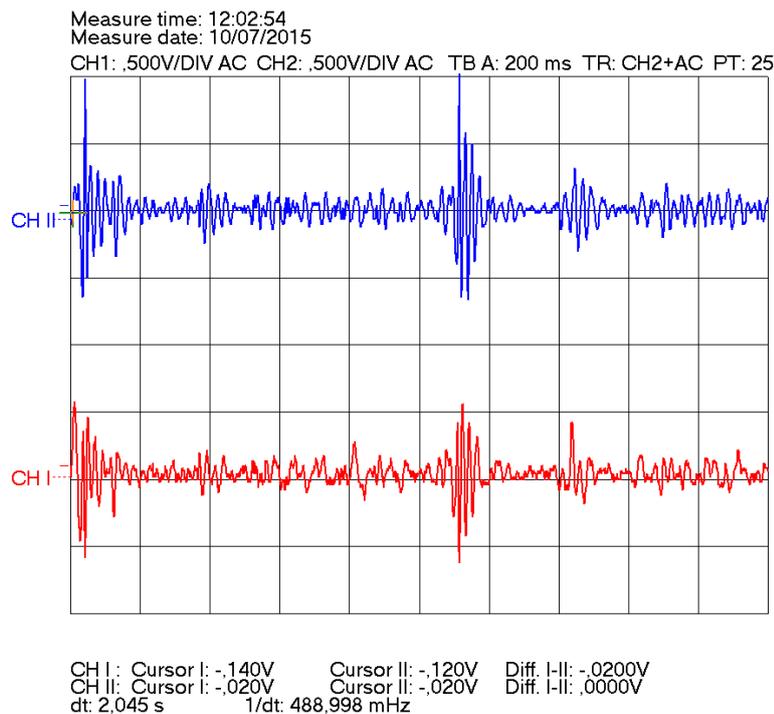
c) Tercer registro

Figura 4.31 – Señal de salida del filtro para sonidos cardíacos (rojo) frente a salida del detector de picos (azul)

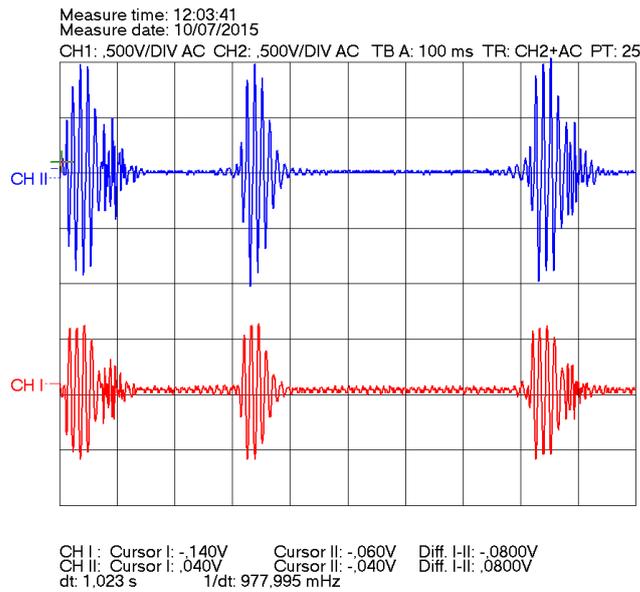
En la figura 4.32 se compara la señal de entrada al sistema de acondicionamiento, en rojo, con la señal en la salida principal, en azul. En los tres casos el ajuste automático de la amplitud de la señal de salida está funcionando con precisión: las tres señales a la salida presentan una amplitud máxima de 1V. Habiéndose comentado positivamente el filtrado para sonidos cardíacos, la señal de salida cumple con las expectativas.



a) Primer registro



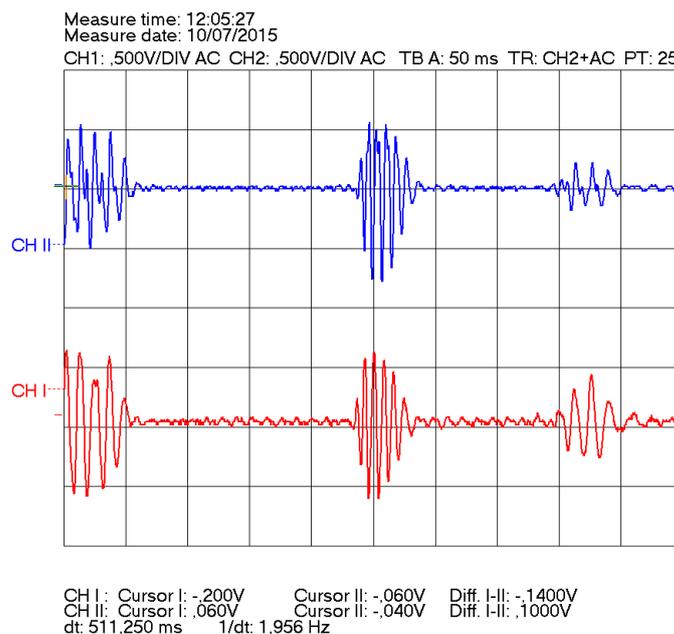
b) Segundo registro



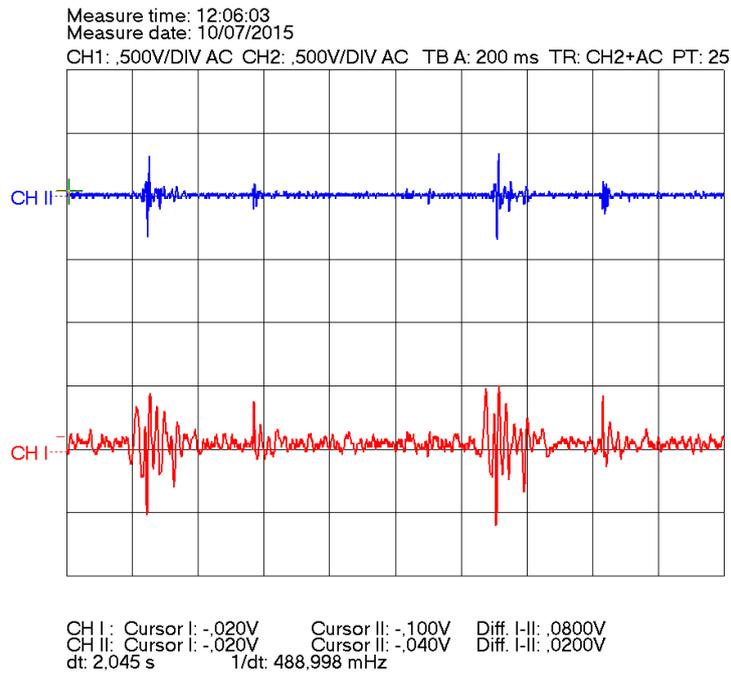
c) Tercer registro

Figura 4.32 – Señal de entrada (rojo) frente a señal en la salida principal del sistema (azul)

Finalmente, en la figura 4.33 se presenta la señal de entrada, en color rojo, frente a la señal a la salida del filtro para soplos por eyección, en color azul, para los dos primeros registros. En el primero, que está tomado de un paciente con soplos diastólicos, la señal se atenúa a casi la mitad, ya que las anomalías que presenta no están completamente incluidas en las bandas de frecuencia de los soplos por eyección. En el segundo registro, que corresponde a un corazón completamente sano, la señal, en color azul, se ha atenuado mucho más que en el caso del primer registro. Esto ocurre por el hecho de no existir componentes de la señal comprendidas en las bandas de frecuencia de las principales anomalías cardíacas.



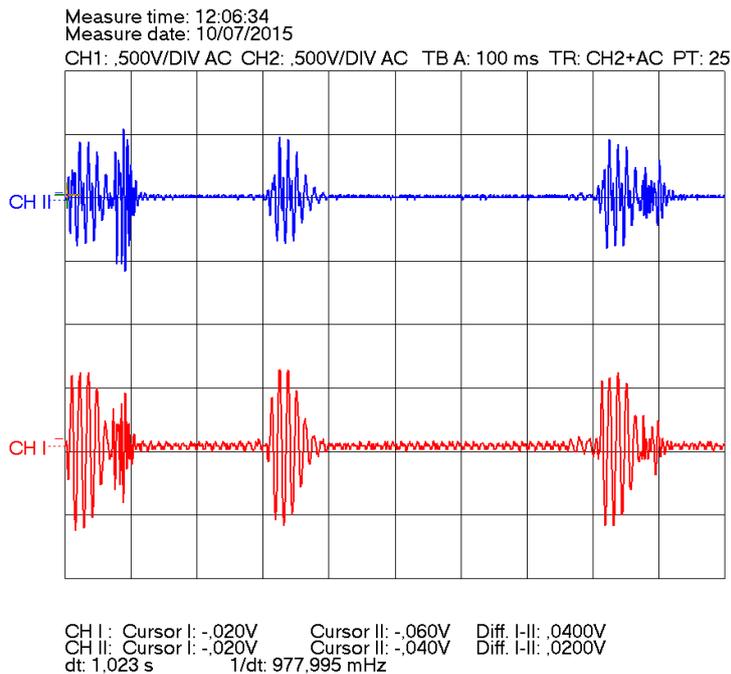
a) Primer registro



b) Segundo registro

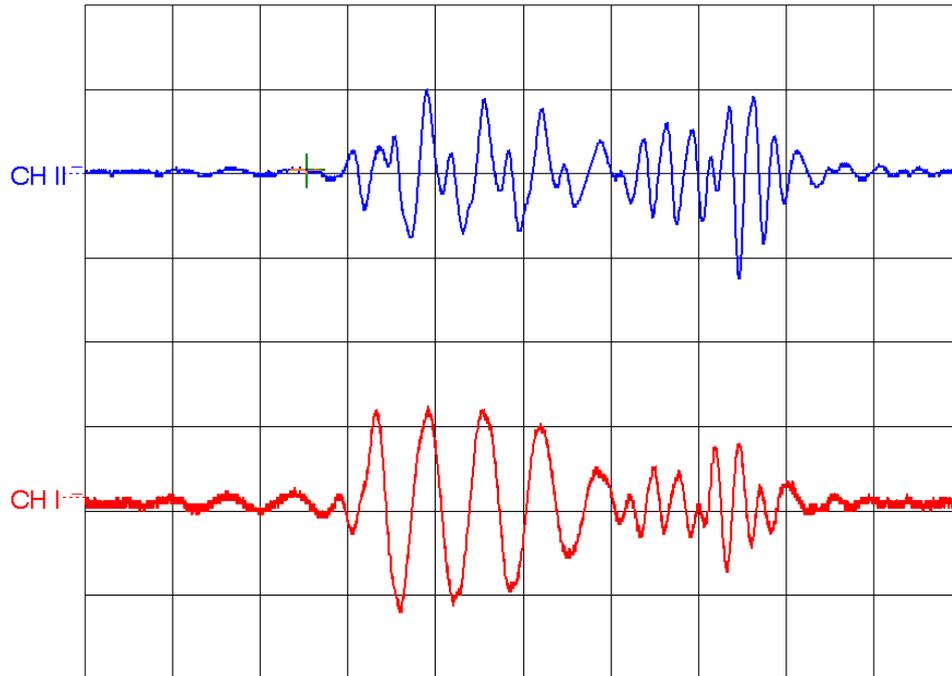
Figura 4.33 – Señal de entrada al sistema frente a la señal de salida del filtro para soplos por eyección

Para el tercer registro fonocardiográfico, en el cual aparece un soplo sistólico por eyección, el efecto de este filtro es mucho más evidente. En la figura 4.34 la señal de salida aparece en color azul, en escala vertical de 500mV. Se puede ver claramente como la parte de la señal correspondiente al soplo (en la parte b) de la figura, la segunda componente empezando por la izquierda) ha mantenido intacta su amplitud, mientras que el resto de componentes de la señal se han atenuado.



a) Vista general

Measure time: 12:07:45
Measure date: 10/07/2015
CH1: ,500V/DIV AC CH2: ,500V/DIV AC TB A: 20 ms TR: CH2+AC PT: 25



CH I : Cursor I: -.080V Cursor II: -.060V Diff. I-II: -.0200V
CH II: Cursor I: -.040V Cursor II: -.020V Diff. I-II: -.0200V
dt: 204,500 ms 1/dt: 4,890 Hz

b) Vista detallada

Figura 4.34 – Efecto del filtro para soplos por eyección en la señal del tercer registro

Por todos los resultados presentados, se puede concluir que el sistema de acondicionamiento analógico de señales fonocardiográficas implementado en los kits de desarrollo AN221K04, funciona correctamente según las especificaciones del diseño.

4.4. Caracterización y evaluación del prototipo final

Una vez comprobado y ajustado el funcionamiento del sistema de acondicionamiento implementado en los kits de desarrollo, se procedió a diseñar y fabricar un prototipo final en una placa de circuito impreso. Para este propósito, se utilizó la herramienta de diseño EAGLE, en la cual se construyeron el esquema y el *layout* de la PCB y se generaron los archivos necesarios para la fabricación. Esquema, *layout* y lista de componentes del prototipo final están disponibles en el apéndice A.

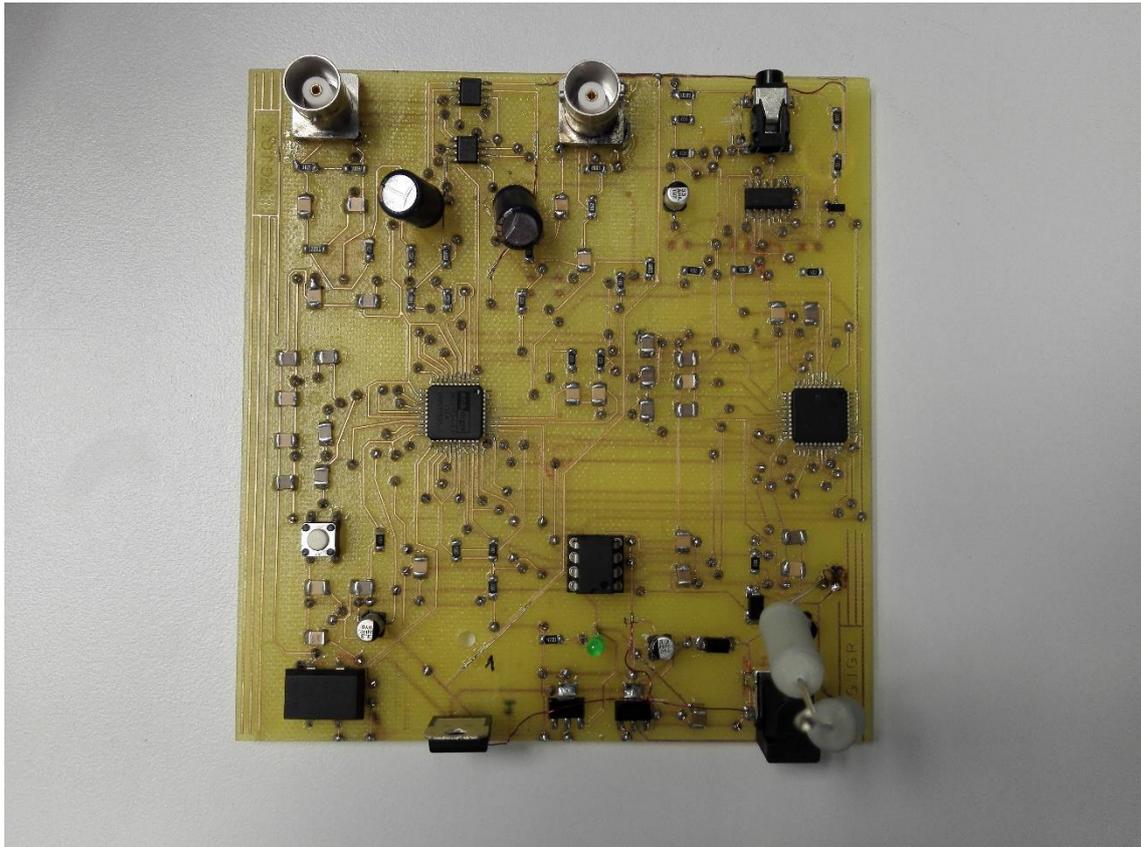


Figura 4.35 - Fotografía del prototipo final del sistema de acondicionamiento analógico

Utilizando una microfresadora, se fabricó la PCB, en la que posteriormente se soldaron todos los componentes necesarios utilizando, en términos generales, componentes de montaje superficial. En la figura 4.35 se muestra una fotografía real del prototipo.

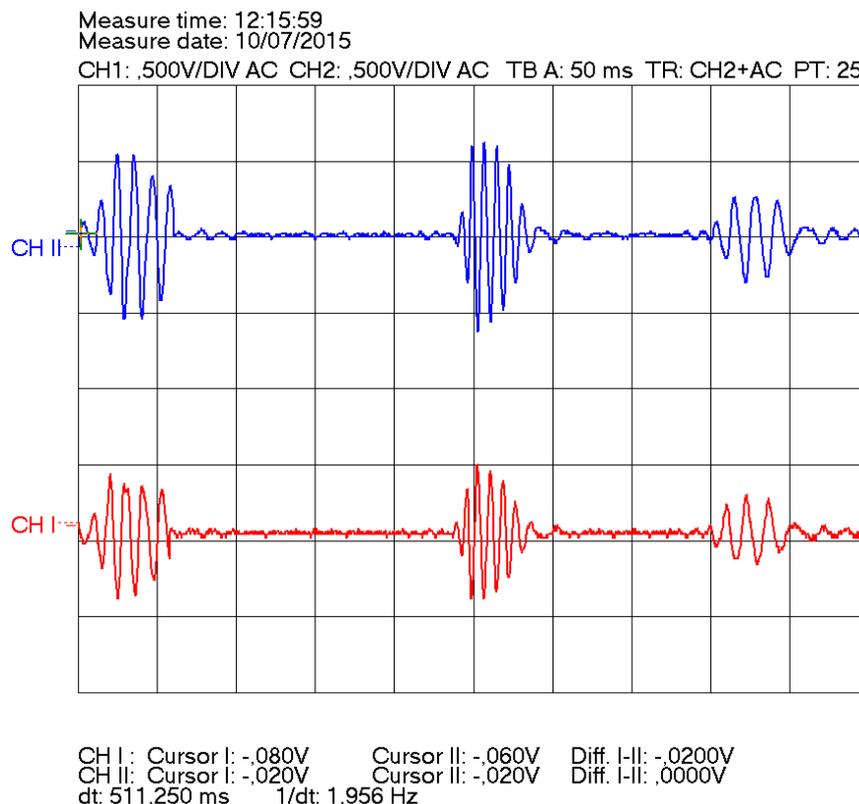
A pesar de que las FPAA fueron capaces de leer su configuración desde la EPROM sin problemas desde el principio, durante la verificación inicial del prototipo se encontraron cinco problemas principales: un error en el diseño del *layout* (dos pistas solapadas), que se solucionó separando y puenteando una de las dos pistas; un error de diseño (la entrada del regulador de 6V se colocó después del diodo D2, en lugar de directamente a la entrada de alimentación), que se subsanó cortando y puenteando una pista; otro error de diseño (se conectó al revés la masa y entrada de señal del jack de entrada), solucionado igualmente cortando y puenteando dos pistas; un error en el montaje (al soldar un condensador se rompió una pista), que también se solucionó realizando un puente y por último, un cortocircuito involuntario provocó la destrucción de la resistencia de montaje superficial de potencia (R24), por lo que fue necesario utilizar dos resistencias de potencia de valor 10Ω en su lugar. Tras estos inconvenientes, el prototipo funciona según lo esperado, como se mostrará a continuación.

4.4.1. Caracterización y evaluación del prototipo final con señales fonocardiográficas

Para caracterizar el prototipo final del sistema de acondicionamiento analógico de señales fonocardiográficas, se siguieron las mismas pautas que para la caracterización del sistema en los kits de desarrollo: utilizando los tres registros que se presentaron anteriormente, se realizan capturas de la pantalla del osciloscopio en los cuatro puntos críticos del sistema.

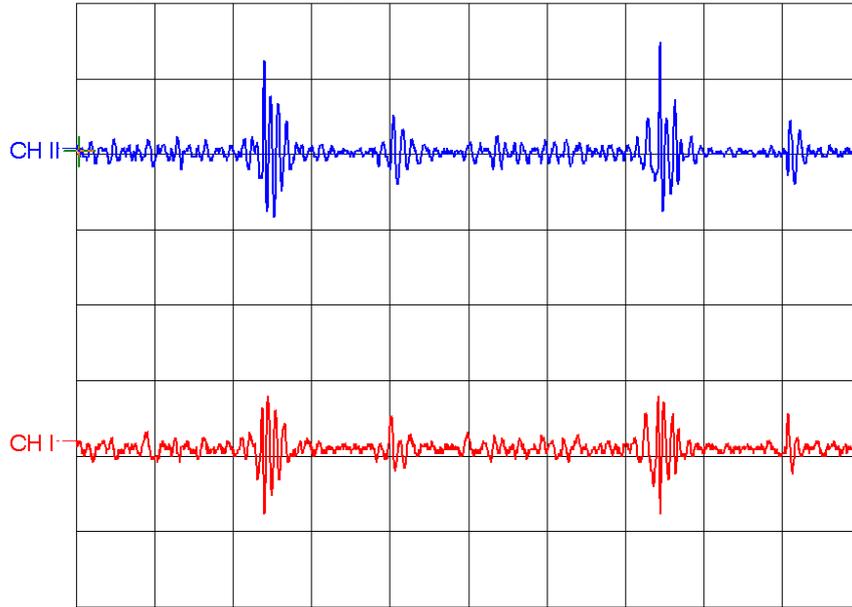
El sistema está diseñado en base al criterio de que la señal de entrada esté centrada en 0V, además de cumplir los criterios de máxima y mínima amplitud. Sin embargo, para la caracterización del prototipo se utilizó la tarjeta de sonido de un PC para inyectar las señales al sistema, la cual eleva la señal que envía al exterior a un nivel de tensión continua de 2V. Debido a esto, fue necesario construir una etapa de eliminación de componente DC previa al prototipo, en una placa perforada de prototipado. Esta etapa es exactamente igual a la que se encuentra justo antes de los filtros reconstructores de salida en el sistema de acondicionamiento, que se mostró en la figura 3.22 del capítulo tercero.

En la figura 4.36 se presenta la señal original del registro fonocardiográfico a la entrada del sistema, en color rojo y escala vertical de 500mV, junto a la señal de salida del filtro para sonidos cardíacos, en color azul y escala vertical de 500mV. Como se puede apreciar, las señales quedan correctamente filtradas, con el offset añadido por el filtro, aunque no se puede apreciar en la figura al haberse eliminado para facilitar la representación.



a) Primer registro

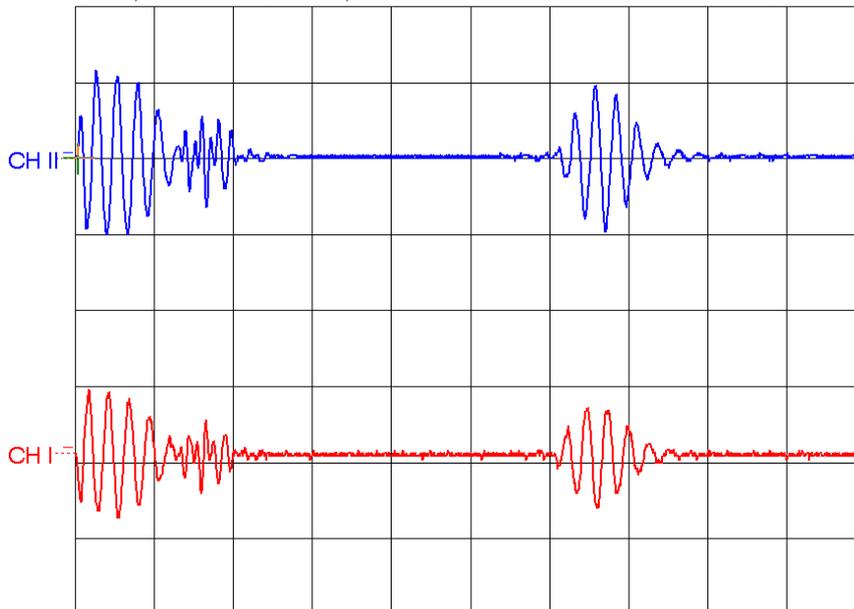
Measure time: 12:16:55
 Measure date: 10/07/2015
 CH1: ,500V/DIV AC CH2: ,500V/DIV AC TB A: 200 ms TR: CH2+AC PT: 25



CH I : Cursor I: -.060V Cursor II: -.020V Diff. I-II: -.0400V
 CH II: Cursor I: -.020V Cursor II: -.040V Diff. I-II: ,0200V
 dt: 2,045 s 1/dt: 488,998 mHz

b) Segundo registro

Measure time: 12:17:38
 Measure date: 10/07/2015
 CH1: ,500V/DIV AC CH2: ,500V/DIV AC TB A: 50 ms TR: CH2+AC PT: 25

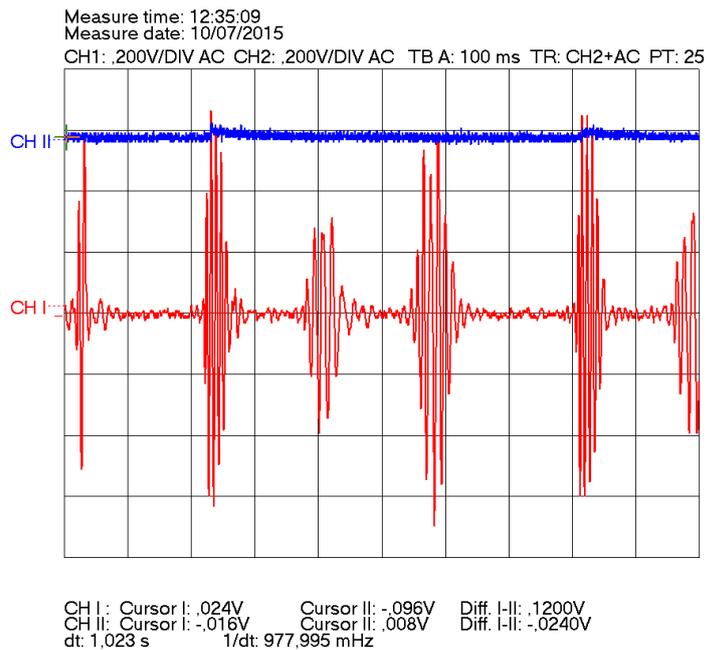


CH I : Cursor I: -.100V Cursor II: -.060V Diff. I-II: -.0400V
 CH II: Cursor I: ,040V Cursor II: -.040V Diff. I-II: ,0800V
 dt: 511,250 ms 1/dt: 1,956 Hz

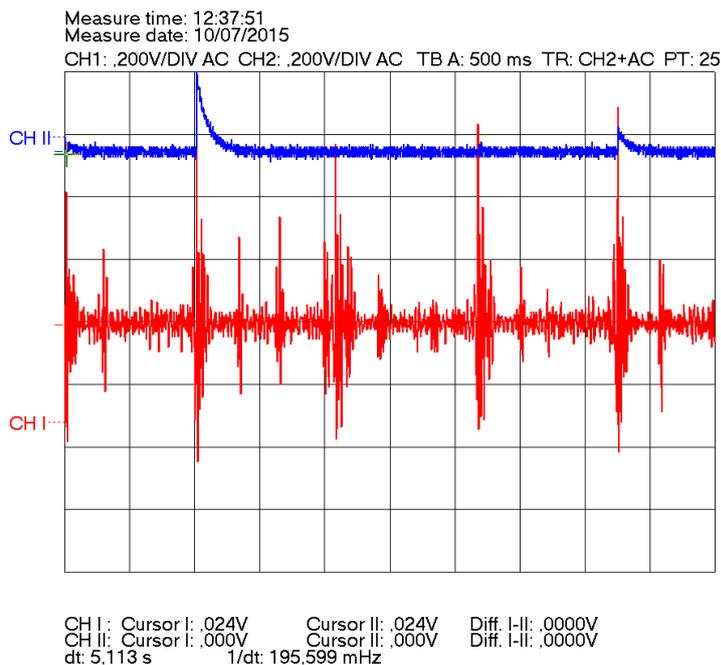
c) Tercer registro

Figura 4.36 – Señal de entrada al prototipo frente a la señal de salida del filtro para sonidos cardíacos

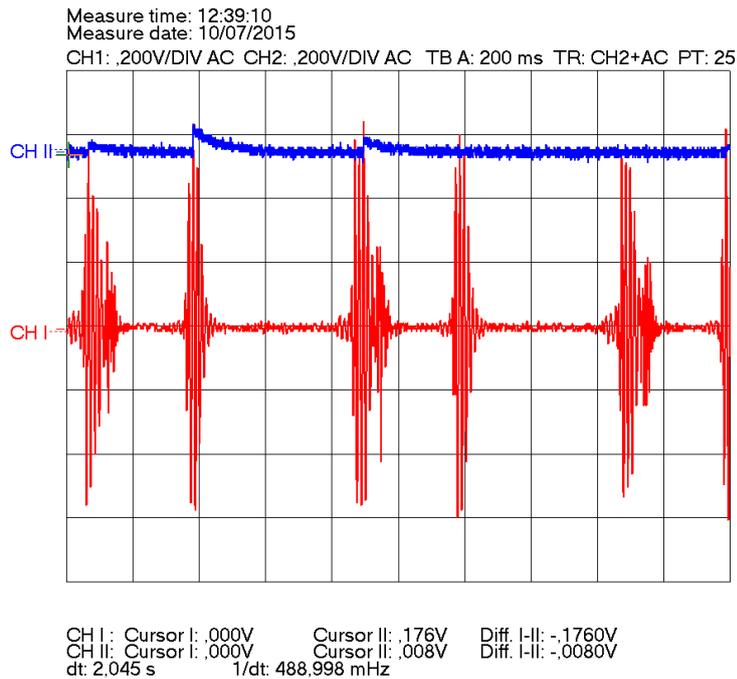
La tensión de salida del detector, en color azul y escala vertical de 200mV, frente a la señal de salida del primer filtro, en color rojo y escala vertical de 200mV, se presentan en la figura 4.37 La tensión de salida del detector está siguiendo los picos de amplitud de las tres señales con pequeñas fluctuaciones, por lo que se puede afirmar que el funcionamiento es correcto y dentro de lo esperado. La tensión de control resultante tendrá la naturaleza necesaria para que el módulo de ajuste automático de la amplitud de la señal de salida opere según las especificaciones de diseño. El nivel de tensión es orientativo, ya que, de nuevo, se han desplazado verticalmente las señales en la figura.



a) Primer registro



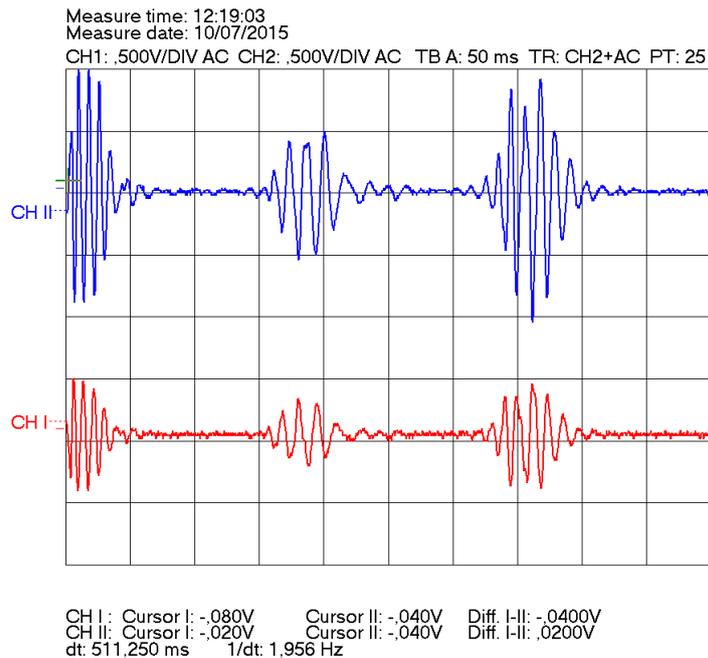
b) Segundo registro



c) Tercer registro

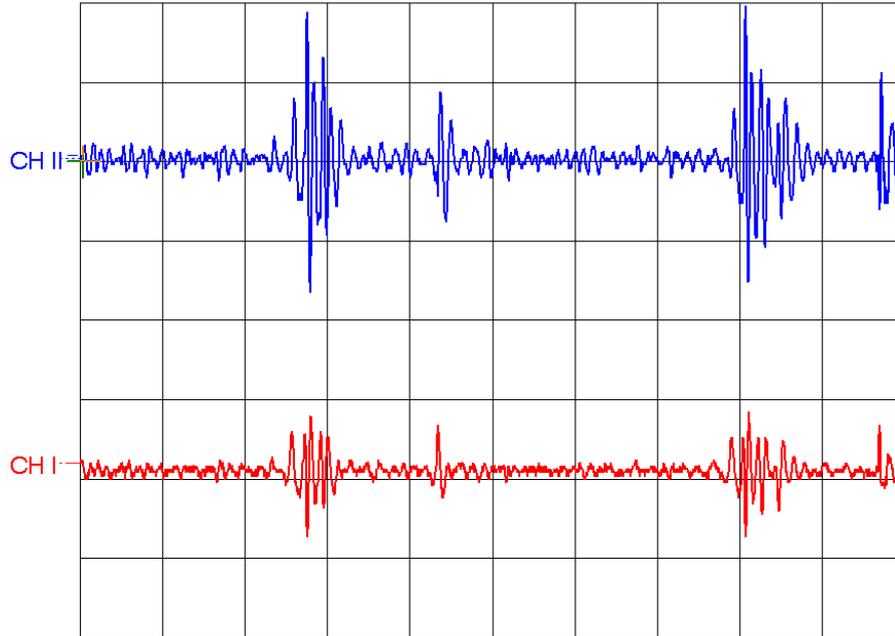
Figura 4.37 – Señal de salida del primer filtro frente a la tensión de salida del detector de picos

En la figura 4.38 se muestra la señal de entrada, en color rojo y escala vertical de 500mV, frente a la salida principal del sistema, en color azul y escala vertical de 500mV. Las dos señales estarían centradas en 0V, por lo que, para facilitar su visualización, se han separado verticalmente. En la figura se puede ver claramente cómo la amplitud de las señales de salida es siempre de 1V, corroborando así el funcionamiento fino y efectivo del módulo de ajuste automático de la amplitud de salida.



a) Primer registro

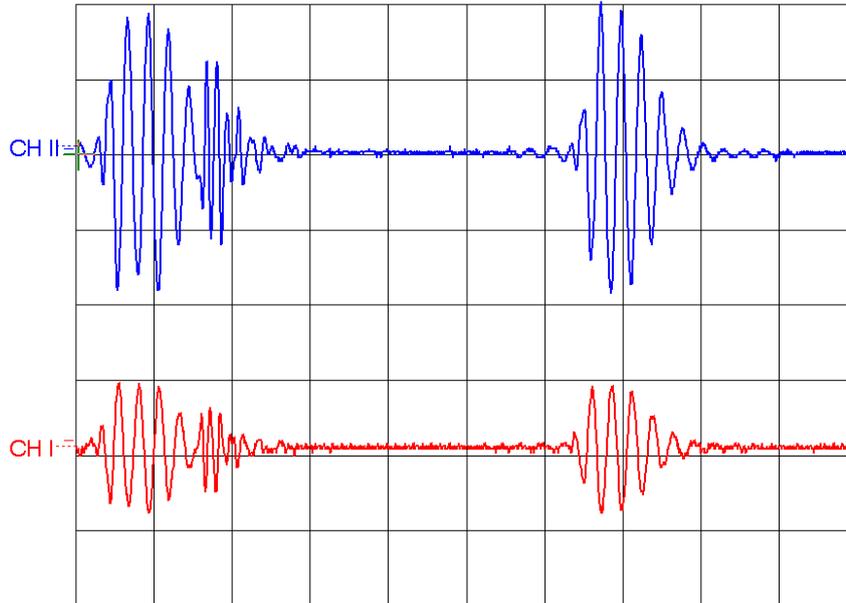
Measure time: 12:20:55
 Measure date: 10/07/2015
 CH1: .500V/DIV AC CH2: .500V/DIV AC TB A: 200 ms TR: CH2+AC PT: 25



CH I : Cursor I: -.100V Cursor II: -.040V Diff. I-II: -.0600V
 CH II: Cursor I: .020V Cursor II: -.080V Diff. I-II: .1000V
 dt: 2,045 s 1/dt: 488,998 mHz

b) Segundo registro

Measure time: 12:21:21
 Measure date: 10/07/2015
 CH1: .500V/DIV AC CH2: .500V/DIV AC TB A: 50 ms TR: CH2+AC PT: 25

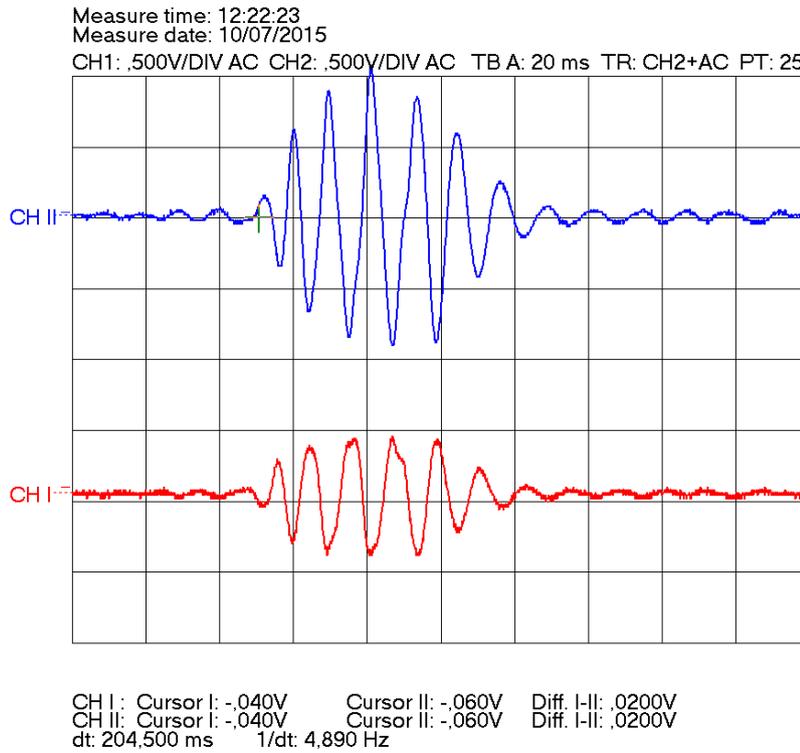


CH I : Cursor I: -.020V Cursor II: -.060V Diff. I-II: .0400V
 CH II: Cursor I: -.060V Cursor II: -.020V Diff. I-II: -.0400V
 dt: 511,250 ms 1/dt: 1,956 Hz

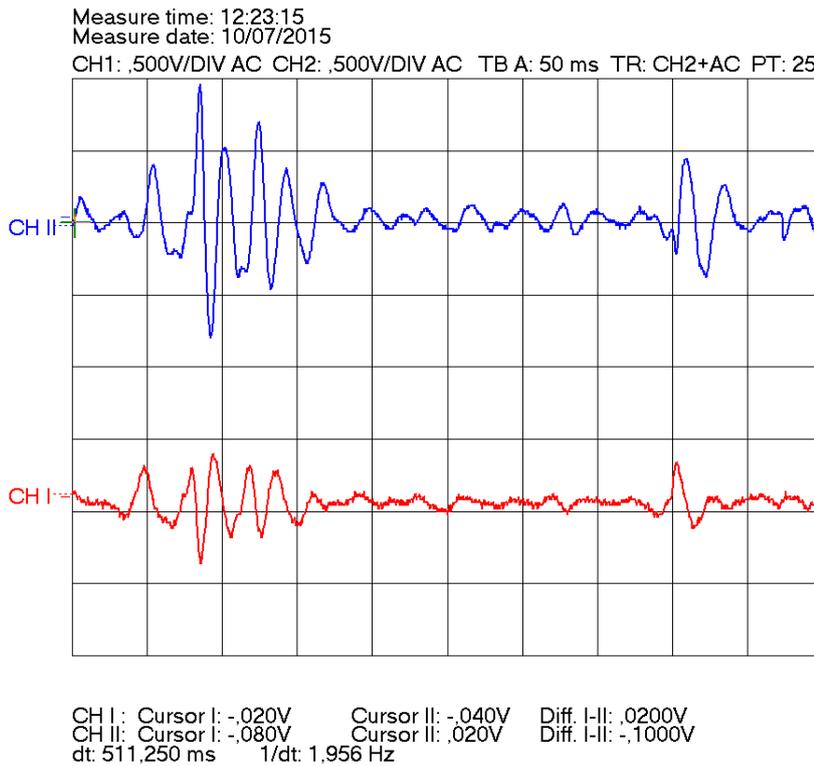
c) Tercer registro

Figura 4.38 – Señal de entrada al prototipo frente a la señal de salida principal del sistema

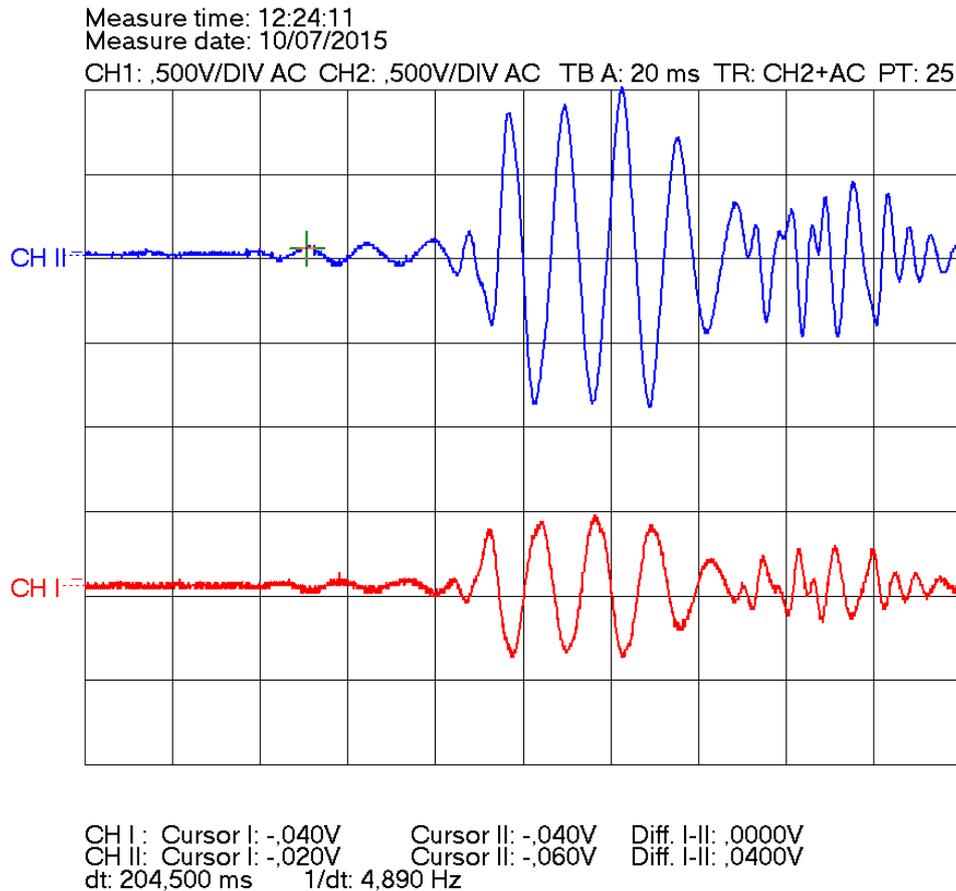
Con ánimo de enfatizar la eficiencia del sistema en el prototipo final, en la figura 4.39 se muestra una vista detallada de la señal de entrada y la de salida principal del sistema para los tres registros, donde el filtrado en el rango de los sonidos cardíacos y el ajuste de amplitud se pueden apreciar con más precisión.



a) Primer registro



b) Segundo registro

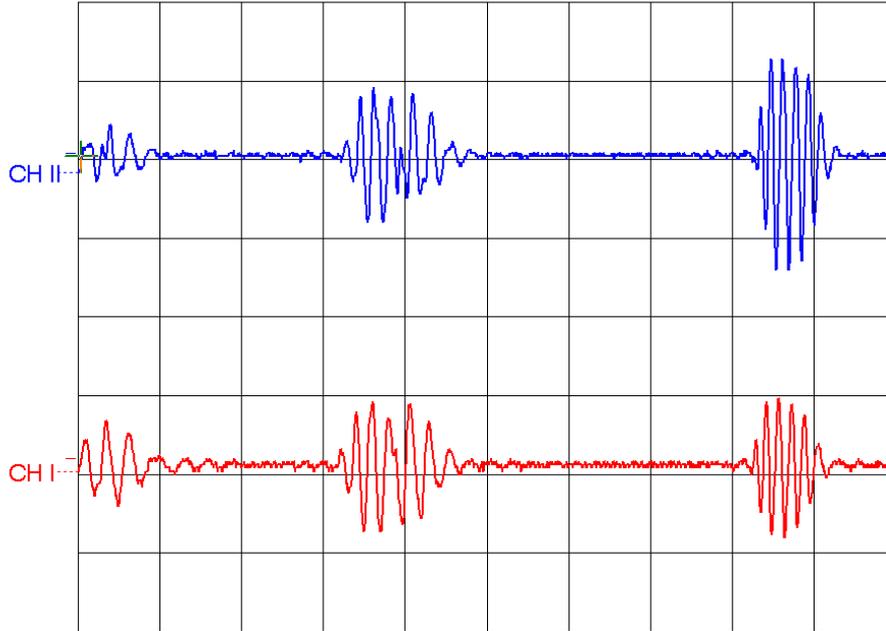


c) Tercer registro

Figura 4.39– Vista detallada de las señales de los tres registros en la salida principal del sistema

Por último, en la figura 4.40 se puede ver la señal de entrada al sistema, en color rojo y escala vertical de 500mV, frente a la señal de salida del filtro para soplos por eyección, en color azul y escala vertical de 500mV. La señal del primer registro se atenúa, aunque no tanto como el segundo, puesto que posee un soplo que, aunque no es provocado por eyección, tiene parte de sus componentes frecuenciales en la banda de éstos. La señal del segundo registro sufre una mayor atenuación, al tratarse de una señal obtenida de un paciente sano. Finalmente, para la señal del tercer registro puede verse en la figura la atenuación de las componentes frecuenciales de la señal que no pertenecen al soplo por eyección, ya que la parte correspondiente a esta anomalía mantiene su amplitud original (segunda componente empezando por la izquierda). Efectivamente, el soplo por eyección queda acentuado con respecto al resto de componentes del sonido cardíaco.

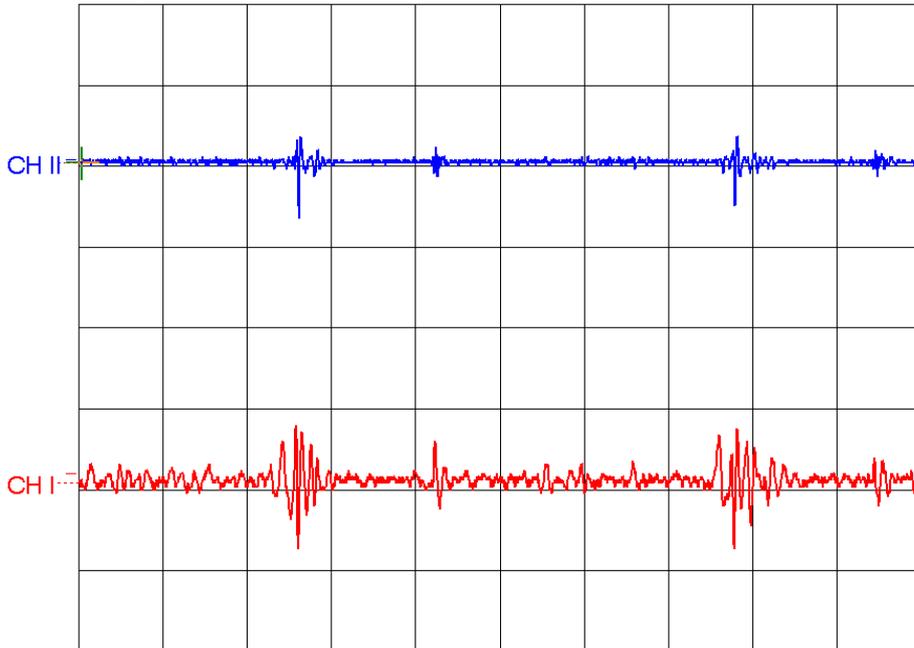
Measure time: 12:25:50
 Measure date: 10/07/2015
 CH1: ,500V/DIV AC CH2: ,500V/DIV AC TB A: 50 ms TR: CH2+AC PT: 25



CH I : Cursor I: -.060V Cursor II: -.060V Diff. I-II: ,0000V
 CH II: Cursor I: ,020V Cursor II: -.020V Diff. I-II: ,0400V
 dt: 511,250 ms 1/dt: 1,956 Hz

a) Primer registro

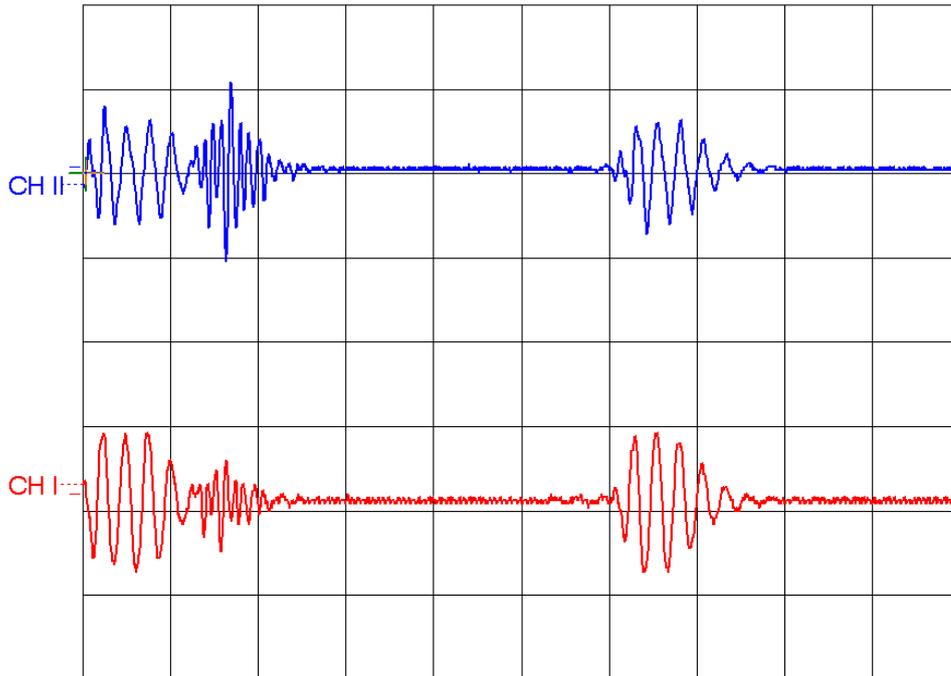
Measure time: 12:26:27
 Measure date: 10/07/2015
 CH1: ,500V/DIV AC CH2: ,500V/DIV AC TB A: 200 ms TR: CH2+AC PT: 25



CH I : Cursor I: -.040V Cursor II: 220V Diff. I-II: -.2600V
 CH II: Cursor I: -.020V Cursor II: ,020V Diff. I-II: -.0400V
 dt: 2,045 s 1/dt: 488,998 mHz

b) Segundo registro

Measure time: 12:27:24
Measure date: 10/07/2015
CH1: ,500V/DIV AC CH2: ,500V/DIV AC TB A: 50 ms TR: CH2+AC PT: 25



CH I : Cursor I: ,000V Cursor II: -,060V Diff. I-II: ,0600V
CH II: Cursor I: ,000V Cursor II: -,020V Diff. I-II: ,0200V
dt: 511,250 ms 1/dt: 1,956 Hz

c) Tercer registro

Figura 4.40 – Señal de entrada frente a la señal de salida del filtro para soplos por eyección

Con estos resultados queda demostrado el correcto funcionamiento del prototipo en placa de circuito impreso del sistema de acondicionamiento analógico de la señal FCG. Su comportamiento se adecúa a las especificaciones de diseño con bastante fidelidad, y las señales obtenidas poseen las características deseadas.

Conclusiones

Para finalizar este Trabajo, y con la intención de resumir todos los hitos conseguidos, destacar ciertos aspectos del desarrollo y exponer las dificultades encontradas, en este apartado se pretende establecer un vínculo entre los objetivos, el proceso intermedio, y los resultados. A continuación, se enumeran posibles líneas futuras que tomen como punto de partida el sistema creado, o bien utilicen una adaptación de éste para otros fines relacionados con el ámbito de la fonocardiografía. Por último, se dará una valoración personal del autor referente a lo que para él ha supuesto este Trabajo.

Hitos e incidencias del Trabajo

El objetivo principal de este Trabajo era el diseño e implementación de un sistema de acondicionamiento analógico para señales fonocardiográficas, cuya fuente sea un estetoscopio electrónico, utilizando un tipo de circuito analógico programable, la FPAA. Esta arquitectura ofrece las características de reconfigurabilidad de su homólogo digital, la FPGA, trasladando la filosofía de flexibilidad de estos al ámbito analógico.

La propuesta para el sistema de acondicionamiento analógico está compuesta por tres módulos principales: un filtro paso banda para eliminar de la señal fonocardiográfica cualquier sonido no procedente del corazón, un módulo de ajuste automático de la amplitud de la señal de salida que asegure un nivel de amplitud constante de 1V dentro de un rango de posibles valores de amplitud en la señal de entrada y otro filtro paso banda para acentuar los soplos de alta frecuencia sobre el resto de sonidos cardíacos. Estos tres módulos, tras diseñarlos y caracterizarlos separadamente, se implementaron juntos para poder realizar los ajustes necesarios para el funcionamiento del sistema como un conjunto.

El primer problema encontrado durante la realización del trabajo fue la necesidad de dividir el proceso de simulación del sistema en tres partes, en dos herramientas software diferentes, debido a que no es posible realizar simulaciones de los circuitos analógicos implementados en las FPAA de forma simultánea con circuitos analógicos externos. Se llegó a una solución que permitió caracterizar el sistema completo sin sacrificar precisión en su funcionamiento.

Como consecuencia de la plataforma de síntesis elegida, el ciclo de diseño de los filtros fue realmente rápido: se establecieron sus especificaciones, se diseñaron en AnadigmDesigner 2, y finalmente se implementaron en las FPAA, verificando experimental y teóricamente su correcto funcionamiento. El único inconveniente notable en este proceso se debió al problema de distorsión en bajas frecuencias del filtro para sonidos cardíacos. Tras descubrir la causa del problema (el orden de

conexión de las etapas), bastó con corregirlo y este módulo terminó operando como se esperaba.

El ajuste fino del módulo de ajuste de amplitud llevó más tiempo, ya que hubo que afrontar distintos contratiempos. El primero de ellos fue que el offset introducido por otras etapas del circuito causaba la saturación del amplificador operacional del detector de picos, truncando su respuesta antes de lo debido. Para solucionarlo, hubo que modificar la tensión de alimentación de parte de los operacionales del sistema a 6V. El otro contratiempo principal se debió al comportamiento del amplificador controlado por tensión, que resultó no ser lineal con la tensión de control. Tras realizar una aproximación teórica de los valores necesarios en todo el rango de tensiones de control a partir de mediciones empíricas, se desarrolló una tabla de valores de ganancia que finalmente hizo que el sistema al completo funcionara como se esperaba.

Sin embargo, la parte seguramente más larga y tediosa del Trabajo fue la que se dedicó al traslado de los datos del programa de configuración de las FPAA a una memoria EPROM, con el objetivo último de que el sistema pudiera funcionar de forma autónoma. Según el fabricante, un sistema multi-chip de FPAA puede configurarse para leer los datos de configuración de una memoria automáticamente en su encendido, y realizar todas las operaciones necesarias para implementar la aplicación programada de forma autónoma. Para ello, sin embargo, es necesario extraer los datos del programa de configuración del sistema de AnadigmDesigner 2 en un formato concreto, realizando ciertas comprobaciones y ajustes previos en los chips dentro de la herramienta. La falta de una documentación extensa y detallada de este proceso implicó una carga de trabajo importante. Por ello, y por la importancia de esta fase del Trabajo en la validez del prototipo final, se incluye un apéndice en el que se detalla el proceso (apéndice B).

Una vez completadas las tareas anteriores, se consiguió que el sistema funcionara de forma autónoma utilizando los kits de desarrollo AN221K04 junto con el resto de circuitería analógica implementada en placas de prototipado. En ese momento, se comenzó con el diseño de la PCB del prototipo en EAGLE, proceso no exento de complicaciones, pero que pudo llevarse a término en el tiempo estimado. Las principales complicaciones en esta fase se debieron a las limitaciones técnicas de la microfresadora, que implicaron que la placa proyectada debiera aumentar su tamaño para así permitir unas pistas y vías de mayor anchura. Terminado el diseño, el prototipo se fabricó y soldó.

Una vez terminado, el prototipo presentó distintos problemas en su funcionamiento, debidos, sobre todo, a errores en el montaje y fallos en conexiones durante el proceso de diseño en EAGLE. Tras subsanar estos problemas, el prototipo funcionó a la perfección, de forma autónoma y realizando la función de acondicionamiento que se había diseñado. El sistema volvió a caracterizarse sobre el prototipo definitivo, utilizando tres señales fonocardiográficas con características significativas para determinar si el funcionamiento del sistema era correcto. En la exposición de resultados pudo comprobarse que, efectivamente, el prototipo del sistema de acondicionamiento analógico cumplía con las expectativas.

Trabajos futuros

Con la realización de este trabajo se ha conseguido un sistema autónomo capaz de realizar un acondicionamiento analógico de la señal proveniente de un estetoscopio electrónico. El uso satisfactorio de la FPAA como núcleo de la funcionalidad analógica del sistema realizado plantea esta arquitectura como un candidato idóneo para implementar sistemas de mayor complejidad, no sólo por sus virtudes anteriormente mencionadas sino, además, por su reducido coste.

Respecto a la ampliación o modificación del sistema propuesto para servir a fines concretos o mejorar la funcionalidad, se enumeran posibles trabajos futuros:

- Aumentar la funcionalidad del sistema incluyendo más FPAA que implementen distintos filtros para acentuar o aislar otros sonidos cardíacos procedentes de diferentes patologías en salidas específicas. Para ello, sólo sería necesario realizar las conexiones pertinentes entre todos los chips, ya que el sistema podría seguir leyendo su configuración desde una única memoria EPROM. También podría ser interesante replicar el funcionamiento del módulo de ajuste automático de amplitud de la señal de salida en cada una de las salidas para sonidos anómalos.
- Manteniendo la estructura principal del sistema propuesto en este Trabajo, podrían variarse las conexiones necesarias para que el sistema aproveche la posibilidad de reconfigurarse en tiempo real. De esta manera, por ejemplo, podría modificarse la banda de frecuencias de paso del filtro para soplos para que, mediante una interfaz externa, pudiera seleccionarse qué tipo de soplos se desea acentuar en un momento dado, otorgándole mayor flexibilidad a este sistema. También podría variarse la banda de paso del filtro para sonidos cardíacos de forma que se adecuara al rango de ciertos animales, abriendo la posibilidad de utilizar este sistema, junto a un estetoscopio electrónico, en medicina veterinaria.

Opinión personal del autor

La realización de este Trabajo de Fin de Grado ha sido una de mis mejores experiencias académicas. En mi opinión, la posibilidad de aplicar los conocimientos adquiridos durante mis estudios en un proyecto real con un objetivo claro le otorga a este tipo de Trabajo un valor único. Personalmente, me resulta sorprendente y gratificante poder aplicar la electrónica y el procesamiento de señal a un campo completamente alejado de disciplinas más típicas de la rama de la ingeniería electrónica o de telecomunicaciones.

La ingeniería aplicada a la medicina es un mundo apasionante, en el que pienso que la electrónica tiene mucho que ofrecer. Las posibilidades que pueden ofrecer los circuitos electrónicos en el ámbito médico son muy variadas, con ejemplos reales que hoy en día podemos encontrar en cualquier hospital como el propio

estetoscopio electrónico. Un sistema como el propuesto en este Trabajo podría mejorar el trabajo de muchos profesionales del sector médico, así como la calidad de vida de sus pacientes. En un futuro incluso podría ser posible que cualquier usuario de un teléfono móvil conociese el estado de su corazón en tiempo real con mucha precisión, siendo informado si se producen anomalías cardíacas, haciendo uso únicamente de un dispositivo periférico de dimensiones reducidas, conectado al teléfono.

Con respecto a los circuitos analógicos programables, más concretamente, las FPAA, considero que se trata de una tecnología a la que quizá no se le ha dado la importancia que merece, ya que ofrece posibilidades muy interesantes en según qué aplicaciones (por ejemplo, en el caso de este Trabajo), así como una serie de prestaciones idóneas para considerarla como una opción atractiva para aplicaciones de acondicionamiento o tratamiento de señales analógicas en las que se quiera disponer de la posibilidad de modificar el comportamiento del sistema en tiempo real.

Con la realización de este Trabajo, he tenido la oportunidad de ampliar mis conocimientos en electrónica analógica y digital, así como profundizar en ciertos aspectos de tratamiento de señales que, por distintas razones, no había podido conocer previamente. También he encontrado problemas e inconvenientes nuevos para mí durante algunas de las etapas del Trabajo y he aprendido a enfrentarme a estas situaciones de la mejor forma posible y, lo que pienso que es más importante, de forma autónoma.

Personalmente, estoy muy satisfecho con el trabajo realizado y, espero, pueda servir de inspiración para otras personas, de la misma manera que su realización lo ha sido para mí.

Bibliografía

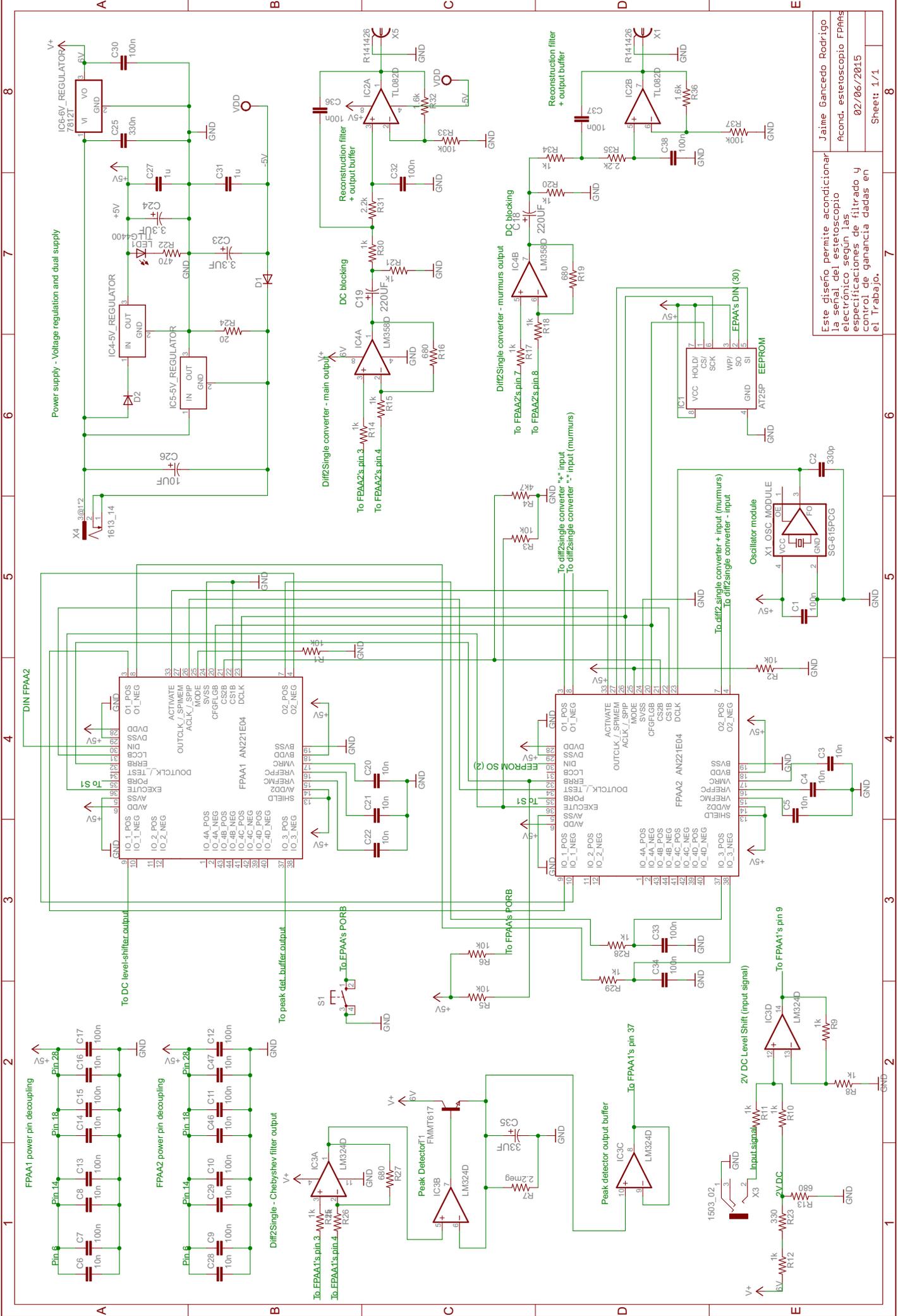
- [1] Juan Martínez Alajarín. Fonocardiografía: Estado del arte. Universidad Politécnica de Cartagena.
- [2] Ramón Ruiz Merino. Registros fonocardiográficos. Universidad Politécnica de Cartagena, Junio 2004
- [3] Ibrahim R. Hanna and Mark E. Silverman. A history of cardiac auscultation and some of its contributors. *The American Journal of Cardiology*, 90:259-267, 2002.
- [4] Tilkian, Conover. Understanding heart sounds and murmurs. Fourth Edition.
- [5] Daniel Mason. Listening to the Heart: A comprehensive collection of Heart Sounds and Murmurs. Second Edition. 2000.
- [6] Alexis Meneses. Fonocardiografía (FCG). Grupo de Investigación Biomédica “DALCAME”. Bogotá, Colombia. 2005. Accesible en www.dalcame.com
- [7] Juan Sebastián O. V., Luisa Fernanda C. L., Felipe G. M. Diseño y construcción de un fonocardiógrafo digital con visualización en LabVIEW. Enero 2007. Disponible en: <http://repository.eia.edu.co/bitstream/11190/416/1/RBI00003.pdf>
- [8] James Alexander Olarte Pedraza. Diseño y construcción de un prototipo de fonocardiógrafo. Universidad de San Buenaventura. Facultad de ingeniería. Departamento de Ingeniería de sonido. Santafé de Bogotá DC. 2007. Disponible en: http://bibliotecadigital.usbcali.edu.co/jspui/bitstream/10819/1534/1/Diseno_prototipo_fonocardiografo_olarte_2008.pdf
- [9] Ramón Ruiz Merino. Monitorización remota del fonocardiograma mediante un sistema de interpretación inteligente de su señal. Universidad Politécnica de Cartagena, 2003.
- [10] Intersil. X9C102, X9C103, X9C104, X9C503: Digitally Controlled Potentiometer. July 20, 2009.
- [11] Tyson S. Hall. Field-Programmable Analog Arrays: A Floating-Gate Approach. Doctoral dissertation. Georgia Institute of Technology. 12 de Julio, 2004.
- [12] Anadigm. Field-Programmable Analog Arrays – AN221E04 User Manual. 2003.
- [13] Anadigm. AnadigmDesigner 2 User manual. 2004.
- [14] Anadigm. AN221K04 – Anadigmvortex Development Board User Manual. 2004.
- [15] Semiconductor Components Industries. LM324: Single Supply Quad Operational Amplifiers datasheet. October, 2013. Rev. 25.

- [16] Semiconductor Components Industries. LM358: Single Supply Dual Operational Amplifiers datasheet. July, 2004. Rev. 18.
- [17] National Semiconductor Corporation. TL082: Wide Bandwidth Dual JFET Input Operational Amplifier datasheet. 1999.
- [18] Semiconductor Components Industries. CAT25640: SPI Serial CMOS EEPROM datasheet. May, 2012. Rev. 10.
- [19] Seiko Epson Corporation. SG-615 Series: Crystal Oscillator datasheet.
- [20] Linear Technology. LT1129/LT1129-3.3/LT1129-5: Micropower Low Dropout Regulators with Shutdown datasheet.
- [21] ST Microelectronics. LT78: Positive Voltage Regulator ICs datasheet. March, 2014.
- [22] Daniel Mason, Listening to the Heart. F. A. Davis Co., 2000.

Apéndice A

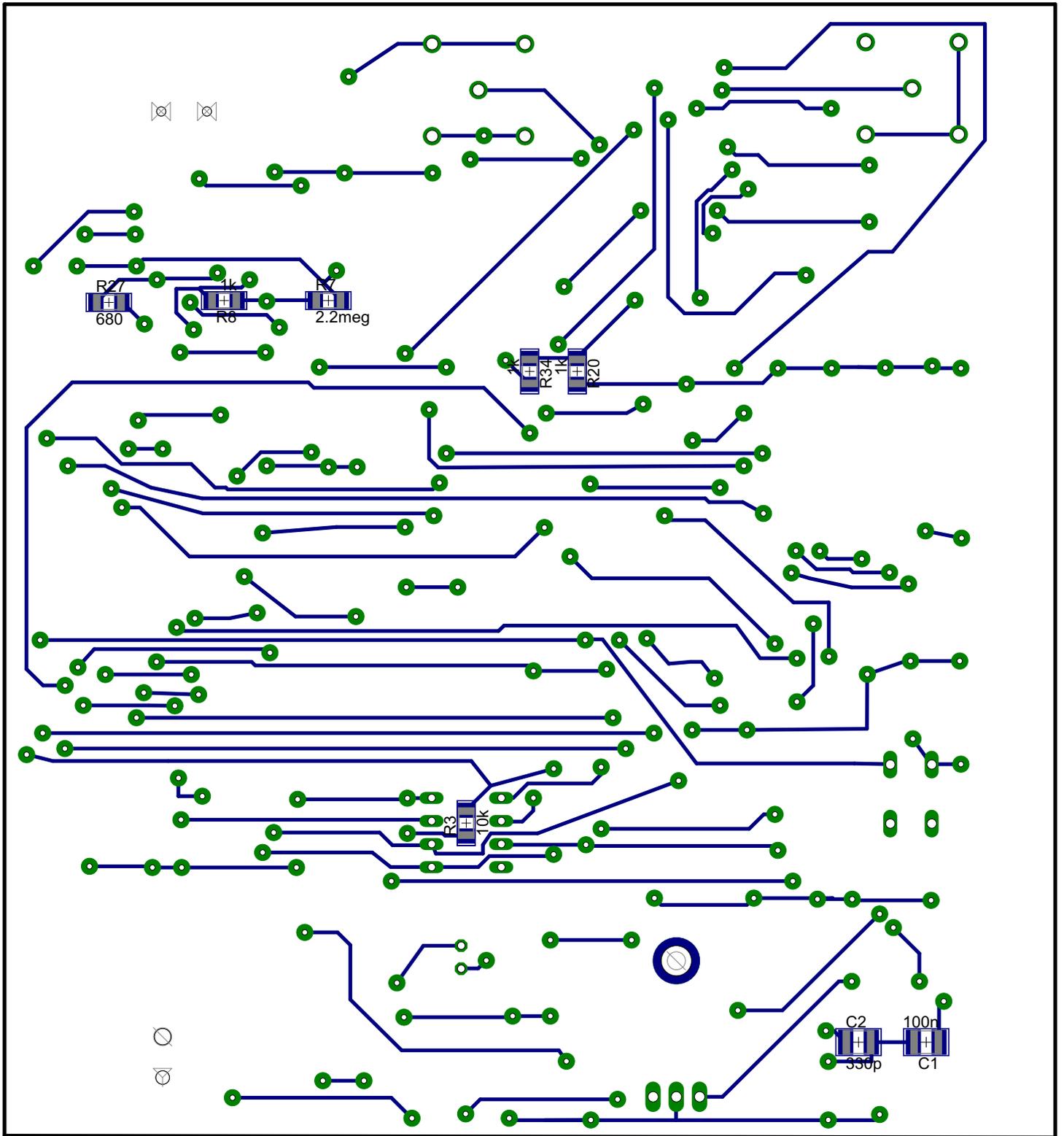
Esquema, *layout* y lista de componentes del prototipo

A continuación se muestran, en este orden, el esquema del circuito, el *layout* superior e inferior y la lista de componentes del prototipo construido en una placa de circuito impreso.



Este diseño permite acondicionar la señal del estoscopio electrónico según las especificaciones de filtrado y control de ganancia dadas en el Trabajo.

Jaime Gancedo Rodrigo
Acond. estoscopio FPAAs
02/06/2015
Sheet: 1/1



Parte	Valor	Descripción
C1	100n	Condensador SMD
C2	330p	Condensador SMD
C3	10n	Condensador SMD
C4	10n	Condensador SMD
C5	10n	Condensador SMD
C6	10n	Condensador SMD
C7	100n	Condensador SMD
C8	10n	Condensador SMD
C9	100n	Condensador SMD
C10	100n	Condensador SMD
C11	100n	Condensador SMD
C12	100n	Condensador SMD
C13	100n	Condensador SMD
C14	10n	Condensador SMD

Parte	Valor	Descripción
C15	100n	Condensador SMD
C16	10n	Condensador SMD
C17	100n	Condensador SMD
C18	220UF	Condensador electrolítico SMD
C19	220UF	Condensador electrolítico SMD
C20	10n	Condensador SMD
C21	10n	Condensador SMD
C22	10n	Condensador SMD
C23	3.3UF	Condensador electrolítico SMD
C24	3.3UF	Condensador electrolítico SMD
C25	330n	Condensador SMD
C26	10UF	Condensador electrolítico SMD
C27	1u	Condensador SMD
C28	10n	Condensador SMD

C29	10n	Condensador SMD
C30	100n	Condensador SMD
C31	1u	Condensador SMD
C32	100n	Condensador SMD
C33	100n	Condensador SMD
C34	100n	Condensador SMD
C35	33UF	Condensador electrolítico SMD
C36	100n	Condensador SMD
C37	100n	Condensador SMD
C38	100n	Condensador SMD
C46	10n	Condensador SMD
C47	10n	Condensador SMD
D1		Diodo
D2		Diodo
FPAA1		FPAA AN221E40
FPAA2		FPAA AN221E41
IC1	AT25P	EEPROM SPI
IC2	TL082D	Amplificador operacional SMD
IC3	LM324D	Amplificador operacional SMD
IC4	LM358D	Amplificador operacional SMD
IC4-5V_REGULATOR	7805	Regulador de voltaje SMD

IC5-5V_REGULATOR	7805	Regulador de voltaje SMD
IC6-6V_REGULATOR	7812	Regulador de voltaje
LED1		Diodo LED
R1	10k	Resistencia SMD
R2	10k	Resistencia SMD
R3	10k	Resistencia SMD
R4	4k7	Resistencia SMD
R5	10k	Resistencia SMD
R6	10k	Resistencia SMD
R7	2.2meg	Resistencia SMD
R8	1k	Resistencia SMD
R9	1k	Resistencia SMD
R10	1k	Resistencia SMD
R11	1k	Resistencia SMD
R12	1k	Resistencia SMD
R13	680	Resistencia SMD
R14	1k	Resistencia SMD
R15	1k	Resistencia SMD
R16	680	Resistencia SMD
R17	1k	Resistencia SMD
R18	1k	Resistencia SMD

R19	680	Resistencia SMD
R20	1k	Resistencia SMD
R21	1k	Resistencia SMD
R22	470	Resistencia SMD
R23	330	Resistencia SMD
R24	20	Resistencia SMD
R25	1k	Resistencia SMD
R26	1k	Resistencia SMD
R27	680	Resistencia SMD
R28	1k	Resistencia SMD
R29	1k	Resistencia SMD
R30	1k	Resistencia SMD
R31	2.2k	Resistencia SMD
R32	1.6k	Resistencia SMD
R33	100k	Resistencia SMD
R34	1k	Resistencia SMD
R35	2.2k	Resistencia SMD
R36	1.6k	Resistencia SMD
R37	100k	Resistencia SMD
S1		Pulsador
T1	FMMT617	Transistor NPN SMD
X1	R141426	Conector BNC
X1_OSC_MODULE	SG-615PCG	Oscilador de cristal 16 MHZ
X3	1503_02	Conector jack 3.5mm SMD
X4	1613_14	Conector jack DC SMD

X5	R141426	Conector BNC
----	---------	--------------

Apéndice B

Configuración y programación para utilizar una memoria EPROM SPI en un sistema multi-chip de FPAA

El objetivo de este apéndice es facilitar una explicación detallada de los pasos necesarios para generar correctamente el archivo de configuración de un sistema multi-chip de FPAA con el fin de grabarlo en una memoria EPROM SPI y utilizar ésta como medio de programación para las FPAA. Este proceso se expondrá para el caso concreto de las FPAA AN221E04 de la firma Anadigm, que son las que se han utilizado en este Trabajo, aunque puede ser extrapolable a otros modelos.

Como se detalló en el capítulo segundo, un sistema de varias FPAA interconectadas se puede configurar mediante conexiones entre los chips para que en el arranque sea capaz de leer sus datos de configuración de una única memoria EPROM externa. Esta memoria contendrá un solo archivo de configuración, aunque el sistema contenga más de un chip, y serán las propias FPAA las encargadas de separar los datos de la forma apropiada para que cada una implemente la función que se le haya asignado en AnadigmDesigner 2. En la figura B.1 se muestra un ejemplo de sistema multi-chip.

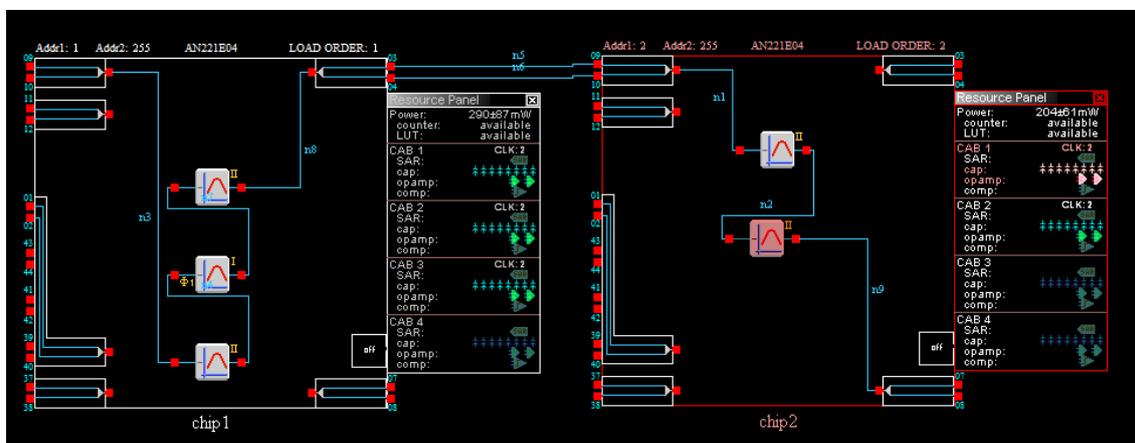


Figura B.1 - Ejemplo de sistema multi-chip

Para generar el archivo con los datos de configuración del sistema que se grabará posteriormente en la memoria, se utilizará AnadigmDesigner 2. Será preciso realizar algunos ajustes previos a la generación de este archivo, de forma que las FPAA se configuren correctamente desde la memoria. En primer lugar, se deberá modificar el valor de algunos bits de estado de cada chip. Estos ajustes pasarán al archivo de configuración de forma transparente al usuario, pero son esenciales para que el sistema funcione.

Haciendo click derecho en la segunda FPAA (la que físicamente estará directamente conectada con la memoria EPROM), y seleccionando “*Chip Settings*”, aparecerá el menú mostrado en la figura B.2. Aquí aparecen diversas opciones de configuración de la FPAA. Para que el sistema multi-chip funcione correctamente leyendo los datos de configuración desde una memoria EPROM, en este chip es necesario marcar la casilla de la opción “*Enable the internal DOUTCLK buffer*”, pues este bit habilita en la segunda FPAA el reloj de salida que servirá como reloj maestro de la primera FPAA. Además, en el menú desplegable se debe seleccionar la opción “*MODE pin is connected to VDD*”. Así la segunda FPAA quedará configurada como la última de la cadena, y sólo esperará datos de configuración desde la memoria. En la primera FPAA, se deberá seleccionar la opción “*MODE pin is connected to VSS*”.

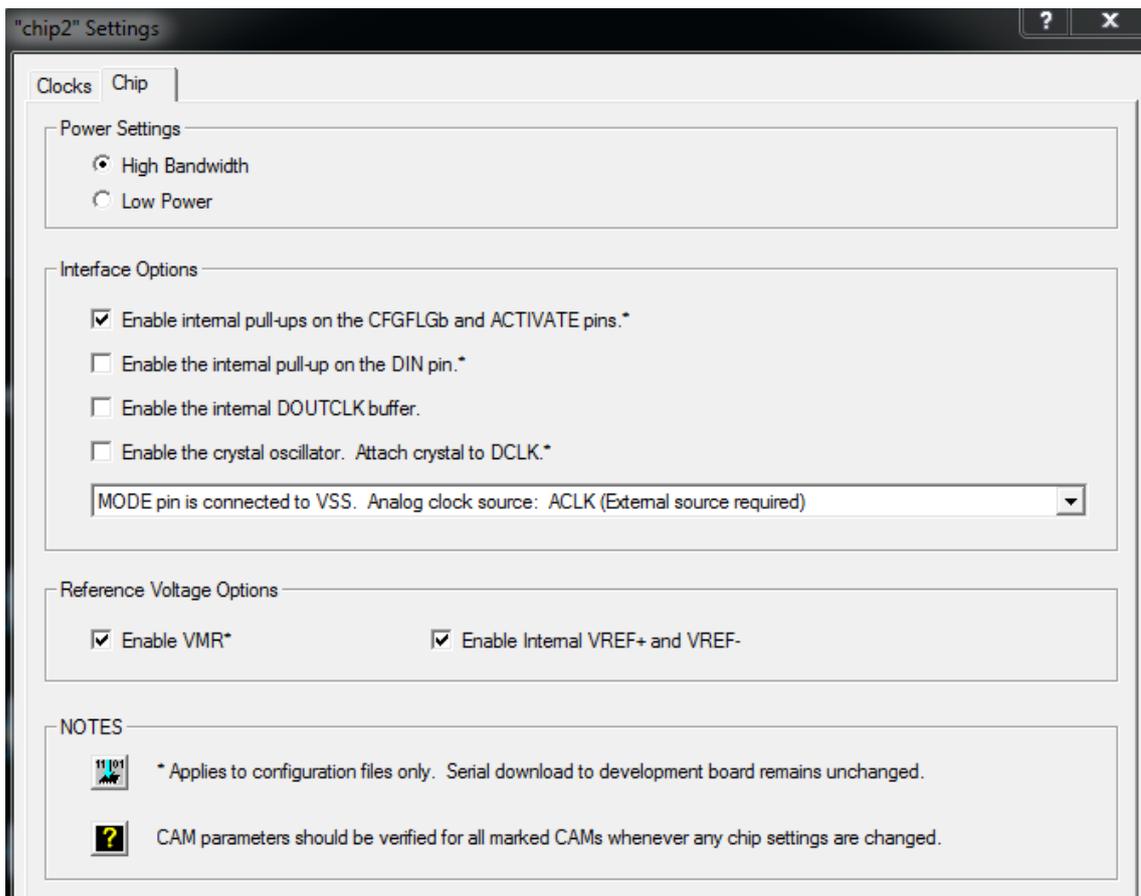


Figura B.2 - Menú “*Chip Settings*”

Una vez completados estos ajustes, se puede proceder a generar el archivo de configuración. Para ello se seleccionará la opción “*Write configuration data to a file...*” del menú “*Configure*” de AnadigmDesigner 2. En el cuadro de diálogo que se abrirá, sólo será necesario seleccionar la opción “*Single File*”, para que todos los datos de configuración se generen en un único archivo, y el formato de salida “*Intel HEX File*” (.HEX). De esta manera, se generará un archivo con extensión “.hex”, que contiene los datos de configuración de las dos FPAA del sistema.

El siguiente paso será grabar estos datos de configuración en la memoria EPROM. En este Trabajo se ha utilizado un programador de chips universal, el *LabProg+* de

la firma El nec, que se muestra en la figura B.3, junto con su propia herramienta software.



Figura B.3 - Programador LabProg+ de El nec

En la figura B.4 se muestra la vista principal de la herramienta de manejo del programador. En ella aparecen todas las opciones posibles para realizar con una memoria. Para cargar el archivo de configuración de las FPAA en la memoria EPROM, en primer lugar será necesario colocar la memoria en el conector del programador. A continuación, debe cargarse el archivo en el búfer de datos de la herramienta. Para ello, se elegirá la opción "Load", y se seleccionará el archivo generado desde AnadigmDesigner 2, indicando que se debe leer con el formato *Straight HEX*. Esta selección es importante, ya que el archivo puede ser interpretado según distintos formatos, y esto puede provocar que los datos no sean válidos para las FPAA.

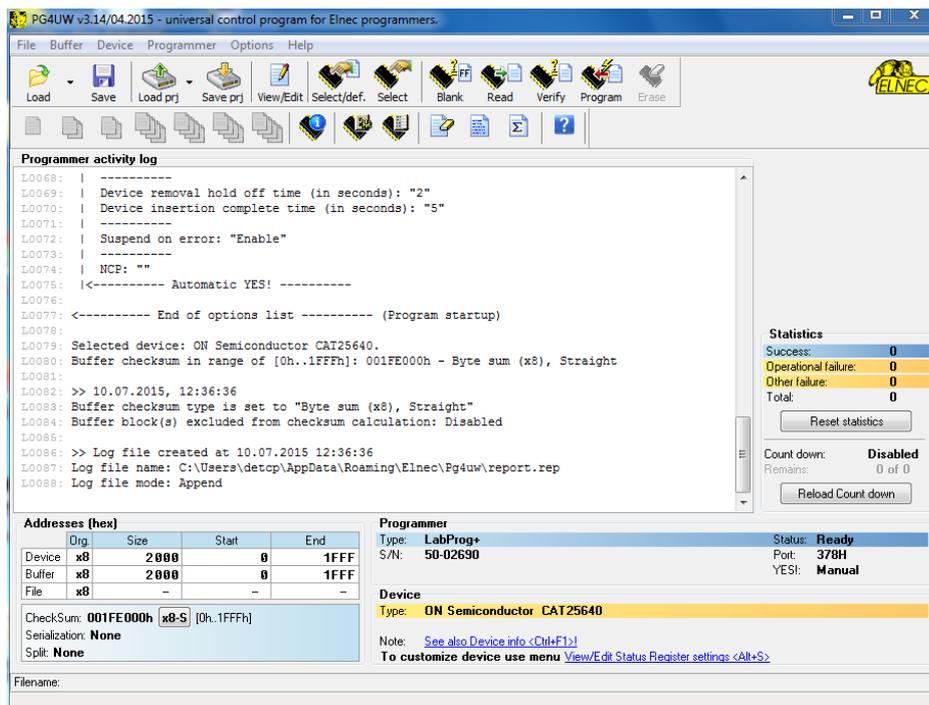


Figura B.4 - Vista principal de la herramienta del programador

Realizando los pasos indicados, el archivo de configuración quedará cargado en el búfer de datos de la herramienta, el cual se muestra en la figura B.5. Los datos aparecen codificados en formato hexadecimal, y en esta ventana se pueden editar, si así se desea, antes de grabarlos en la memoria.

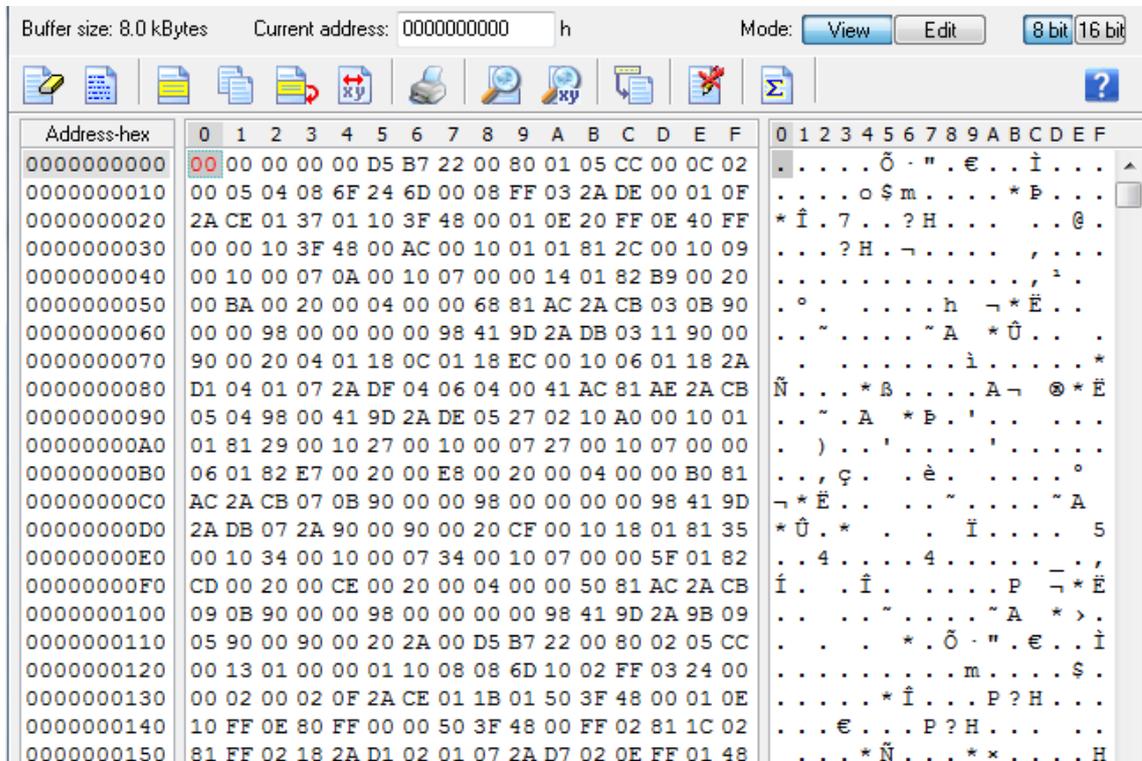


Figura B.5 - Vista del búfer de datos de la herramienta

Sólo resta grabar los datos en la memoria EPROM. Para ello se debe hacer click en el icono "Program" de la ventana principal de la herramienta, y seleccionar la opción "EEPROM". Si la memoria está correctamente insertada en el programador, se iniciará el proceso de grabación y aparecerá un mensaje de confirmación cuando se haya completado.

Una vez finalizado este proceso, la EPROM es válida para que el sistema multi-chip pueda leer sus datos de configuración de ella, sin más que asegurar el correcto conexionado físico entre las dos FPAA.

