

Convertidores analógico-digitales de altas prestaciones: modelos y diseño microelectrónico

J.A. Díaz Madrid¹, G. Doménech Asensi², J.A. López Alcantud², H. Neubauer¹, Ramón Ruiz Merino²

¹Instituto Fraunhofer – IIS. Erlangen. Alemania

²Departamento de Electrónica, Tecnología de Computadoras y Proyectos. Universidad Politécnica de Cartagena
Campus Muralla de Mar. Edificio Antiguo Hospital de Marina
30202 Cartagena
Teléfono: 968326467 Fax: 968 326400
E-mail: gines.domenech@upct.es

Resumen. *Vamos a presentar en este trabajo una de las líneas de investigación más prometedoras dentro de las que se vienen desarrollando en los grupos del Departamento de Electrónica, Tecnología de Computadoras y Proyectos, llevada a cabo en colaboración con el Instituto Fraunhofer IIS. Se trata del diseño y modelización de un tipo de sistemas complejos que están acaparando en los últimos años un gran interés dentro del campo del diseño microelectrónico: los convertidores analógico-digitales (ADC) de altas prestaciones. El diseño de este tipo de sistemas de señales mixtas requiere la realización de simulaciones exhaustivas a diferentes niveles de abstracción dentro de la jerarquía de diseño. El uso de modelos de alto nivel en el diseño de estos circuitos complejos, sin embargo, permite explorar diferentes alternativas con una precisión suficiente como para evitar iteraciones innecesarias en el proceso, imponiendo unas exigencias temporales y de recursos de computación sensiblemente menores que las simulaciones eléctricas.*

1 Introducción

El diseño de circuitos de señales mixtas de altas prestaciones, como los convertidores analógico-digitales (ADC), requiere la realización de simulaciones exhaustivas a diferentes niveles dentro de la jerarquía de diseño, antes de pasar a la fabricación del circuito físico. Conforme descendemos en esta jerarquía y afloran los detalles de implementación al nivel físico, las exigencias computacionales de las simulaciones se hacen mayores, requiriendo gran cantidad de tiempo y recursos.

En el mejor de los casos, si cada parámetro del circuito se ajusta a las especificaciones y cada dispositivo es apropiadamente dimensionado, una simulación en cada nivel de la jerarquía será suficiente para validar el diseño. Sin embargo, esta situación no ocurre nunca, ni siquiera en el caso de diseñadores de gran experiencia, y debe realizarse un proceso iterativo de pasos de simulación, extendido sobre múltiples niveles, para verificar primero las especificaciones del diseño, y a continuación optimizar las prestaciones del circuito. Una forma de reducir el número de simulaciones en el ciclo de diseño consiste en el uso de un análisis simbólico para obtener la conducta del circuito antes de su diseño, mediante el uso de determinadas herramientas de verificación de alto nivel. Por desgracia, conforme la complejidad del circuito aumenta esta solución deja de ser adecuada.

Otra forma de mejorar a priori los resultados de estas costosas simulaciones se basa en disponer de modelos de alto nivel de los circuitos electrónicos con la suficiente precisión como para obtener resultados útiles, pero con tiempos de simulación sustancialmente menores. Con estos modelos, el diseñador electrónico puede explorar los parámetros de diseño de forma que se asegure que las prestaciones del circuito verifican las especificaciones. En este sentido, el uso de lenguajes de descripción de sistemas analógicos y de señales mixtas como VHDL-AMS [1] o VERILOG-A [2] pueden resultar útiles para construir estos modelos.

En este trabajo pretendemos resumir la estructura y el modelo VHDL-AMS de un ADC de estructura *pipeline* [3] de 12 bits de resolución y una velocidad de 40 Mmuestras/s. El sistema se ha diseñado hasta la generación del *layout*, y las prestaciones del modelo se han comparado con las simulaciones eléctricas realizadas tras la extracción de parásitos en dicho *layout*.

2 Estructura del ADC

El diagrama de bloques del ADC *pipeline* se muestra en la Fig. 1. Consta de 11 etapas, cada una de las cuales realiza una cuantización de 2 bits. Las variaciones inherentes al proceso microelectrónico, y su efecto sobre los dispositivos (desapareamientos, offsets, etc.), afectan a la precisión de cada una de las etapas, lo que hace que la resolución real de cada una de estas etapas se vea disminuida respecto al valor teórico. Una forma de corregir estas desviaciones es

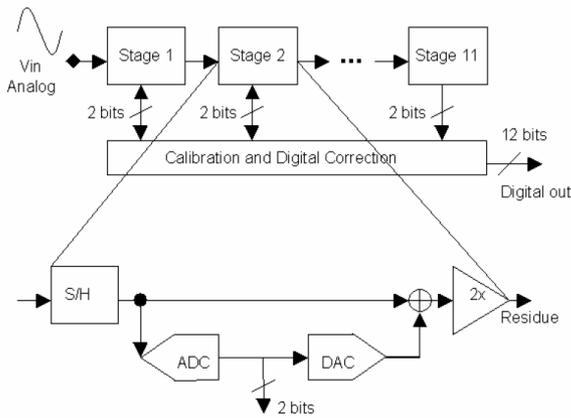


Figura 1. Diagrama de bloques del ADC pipeline.

recurriendo a técnicas de corrección digital, muy adecuadas cuando se utilizan tecnologías CMOS. Sin embargo, estas técnicas sólo funcionan si se introduce una cierta cantidad de redundancia en el *pipeline* analógico. En suma, a pesar de los dos bits teóricamente implementados por cada etapa, en realidad cada una de ellas va a contribuir a la conversión de forma efectiva con 1.5 bits, a través del uso de ganancias apropiadas entre cada una de las etapas y de un bloque de corrección digital.

La estructura de cada una de las etapas se muestra en la Fig. 2. Se trata de un diseño con condensadores conmutados que opera en dos semiciclos, y cuyos elementos clave son: dos comparadores, un convertidor digital-analógico implementado mediante un multiplexor analógico y una etapa de salida en la que un amplificador operacional de salida diferencial pasa el residuo de la conversión de la etapa a la siguiente. Las prestaciones del circuito completo dependen en gran medida del diseño de los comparadores y el amplificador operacional.

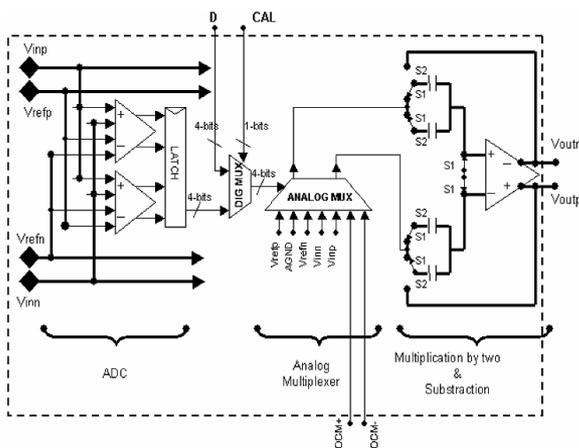


Figura 2. Estructura de una de las etapas.

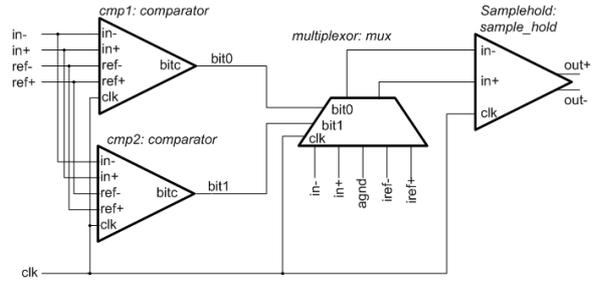


Figura 3. Estructura de una etapa adaptada a la descripción VHDL-AMS.

2 Modelo VHDL-AMS

Se ha realizado un modelo VHDL-AMS del convertidor buscando reducir las exigencias de simulación apuntadas con anterioridad. Este modelo se basa en la propia jerarquía de diseño, siguiendo la estructura de etapas y circuitos descrita. El nivel más alto de la jerarquía incluye las 11 etapas y el módulo de corrección digital, además de las fuentes de tensión y los generadores de reloj necesarios. Un nivel más abajo está la descripción de cada etapa, cuya estructura en términos del VHDL-AMS se muestra en la Fig. 3, donde se muestran los nombres de los terminales y bits empleados. El esquema mostrado no es más que una traducción del esquema de la Fig. 2, adaptado a las exigencias del VHDL-AMS.

Uno de los módulos mostrados en esta traducción, y cuyo diseño resulta más determinante para las prestaciones del sistema completo, es el comparador. La Fig. 4 describe, a modo de ilustración y sin pretender entrar en detalles de las peculiaridades de este lenguaje, el código VHDL-AMS que describe el módulo comparador.

```

ARCHITECTURE behavioral OF comparator IS
  QUANTITY vinn ACROSS xvinn THROUGH inn1 TO
    electrical_ref;
  QUANTITY VINP ACROSS INP1 TO electrical_ref;
  QUANTITY VREFN ACROSS IREFN1 TO
    electrical_ref;
  QUANTITY VREFP ACROSS IREFP1 TO
    electrical_ref;
  QUANTITY vin ACROSS inp1 TO inn1;
  QUANTITY vref ACROSS irefp1 TO irefn1;
BEGIN
  vin == vinp-vinn;
  vref == (vrefp-vrefn);
  PROCESS (CLK)
  BEGIN
    IF (CLK = '0') THEN
      bitc <= '0';
    ELSIF (CLK = '1') AND (vin <= vref/4.0) THEN
      bitc <= '0';
    ELSIF (CLK = '1') AND (vref/4.0 <= vin) THEN
      bitc <= '1';
    END IF;
  END PROCESS;
END behavioral;

```

Figura 4. Código VHDL-AMS del comparador.

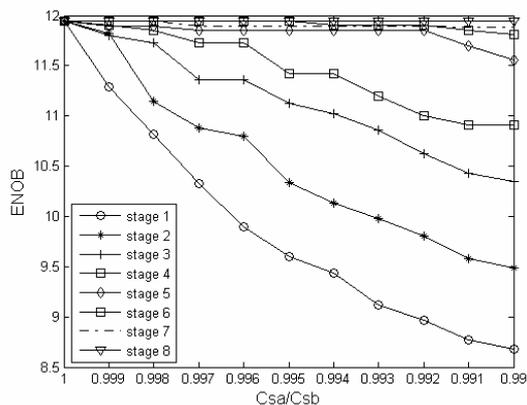


Figura 5. Número efectivo de bits del ADC frente al despareamiento de los condensadores

3 Evaluación de prestaciones de alto nivel del ADC

De cara a evaluar las prestaciones del convertidor diseñado, se han hecho simulaciones de alto nivel variando diferentes parámetros de cada una de las etapas. La finalidad de esta análisis es obtener resultados inmediatos, desde una perspectiva de alto nivel, que no indiquen los límites en los que pueden moverse ciertos parámetros del circuito. Por ejemplo, se ha modificado la relación entre los valores de las capacidades conmutadas que determinan la salida de cada etapa, y se han simulado diferentes situaciones para cuantificar este efecto. Los resultados de la influencia de estas variaciones de las capacidades sobre el número efectivo de bits (ENOB) se muestran en la Fig. 5. Tal y como puede apreciarse en la figura, las variaciones de este parámetro afectan de diferente manera a las prestaciones del ADC, dependiendo de a qué etapa se aplican.

Se han estudiado también otros efectos relativos a la presencia de ruido en las tensiones internas de referencia, modelizando dicho ruido en VHDL-AMS. Las simulaciones para diferentes valores de ruido han mostrado cómo el ENOB decrece por encima de un nivel [4], mientras que se mantienen dentro de las especificaciones si no se alcanza dicho nivel.

4 Conclusiones

En este trabajo se ha comenzado presentado de forma sucinta el diseño de un ADC *pipeline* dirigido a aplicaciones de altas prestaciones. La complejidad de este tipo de sistemas exige que se busquen formas de economizar al máximo las simulaciones, disminuyendo en lo posible el número de iteraciones del ciclo de diseño hasta ajustarse a las especificaciones. Para conseguirlo hemos presentado una metodología de evaluación de prestaciones a alto nivel de estos sistemas basada en la generación de modelos VHDL-AMS. El carácter comportamental y alto nivel descriptivo de estos modelos permite una reducción drástica de los recursos y tiempo

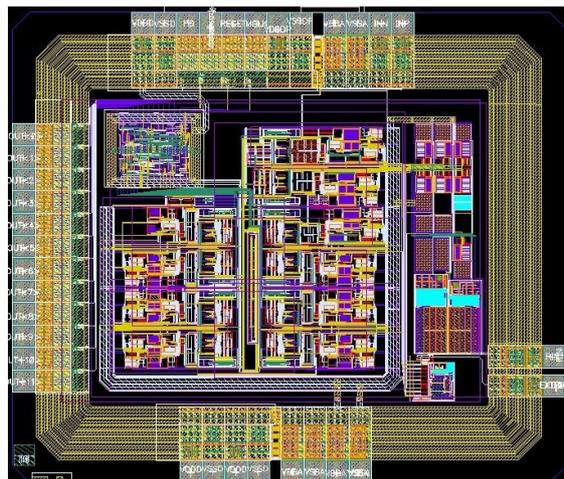


Figura 6. Layout del ADC pipeline.

de simulación respecto a las simulaciones eléctricas de estos circuitos. Las prestaciones de los ADC se han evaluado en términos de la variación de ciertos parámetros, poniendo a prueba la efectividad de los modelos propuestos.

Por último, en la Fig. 6 se muestra el layout del ADC diseñado y fabricado. El tamaño del circuito, incluyendo los pads de conexión, es de $2.4 \times 2 \text{ mm}^2$, y la disipación de potencia es de 40 mA para una alimentación de 3.3 V. La tecnología usada ha sido una CMOS C35B4 de AustriaMicroSystem AG.

Agradecimientos

Los autores desean agradecer la financiación recibida de la Fundación Séneca de la Región de Murcia y de los Ministerios de Ciencia y Tecnología y de Educación y Ciencia, a través de los proyectos de investigación cuyas referencias respectivas son 03094/PI/05, TIC2003-09400-C04-02 y TIN2006-15460-C04-04.

Referencias

- [1] "Definition of analog and mixed signal extensions to IEEE Standard VHDL", IEEE Std 1076.1-1999.
- [2] P.Frey y D. O'Riordan "Verilog-AMS – Mixed signal simulation and cross domain connect modules", Proc. 2000 IEEE/ACM Int. Workshop Behav. Model. Simul., 2000, pp. 103-108.
- [3] M. Abo y P. R. Gray "A 1.5-V, 10-bit, 14.3-MS/s CMOS Pipeline Analog-to-Digital Converter" en IEEE Journal of Solid-State Circuits, vol. 34, no. 5, mayo 1999.
- [4] J. A. Diaz-Madrid, G. Doménech-Asensi, J. A. López-Alcantud, H. Neubauer "VHDL-AMS model of a 40M/S 12 Bits Pipeline ADC" en Proc. of Intl. Conf. Mixed Design of Integrated Circuits and Systems, junio 2006, pp 555-560