

Capítulo 5
Periféricos.

Índice

5. Periféricos

- 5.1. Puertos Digitales de Entrada/Salida (E/S)
 - 5.1.1. E/S digitales y funciones de compartimiento de pines
 - 5.1.2. Registros de Control de las E/S Digitales
- 5.2. Módulo PLL de Reloj
 - 5.2.1. Operación de Reloj PLL
 - 5.2.2. Registros de Control de los Relojes del PLL
- 5.3. Convertidor A/D dual de 10 bits (ADC)
 - 5.3.1. Funcionamiento del ADC
 - 5.3.2. Descripción de los pines del ADC
 - 5.3.3. Modos de operación del Módulo ADC
 - 5.3.4. Muestreo y Conversión de señales Analógicas
 - 5.3.5. Registros del ADC
- 5.4. Interfaz de Memoria Externa
 - 5.4.1. Interfaz para Memoria externa de Programa
 - 5.4.2. Interfaz para la Memoria externa de Datos Locales
 - 5.4.3. Diagramas de tiempo del Interfaz de Memoria.
 - 5.4.4. Generador de Estados de Espera
- 5.5. Módulo de Interfaz de Comunicación Serie
 - 5.5.1. Introducción
 - 5.5.2. Formato de los datos de comunicación del SCI
 - 5.5.3. Modos de comunicación Multiprocesador y Asíncrona
 - 5.5.4. Comunicación Multiprocesador
 - 5.5.5. Comunicación asíncrona del SCI

- 5.5.6. Registros de Control del SCI
- 5.6. Módulo de Interfaz serie para Periféricos (SPI)
 - 5.6.1. Introducción
 - 5.6.2. Modos de operación del SPI
 - 5.6.3. Formato de los datos del SPI
 - 5.6.4. Valores después del reinicio
 - 5.6.5. Registros del SPI
- 5.7. Módulo Watchdog y de interrupciones en tiempo real
 - 5.7.1. Introducción
 - 5.7.2. Watchdog o “Perro Guardián” (WD)
 - 5.7.3. Temporizador de Interrupciones en Tiempo Real (RTI)
 - 5.7.4. Registros del Módulo WD/RTI
- 5.8. Módulo Administrador de Sucesos
 - 5.8.1. Introducción
 - 5.8.2. Direcciones de los Registros del EV
 - 5.8.3. Temporizadores de Propósito General (GP)
 - 5.8.3.1. Entradas del Temporizador GP
 - 5.8.3.2. Salidas del Temporizador GP
 - 5.8.3.3. Control de las operaciones del temporizador GP
 - 5.8.3.4. Registro de control del temporizador GP
 - 5.8.3.5. Registro de comparación del temporizador GP
 - 5.8.3.6. Registro de periodo del temporizador GP
 - 5.8.3.7. Almacenamiento doble de los Registros de Comparación y Periodo
 - 5.8.3.8. Dirección de conteo del Temporizador GP
 - 5.8.3.9. Reloj de los Temporizadores GP
 - 5.8.3.10. Temporizador de 32 Bits
 - 5.8.3.11. Entrada de Reloj con base en el QEP
 - 5.8.3.12. Sincronización de los Temporizadores GP
 - 5.8.3.13. Comienzo del ADC provocado por los Temporizadores GP
 - 5.8.3.14. Interrupciones de los Temporizadores GP
 - 5.8.4. Temporizador GP en Operación de Conteo
 - 5.8.4.1. Modo de cuenta Stop/Hold
 - 5.8.4.2. Conteo único ascendente
 - 5.8.4.3. Conteo continuo ascendente

- 5.8.4.4. Conteo direccional ascendente/descendete
- 5.8.4.5. Conteo único ascendente/descendete
- 5.8.4.6. Conteo continuo ascendente/descendete
- 5.8.5. Temporizador GP en Operación de Comparación
 - 5.8.5.1. Temporizador GP para la generación de ondas Simétricas/Asimétricas
 - 5.8.5.2. Salida lógica
 - 5.8.5.3. Salida del comparador en el modo de conteo direccional ascendente/descendente
 - 5.8.5.4. Calculo del tiempo activo/inactivo
- 5.8.6. Generación de Comparaciones y PWM mediante el uso de Temporizadores GP
 - 5.8.6.1. Generación de la salida de comparación
 - 5.8.6.2. Generación de PWM
 - 5.8.6.3. Reset del temporizador GP
- 5.8.7. Unidades de comparación
 - 5.8.7.1. Unidades de comparación simple
 - 5.8.7.2. Unidades de comparación completa
 - 5.8.7.3. Entradas/Salidas de las unidades de comparación completa
 - 5.8.7.4. Modos de operación de la comparación completa
 - 5.8.7.5. Modo Comparación
 - 5.8.7.6. Modo PWM
 - 5.8.7.7. Configuración de los registros para la operación de comparación completa
 - 5.8.7.8. Registros de las Unidades de Comparación
 - 5.8.7.9. Interrupciones de las unidades de comparación
 - 5.8.7.10. Reset de las Unidades de Comparación
- 5.8.8. Circuitos PWM asociados con las Unidades de Comparación Completa
 - 5.8.8.1. Características de la generación de PWM
 - 5.8.8.2. Unidad de tiempo-muerto programable
 - 5.8.8.3. Entradas y salidas de la unidad de tiempo-muerto
 - 5.8.8.4. Generación de tiempo-muerto
- 5.8.9. Salida Lógica
- 5.8.10. Generación de ondas mediante PWM

- 5.8.10.1. Señales PWM
- 5.8.10.2. Generación de la señal PWM
- 5.8.10.3. Tiempo-muerto
- 5.8.10.4. Generación de salidas PWM mediante el Módulo Administrador de Sucesos
- 5.8.10.5. Generación de PWM asimétrico y simétrico
- 5.8.10.6. Configuración de los registros para la generación de PWM
- 5.8.10.7. Generación de forma de onda PWM Asimétrica
- 5.8.10.8. Generación de forma de onda PWM Simétrica
- 5.8.11. PWM Vector-espacio
 - 5.8.11.1. Inversor de potencia trifásico
 - 5.8.11.2. Patrón de encendido de un Inversor de potencia y los Vectores Espacio básicos
 - 5.8.11.3. Aproximación de la tensión del motor mediante Vectores de Espacio básicos
 - 5.8.11.4. Generación de onda vector-espacio PWM mediante el Administrador de Sucesos
- 5.8.12. Unidades de Captura
 - 5.8.12.1. Operación de las Unidades de Captura
 - 5.8.12.2. Registros de las Unidades de Captura
 - 5.8.12.3. Pilas FIFO de las Unidades de Captura
- 5.8.13. Circuito de cuadratura de pulso de encóder
 - 5.8.13.1. Operación de decodificación del QEP
 - 5.8.13.2. Conteo del QEP
 - 5.8.13.3. Configuración de los registros para el circuito QEP
- 5.8.14. Interrupciones del Módulo Administrador de Sucesos
 - 5.8.14.1. Grupos de interrupciones
 - 5.8.14.2. Generación de interrupciones
 - 5.8.14.3. Vectores de interrupción
 - 5.8.14.4. Manejo de las interrupciones
 - 5.8.14.5. Registros de los flags de interrupción del EV

Capítulo 5

Periféricos.

5.1. Puertos Digitales de Entrada/Salida (E/S).

El módulo de puertos digitales de E/S nos permite una vía flexible para controlar las funciones de los pines de E/S, ya sean los que tienen un uso único como entrada/salida así como los que también tienen funciones compartidas. Todas las E/S y las funciones de compartimiento de pines son controladas mediante cinco registros de 16 bits, los cuales están mapeados. Estos registros se clasifican en tres tipos:

- Registros de control de la salida: Se usan para el control directo de los pines de S/P.
- Registros de control de datos: Se usan para controlar los datos sobre los pines de las E/S direccionales. Los registros están conectados directamente a los pines direccionales de E/S.
- Registros de control de direcciones: Se usan para controlar las direcciones de los datos sobre los pines direccionales de E/S. Los registros están conectados directamente a los pines direccionales de E/S.

5.1.1. E/S digitales y funciones de compartimiento de pines.

El ‘C240 posee un total de 28 pines para la comunicación con el exterior, los cuales se comparten entre las funciones primarias pertenecientes a determinados periféricos y la actuación como E/S para la comunicación. Estos pines se dividen en dos grupos:

- **Grupo 1.** Está formado por las funciones primarias pertenecientes a los puertos de E/S específicos A, B y C.
- **Grupo 2.** Está formado por las funciones primarias pertenecientes a los módulos de periféricos los cuales tienen la capacidad de comunicación E/S como una función secundaria. Algunos ejemplos son: SCI, SPI, Interrupciones Externas, y el módulo PLL de reloj.

Descripción del Grupo1 de pines compartidos de E/S.

Este grupo está formado básicamente por tres entidades de pines, considerándose además para cada pin tres bits que se encargan de definir su operación. Estos tres bits son:

- Bit del MUX para el control. Este bit selecciona las funciones primaria (1) o de E/S (0) del pin.
- Bit de dirección de E/S. Este bit determina si el pin está actuando como una entrada (0) o como una salida (1) cuando este se encuentra ejecutando la operación de E/S (el bit del MUX para control vale 0).
- Bit de E/S de datos. Los datos son leídos desde este bit si la función de E/S del pin se encuentra activa (el bit del MUX para control vale 0) y la dirección seleccionada es una entrada. Los datos son escritos en este bit si la dirección elegida es una salida.

A continuación se muestra una tabla con las posibles configuraciones del bit del MUX de control, el bit de E/S de direcciones y el bit de E/S de datos, dentro de los registros de control de E/S, y su efecto:

Nº de Pin	Registro de control del MUX (nombre.Nºbit)	Selección de función del Pin		Puerto de E/S, datos y direcciones		
		(CRx.n =1)	(CRx.n =0)	Registro	Nº del bit de datos	Nº del bit de direcciones
72	CRA.0	ADCIN0	IOPA0	PADATDIR	0	8
73	CRA.1	ADCIN1	IOPA1	PADATDIR	1	9
91	CRA.2	ADCIN9	IOPA2	PADATDIR	2	10
90	CRA.3	ADCIN8	IOPA3	PADATDIR	3	11
100	CRA.8	PWM7/CMP7	IOPB0	PADATDIR	0	8
101	CRA.9	PWM8/CMP8	IOPB1	PADATDIR	1	9
102	CRA.10	PWM9/CMP9	IOPB2	PADATDIR	2	10
105	CRA.11	T1PWM/T1CMP	IOPB3	PADATDIR	3	11
106	CRA.12	T2PWM/T2CMP	IOPB4	PADATDIR	4	12
107	CRA.13	T3PWM/T3CMP	IOPB5	PADATDIR	5	13
108	CRA.14	TMRDIR	IOPB6	PADATDIR	6	14
109	CRA.15	TMRCLK	IOPB7	PADATDIR	7	15
63	CRB.0	ADCSOC	IOPC0	PADATDIR	0	8
64	0 0	IOPC1		PCDATDIR	1	9
	0 1	CLKOUT (Watchdog clock)		—	—	—
	1 0	CLKOUT (SYSCLK)		—	—	—
	1 1	CLKOUT (CPUCLK)		—	—	—
65	CRB.2	IOPC2	XF	PCDATDIR	2	10
66	CRB.3	IOPC3	BIO	PCDATDIR	3	11
67	CRB.4	CAP1/QEP1	IOPC4	PCDATDIR	4	12
68	CRB.5	CAP2/QEP2	IOPC5	PCDATDIR	5	13
69	CRB.6	CAP3	IOPC6	PCDATDIR	6	14
70	CRB.7	CAP4	IOPC7	PCDATDIR	7	15

Descripción del Grupo2 de pines compartidos de E/S.

El Grupo 2 de pines compartidos pertenece a los periféricos, los cuales poseen la capacidad de comunicación de propósito general a través de las E/S. La configuración y el control para estos pines se consigue mediante la actuación sobre los apropiados bits dentro de los registros de control y configuración de los periféricos. A continuación se muestra en una tabla la relación de estos pines con sus periféricos correspondientes y la actuación provocada:

Nº de Pin	Función Primaria	Módulo Periférico
43	SCIRXD	SCI
44	SCITXD	SCI
45	SPISIMO	SPI
48	SPISOMI	SPI
49	SPICLK	SPI
51	SPISTE	SPI
54	XINT2	Interrupciones externas
55	XINT3	Interrupciones externas

5.1.2. Registros de Control de las E/S Digitales.

Como ya se comentó anteriormente, el módulo de E/S está regido por la configuración de cinco registros. Como ocurre con otros periféricos del C'240, estos registros están mapeados con la memoria de datos. A continuación se visualiza una tabla en la que se identifica cada registro con su dirección de memoria correspondiente y su nombre.

Dirección	Registro	Nombre
7090h	OCRA	Registro A de control del MUX de E/S
7092h	OCRB	Registro B de control del MUX de E/S
7098h	PADATDIR	Registro de Datos y Direcciones del puerto A de E/S
709Ah	PBDATDIR	Registro de Datos y Direcciones del puerto B de E/S
709Ch	PCDATDIR	Registro de Datos y Direcciones del puerto C de E/S

Cada uno de estos registros contiene en su interior una serie de bits que son los encargados de realizar su configuración. El contenido en bits y la función de cada uno de ellos es la siguiente:

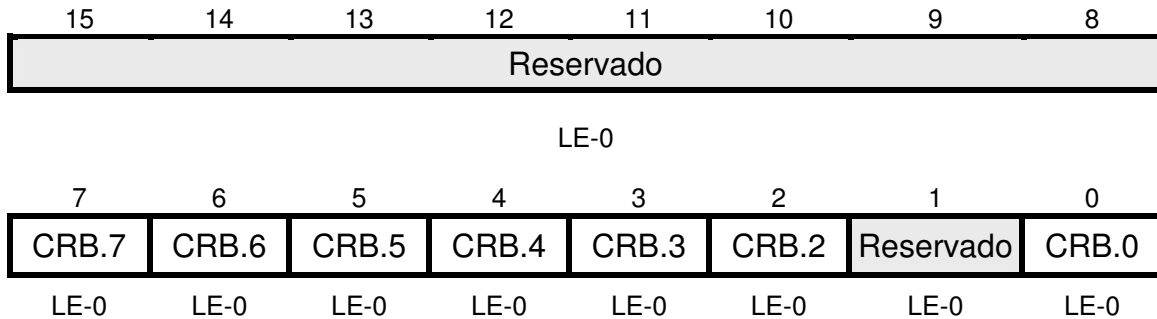
-- Registro A de control del MUX de E/S (OCRA). Dirección 7090h.--

15	14	13	12	11	10	9	8
CRA.15	CRA.14	CRA.13	CRA.12	CRA.11	CRA.10	CRA.9	CRA.8
LE-0	LE-0	LE-0	LE-0	LE-0	LE-0	LE-0	LE-0
7	6	5	4	3	2	1	0
Reservado				CRA.3	CRA.2	CRA.1	CRA.0
LE-0	LE-0	LE-0	LE-0	LE-0	LE-0	LE-0	LE-0

Nota: L=acceso de lectura, E=acceso de escritura, -0=valor después de reset.

La configuración de los bits de este registro y su acción se muestran en la primera tabla recogida en este capítulo.

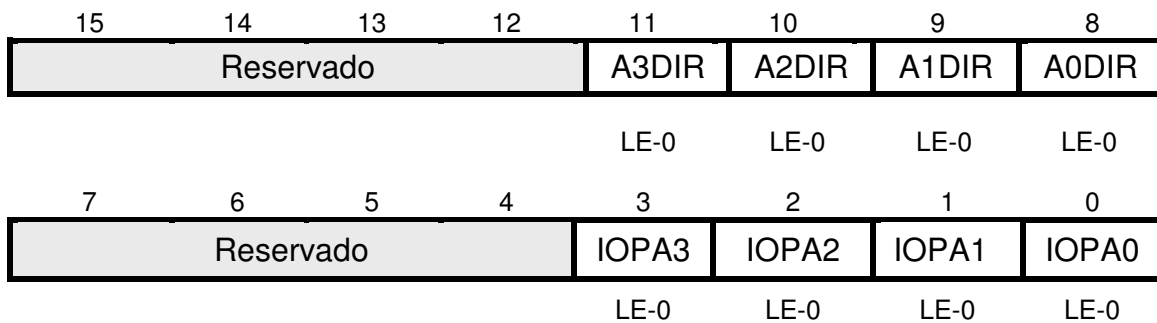
-- Registro B de control del MUX de E/S (OCRB). Dirección 7092h. --



Nota: L=acceso de lectura, E=acceso de escritura, -0=valor después de reset.

La configuración de los bits de este registro y su acción se muestran en la primera tabla recogida en este capítulo.

-- Registro de Datos y Direcciones del puerto A de E/S (PADATDIR). Dirección 7098h. --



Nota: L=acceso de lectura, E=acceso de escritura, -0=valor después de reset.

Bits 15-12 Reservados.

Bits 11-8 A3DIR-A0DIR. Bits de control de dirección del Puerto A.

0= Configura como ENTRADA el bit correspondiente.

1= Configura como SALIDA el bit correspondiente.

Bits 7-4 Reservados.

Bits 3-0 IOPA3-IOPA0. Bits de datos del Puerto A.

Si los bits AnDIR=0, entonces se pueden habilitar los siguientes valores:

0= Se lee un Nivel Bajo en el correspondiente pin de E/S.

1= Se lee un Nivel Alto en el correspondiente pin de E/S.

Si los bits AnDIR=1, entonces se pueden habilitar los siguientes valores:

0= Se establece un Nivel Bajo como salida en el correspondiente pin de E/S.

1= Se establece un Nivel Alto como salida en el correspondiente pin de E/S.

-- Registro de Datos y Direcciones del puerto B de E/S (PBDATDIR). Dirección 709Ah. --

15	14	13	12	11	10	9	8
B7DIR	B6DIR	B5DIR	B4DIR	B3DIR	B2DIR	B1DIR	B0DIR
LE-0	LE-0	LE-0	LE-0	LE-0	LE-0	LE-0	LE-0
7	6	5	4	3	2	1	0
IOPB7	IOPB6	IOPB5	IOPB4	IOPB3	IOPB2	IOPB1	IOPB0
LE-0	LE-0	LE-0	LE-0	LE-0	LE-0	LE-0	LE-0

Nota: L=acceso de lectura, E=acceso de escritura, -0=valor después de reset.

Bits 15-8 B7DIR-B0DIR. Bits de control de la dirección del Puerto B.

0 = Configura el correspondiente Pin como una Entrada.

1 = Configura el correspondiente Pin como una Salida.

Bits 7-0 IOPB7-IOPB0. Bits de datos del Puerto B.

Si los bits BnDIR=0, entonces se pueden habilitar los siguientes valores:

0= El bit de E/S correspondiente se lee como un nivel BAJO.

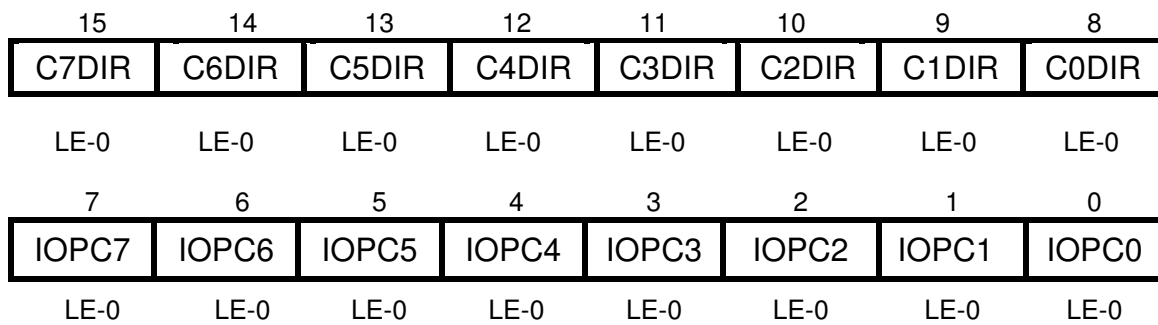
1= El bit de E/S correspondiente se lee como un nivel ALTO.

Si los bits BnDIR=1, entonces se pueden habilitar los siguientes valores:

0= Se establece un Nivel BAJO como salida en el correspondiente pin de E/S.

1= Se establece un Nivel ALTO como salida en el correspondiente pin de E/S.

**-- Registro de Datos y Direcciones del puerto C de E/S (PCDATDIR).
Dirección 709Ch. --**



Nota: L=acceso de lectura, E=acceso de escritura, -0=valor después de reset.

Bits 15-8 C7DIR-C0DIR. Bits de control de la dirección del Puerto C.

0 = Configura el correspondiente Pin como una Entrada.

1 = Configura el correspondiente Pin como una Salida.

Bits 7-0 IOPC7-IOPC0. Bits de datos del Puerto C.

Si los bits CnDIR=0, entonces se pueden habilitar los siguientes valores:

0= El bit de E/S correspondiente se lee como un nivel BAJO.

1= El bit de E/S correspondiente se lee como un nivel ALTO.

Si los bits CnDIR=1, entonces se pueden habilitar los siguientes valores:

0= Se establece un Nivel Bajo como salida en el correspondiente pin de E/S.

1= Se establece un Nivel Alto como salida en el correspondiente pin de E/S.

5.2. Módulo PLL de Reloj.

El módulo PLL de Reloj proporciona al procesador DSP C240 todas las señales de reloj necesarias para el funcionamiento del sistema. El medio por el cual actúa este módulo sobre todas las aplicaciones del dispositivo es a través del bus de periféricos.

Existen cuatro dominios de reloj donde cada uno de ellos trabaja a una frecuencia diferente:

- **CPUCLK.** Este es el reloj de mayor frecuencia que circula por el sistema y es utilizado por la CPU y todas las memorias y periféricos conectados directamente a los buses de la CPU, incluido el interfaz de memoria externa, en el caso de que este se encuentre activo. Todos los demás relojes son derivaciones de este aplicándole una división de frecuencia para obtener una frecuencia menor.
- **SYCLK.** Este reloj funciona a una frecuencia que es la mitad o un cuarto de la señal de reloj principal CPUCLK. Su misión es la de dar señal de reloj a los periféricos conectados al bus de periféricos.
- **WDCLK.** Este es el reloj de menor frecuencia el cual es utilizado por el Watchdog y el módulo de interrupciones en tiempo real. Posee una frecuencia nominal de 16 KHz con un ciclo libre del 25%.

El módulo de reloj opera con un cristal de referencia de 4, 6 u 8 MHz junto con su propio circuito de oscilación interno, o en su caso con un generador de señal externo trabajando a una frecuencia entre 2-20 MHz. El PLL puede multiplicar la frecuencia de entrada por factores de 1, 2, 3, 4, 5 y 9. Además la señal de entrada de reloj puede ser dividida por dos antes de realizar esta multiplicación para así conseguir otros factores de multiplicación con valores 1.5, 2.5 y 4.5. La configuración de la frecuencia de reloj de la CPU se realiza mediante software maniobrando sobre los registros de control oportunos y se puede establecer una frecuencia desde 2 MHz hasta la máxima velocidad admitida por el procesador que es 20 MHz.

En los registros de control del módulo de reloj también podemos encontrar unos bits dedicados a la configuración de los modos de operación de bajo consumo de energía los cuales determinan qué relojes son apagados cuando la CPU se pone en estado de espera.

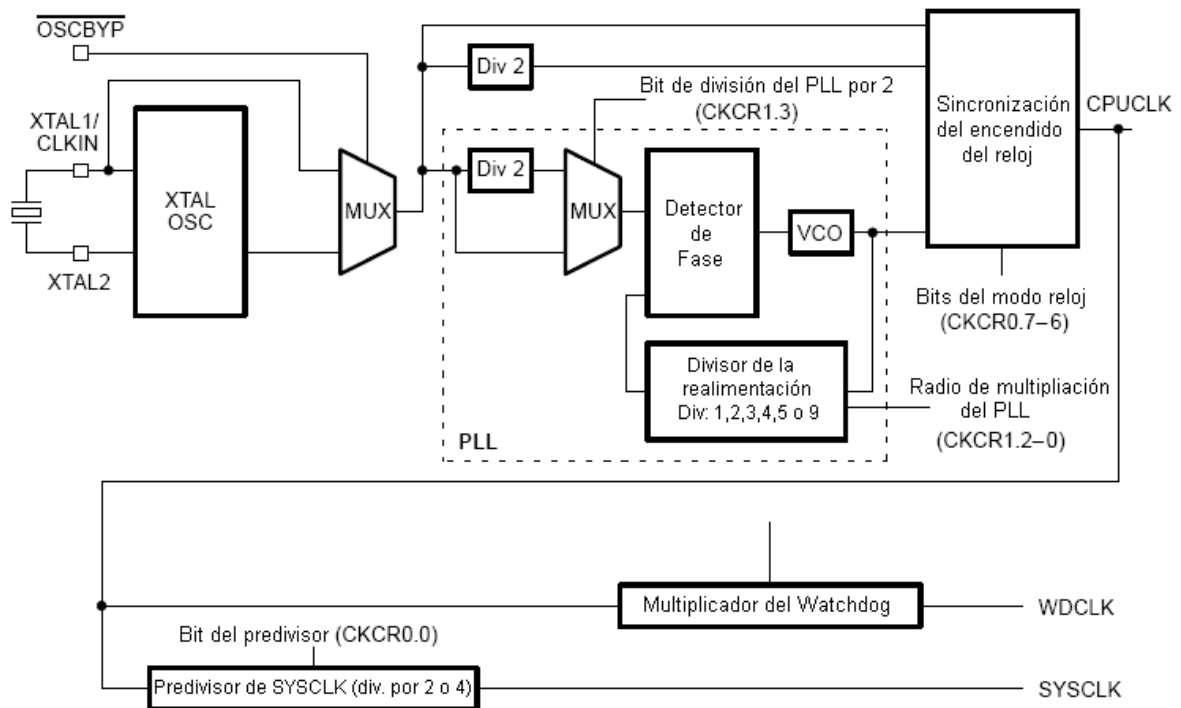


Figura 5.1 – Diagrama de bloques del Módulo de Reloj PLL.

Los registros de control de los relojes son los dos siguientes:

- **CKCR0** (Registro de control de reloj 0). **Dirección 702Ah.**

Este registro contiene los bits que se usan para el control general del módulo de reloj, tal como el modo de reloj, la selección del modo de bajo consumo, selección de la preescala SYSCLK y los “flags” de estado.

- **CKCR1** (Registro de control de reloj 1). **Dirección 702Ch.**

Este registro especifica el factor de multiplicación del PLL (si está habilitado) y la frecuencia del reloj de entrada.

5.2.1. Operación de Reloj PLL.

En este apartado se va a describir el método de operación y funcionalidad del Módulo PLL de Reloj, los cuales se apoyan en los siguientes elementos:

- Descripción de los pines.
- Modos de operación del oscilador.
- Modos de operación del PLL.
- Selección de la frecuencia de la señal del reloj de la CPU (CPUCLK).
- Selección de la preescala de señal del reloj del sistema (SYSCLK).
- Señal del temporizador del Watchdog (WDCLK).
- Inicialización del PLL.
- Modos de bajo consumo.

1) Descripción de los pines.

El Módulo PLL tiene asociados tres pines:

□ OSCBYP.

El pin de oscilador puente (bypass) es utilizado para elegir si el oscilador es puentado o no. Si el dispositivo es utilizado con una entrada de fuente de pulsos externa, esta señal debe ser conectada a 0V para puentear el circuito oscilador de cristal de referencia.

□ XTAL1/CLKIN.

El pin de entrada del oscilador (XTAL1/CLKIN) está normalmente unido a una de las patillas de un cristal de referencia de 4, 6 u 8 MHz. Este pin puede ser también usado como una vía de entrada de reloj para una señal externa.

□ XTAL2.

Este es el pin de salida del oscilador (XTAL2). Puede estar unido a la otra patilla de un cristal de referencia de 4, 6 u 8 MHz o dejado al aire cuando el reloj externo se transmite a través de XTAL1/CLKIN.

2) Modos de operación del Oscilador.

El oscilador posee dos modos de operación: modo oscilador y oscilador puente (fuente de pulsos):

□ Modo Oscilador.

Este es el modo de operación normal cuando se usa de referencia un cristal externo. Este modo es activado cuando se introduce un nivel alto (V_{IH}) en la patilla OSCBYP y un cristal de 4, 6, u 8 MHz es conectado entre las patillas XTAL1 y XTAL2, para así generar una frecuencia de reloj de referencia. Hay que tener en cuenta que después del encendido del sistema es necesario un periodo de tiempo de por lo menos 1 ms para que el circuito del cristal oscilador inicie su funcionamiento y de una señal homogénea.

□ Modo Fuente de Pulsos.

El circuito de oscilación se puede activar introduciendo un nivel bajo (V_{IL}) en la patilla OSCBYP. Esto permite al procesador recibir una señal de reloj externa a través del pin XTAL1/CLKIN. El circuito de oscilación se apaga cuando se produce el puente.

Nivel en el pin OSCBYP (negado)	Modo de operación del Oscilador
V_{IH}	Modo oscilador
V_{IL}	Modo oscilador puente (fuente de pulsos)

3) Modos de Operación del circuito PLL.

El módulo de reloj puede operar con el PLL como fuente de pulsos o con un reloj puente con división de frecuencia de 1 o 2.

Los bits CLKMD(1:0) (CKCR0.7-6) determinan la fuente de reloj de la siguiente manera:

CLKMD(1:0)	Modo
00	CLKIN / 2
01	CLKIN
10	PLL
11	PLL

Nota: El circuito PLL estará activo si se encuentra habilitado el bit CLKMD(1) = 1.

El PLL posee un contador para asegurar que pasa el tiempo suficiente para que el PLL procese todas las señales de reloj antes de que el sistema comience a recibir estas. Este contador de bloqueo se pone a cero cuando se produce un reset del sistema. El bit PLLLOCK(1) del registro CKCR0 indica que el contador del PLL ha finalizado, el PLL está en funcionamiento y el sistema se encuentra ya trabajando con los relojes del PLL.

El factor de multiplicación del PLL se puede configurar para que multiplique la frecuencia de entrada por 1, 2, 3, 4, 5, y 9. Esto se establece mediante los bits PLLFB(2:0) del registro CKCR1. Adicionalmente, la señal de reloj que entra al circuito PLL puede ser dividida por 2 antes de ser procesada para conseguir factores de multiplicación de 1.5, 2.5, y 4.5. Esto se configura con el bit PLLDIV2 del registro CKCR1.

4) Selección de la Frecuencia de Reloj de la CPU (CPUCLK).

El módulo de reloj PLL permite la posibilidad de generar una de muchas frecuencias de reloj para la CPU (CPUCLK) programadas mediante software, partiendo de la señal de un cristal o una fuente de pulsos. La elección de la frecuencia del CPUCLK se realiza mediante cuatro bits del registro de control CKCR1:

- Bits de rango de multiplicación del PLL, PLLFB(2:0) (CKCR1.2-0). Estos bits controlan el factor de multiplicación del módulo PLL.
- Bit de control de división por 2 de la entrada del PLL, PLLDIV2 (CKCR1.3). Este bit controla si la señal de entrada del PLL está dividida por 2.

La siguiente formula indica la frecuencia de reloj de la CPU que se obtendrá según la frecuencia de reloj del cristal y los valores programados en los registros:

$$f_{\text{CPUCLK}} = f_{\text{CKIN}} \cdot (\text{Factor de multiplicación del PLL}) / 2^{\text{PLLDIV2}}$$

Hay que tener en cuenta que la frecuencia de reloj máxima de la CPU es de 20MHz.

A continuación se muestra una tabla que ejemplifica los resultados de frecuencia de reloj de la CPU según varias frecuencias de entrada y factores de multiplicación del PLL:

Frecuencia de la señal de entrada en MHz.	Factor de multiplicación del PLL * 2 ^{PLLDIV2}								
	1	1.5	2	2.5	3	4	4.5	5	9
2	2	3	4	5	6	8	9	10	18
4	4	6	8	10	12	16	18	20	
6	6	9	12	15	18				
8	8	12	15	20					
10	10	15	18						
12	12	18							
14	14								
16	16								
18	18								
20	20								

5) Selección de la frecuencia del Reloj del Sistema (SYSCLK).

La frecuencia del reloj del Sistema (SYSCLK) es generada mediante la división por 2 o 4 del CPUCLK. El divisor SYSCLK es controlado por el bit de selección de preescala, PLLPS (CKCR0.0). Este bit controla dos posibles opciones de preescala, como se muestra en la siguiente tabla:

PLLPS (CKCR0.0)	Preescala para el SYSCLK
0	CPUCLK dividido por 4
1	CPUCLK dividido por 2

6) Reloj del Contador Watchdog (WDCLK).

El Módulo de Reloj PLL también lleva incluida la generación de una señal de reloj de contador (WDCLK) para el Watchdog, WD/RTI. El WDCLK es generado mediante la división del CPUCLK para conseguir una señal de aproximadamente 16.384 Hz. La señal de reloj WDCLK es producida por un circuito divisor el cual es controlado mediante los bits PLLFB(2:0), PLLDIV2, CKINF (3:0), CLKMD (1:0), y PLOCK(1). Es de gran importancia la precaución de que los bits pertenecientes al registro CKINF(3:0) estén bien configurados, ya que de no ser así la frecuencia del WDCLK será incorrecta.

7) Arranque del PLL.

Cuando se arranca por primera vez el procesador, el PLL ni está seleccionado ni alimentado, el dispositivo se encuentra funcionando con la señal de reloj, ya sea un cristal o un generador externo de pulsos, dividida por dos (CLKMD = 00). Los bits CLKMD(1:0) son puestos a 0 por el reset provocado por la conexión del dispositivo, tales como son los bits PLLFB(2:0) y PLLDIV2.

8) Modos de Bajo Consumo.

Cuando se ejecuta la función *IDLE*, se produce el ahorro de energía mediante el apagado de algunas o todas las fuentes de reloj que posee internamente el procesador. Para la consecución de este ahorro de energía existen tres dominios de relojes diferentes que pueden ser apagados independientemente.

- ❑ **Dominio de Reloj de la CPU.** Todos los relojes implicados con la memoria de la CPU excepto los registros dedicados a las interrupciones.
- ❑ **Dominio de Reloj del sistema.** Comprende todos los relojes de periféricos (CPUCLK o SYSCLK) y los de los registros de interrupción de la CPU.
- ❑ **Reloj del Watchdog.** Es el reloj de 16 KHz utilizado para incrementar el temporizador del WatchDog (WDCLK).

Con el empleo de la instrucción IDLE conseguimos que el procesador entre en uno de los cuatro modos de bajo consumo. El modo de bajo consumo que elijamos depende del valor de los bits PLLPM(1:0) (CKCR0.3-2). El valor de estos bits y su consecuente actuación sobre los relojes del DSP se puede ver en la siguiente tabla:

Modo de Bajo Consumo	Bits PLLPM(1:0)	Dominio de Reloj de la CPU	Dominio de Reloj del Sistema	WDCLK	Estado del PLL	Estado del Oscilador	Condición de Salida	Descripción
X + no IDLE	XX	On	On	On	On	On		Modo de funcionamiento normal
0 + IDLE LPM0 (IDLE1)	00	Off	On	On	On	On	Interrupción, Reset	Idle1
1 + IDLE LPM1 (IDLE2)	01	Off	Off	On	On	On	Interrupción de reencendido, Reset	Idle2
2 + IDLE LPM2 (Apagado del PLL)	10	Off	Off	On	Off	On	Interrupción de reencendido, Reset	Apagado del PLL
3 + IDLE LPM3 (Apagado del oscilador)	11	Off	Off	Off	Off	Off	Interrupción de reencendido, Reset	Apagado del Oscilador

El Modo de bajo consumo puede ser anulado por un Reset o una interrupción de reconexión de ámbito individual o global. Las interrupciones de reconexión disponibles son específicas del procesador, pero normalmente incluyen la interrupción de tiempo real (RTI) y las interrupciones externas (XINTn).

Si el módulo PLL es seleccionado en el momento de salir de LPM2 o LPM3, esto retrasa el comienzo de los relojes aproximadamente 100 μ s hasta que el PLL se normalice. Además cuando se está saliendo de LPM3 con el oscilador conectado a un cristal, se produce un retraso de alrededor de 1 ms mientras que el oscilador se vuelve a conectar. Si el oscilador es una fuente de pulsos externa no se produce ningún retraso.

Cuando se activa el LPM3, el WDCLK se apaga simultáneamente. Debe producirse un retraso mientras el procesador espera para que el WDCLK introduzca su señal comandante interna antes de que los Dominios de Reloj de la CPU y el Sistema se apaguen.

El Modo LPM2 apaga los relojes de todos los módulos, excepto el de WDCLK. Esto significa que el WatchDog permanecerá activo durante el modo LPM2. Esto provoca que dado que la CPU no estará activa, el WatchDog no será refrescado y por tanto provocará la salida del Modo de Bajo Consumo LPM2 mediante un reset del WD cuando este se vea desbordado. Si la interrupción RTI está activa, esta interrumpirá la CPU con una señal de reconexión, provocando que el procesador salga de su estado de letargo.

El Modo de Bajo Consumo LPM3 detiene todas las señales de reloj internas y apaga el PLL y el oscilador. Esto detiene todos los módulos, incluido el WD/RTI, consiguiendo el mínimo consumo de energía posible.

A continuación se hará un estudio detallado de cuales son las actuaciones realizadas sobre el sistema por cada uno de los Modos de Bajo Consumo que están programados:

LPM0.

Secuencia de Entrada:

- 1) El Dominio de Reloj de la CPU es apagado inmediatamente.
- 2) Los demás relojes continúan funcionando.

Salida mediante una interrupción o reset:

- 1) El Dominio de Reloj de la CPU comienza a funcionar inmediatamente.

LPM1.

Secuencia de entrada:

- 1) El Dominio de Reloj de la CPU es apagado inmediatamente.
- 2) Espera hasta que el Dominio de Reloj del Sistema se encuentra en estado alto y entonces para en ese estado.
- 3) WDCLK continúa trabajando.

Salida mediante una interrupción o reset:

- 1) Los relojes internos del Módulo de Reloj comienzan a funcionar inmediatamente.
- 2) Unos pocos ciclos después, los Dominios de Reloj de la CPU y el Sistema comienzan a funcionar otra vez.

LPM2.

Secuencia de entrada:

- 1) El Dominio de Reloj de la CPU es apagado inmediatamente.
- 2) Espera hasta que el Dominio de Reloj del Sistema se encuentra en estado alto y entonces se detiene en ese estado.
- 3) WDCLK continúa funcionando.
- 4) Los relojes conectados al PLL se ponen en modo 1 o 2.
- 5) El Circuito PLL se apaga.

Salida mediante una interrupción o reset:

- 1) El PLL se vuelve a encender y el contador cerrado comienza a contar. Los relojes internos del módulo de reloj empiezan a funcionar en el modo 1 o 2.
- 2) El Dominio de Reloj de la CPU y el Dominio de Reloj del Sistema comienzan a funcionar de nuevo.
- 3) Cuando el PLL se ha cerrado (el contador de fijación se ha completado), los relojes se vuelven a conectar automáticamente al PLL.

LPM3.

Secuencia de entrada:

- 1) El Dominio de Reloj de la CPU es apagado inmediatamente.
- 2) Espera hasta que el Dominio de Reloj del Sistema está en estado alto y entonces se detiene en ese estado.
- 3) WDCLK continúa funcionando.
- 4) Los relojes conectados al PLL se ponen en modo 1 o 2.
- 5) El circuito PLL se apaga.
- 6) WDCLK sigue funcionando hasta que la fase de la señal interna del WDCLK está a nivel Bajo.

- 7) La secuencia lógica de relojes se pone en estado “todos apagados”, lo que significa que todos los relojes internos se paran.
- 8) El oscilador, si se está usando, se apaga.

Salida mediante una interrupción o reset:

- 1) El oscilador se vuelve a habilitar pero la salida del oscilador no se estabilizará hasta pasado 1 ms.
- 2) Se colocarán los interruptores lógicos de los relojes en el estado 1 o 2, dependiendo del valor de bit CKMD(0).
- 3) El PLL se vuelve a encender y comienza a retener.
- 4) Los Dominios de Reloj de la CPU y el Sistema comienzan a funcionar de nuevo.
- 5) Cuando el PLL se ha saturado, los relojes se reenganchan al PLL automáticamente.

5.2.2. Registros de Control de los Relojes del PLL.

El Módulo de Reloj PLL es controlado y accedido a través de unos registros de memoria específicos de los cuales ya hicimos una breve mención al principio de este apartado. Estos registros son el CKCR0 y el CKCR1. A continuación veremos su estructura de bits con más profundidad:

-- Registro 0 de Control del Reloj (CKCR0). Dirección 702Bh --

7	6	5	4	3	2	1	0
CLKMD(1)	CLKMD(0)	PLLOCK(1)	PLLOCK(0)	PLLPM(1)	PLLPM(0)	Reservado	PLLPS
LE-x	LE-x	L-x	E-x	LE-0	LE-0		LE-0

Nota: L=acceso de lectura, E=acceso de escritura, -0=valor después de reset, -x= no afectado por el Reset.

Bits 7-6. CLKMD(1), CLKMD(0). Bits de Lectura/Escritura. Estos bits eligen el modo de operación del módulo de reloj.

CLKMD(1:0)	Modo
00	CLKIN / 2
01	CLIN
10	PLL Habilitado
11	PLL Habilitado

Si el sistema entra en un modo de bajo consumo que apague el PLL, en el momento de salida de ese modo el sistema funcionará con una señal CLKIN/2 hasta que el PLL se encuentre cargado si CLKMD vale 10, o funcionará con la misma señal CLKIN si CLKMD vale 11.

Bits 5-4. PLLOCK(1), PLLOCK(0). Bits de solo lectura. Estos bits indican cuando el PLL ha entrado en el modo seleccionado mediante los bits CLKMD(1:0). El Bit 0 realmente solo es necesario para el test del dispositivo. El Bit 1 puede ser usado para determinar si el PLL está bloqueado. Este bit puede ser manipulado mediante software después de habilitar el PLL para prevenir la ejecución en cualquier momento de código

prioritario sobre la configuración de conexiones de los relojes del PLL. Este bit no se ve afectado por el reset del sistema y toma el valor 0 cuando el dispositivo es encendido.

0 = PLL no bloqueado (Señal de reloj directamente del exterior).

1 = PLL bloqueado (Se activan los relojes del PLL).

Bits 3-2. PLLPM(1), PLLPM(0). Bits de Lectura/Escritura. Estos bits especifican el modo de bajo consumo que será establecido por la instrucción IDLE. Estos bits son borrados (00b) durante el encendido y reset del sistema, poniendo el modo LPM0 por defecto.

Bit 1. Reservado. Por defecto vale 0.

Bit 0. PLLPS. Bit de Lectura/Escritura. Este bit especifica cual de los dos valores de preescala se utilizará para los Relojes del Sistema. Este bit se pone a cero (0b) durante el encendido y reset del sistema, estableciendo por defecto la frecuencia CPUCLK/4 como señal de Reloj del Sistema (SYSCLK).

0 = $f(\text{SYSCLK}) = f(\text{CPUCLK}) / 4$

1 = $f(\text{SYSCLK}) = f(\text{CPUCLK}) / 2$

-- Registro 1 de Control del Reloj (CKCR1). Dirección 702Dh --

7	6	5	4	3	2	1	0
CKINF(3)	CKINF(2)	CKINF(1)	CKINF(0)	PLLDIV(2)	PLLFB(2)	PLLFB(1)	PLLFB(0)
LE-x	LE-x	LE-x	LE-x	LE-x	LE-x	LE-x	LE-x

Nota: L=acceso de lectura, E=acceso de escritura, -x= no afectado por el Reset.

Bits 7-4. CKINF(3)-CKINF(0). Bits de Lectura/Escritura. Estos bits indican la frecuencia de reloj, ya sea procedente de cristal o generador de pulsos, que se está utilizando. Este valor es usado por el divisor WDCLK para asegurar que se obtiene una

frecuencia de 16.384/ 15.625 Hz que es la frecuencia nominal requerida por el Contador del WatchDog.

CKINF(3:0)	Frecuencia (MHz)	CKINF(3:0)	Frecuencia (MHz)
0000	N/A	1000	16
0001	N/A	1001	14
0010	N/A	1010	12
0011	N/A	1011	10
0100	N/A	1100	8
0101	N/A	1101	6
0110	20	1110	4
0111	18	1111	2

Bit 3. PLLDIV(2). Bit de Lectura/Escritura. Este bit indica si la entrada del PLL está dividida por 2. La escritura sobre este bit no tiene efecto sobre el PLL hasta que los bits del CLKMD(1:0) son modificados del valor 1x. Este bit no se ve afectado por el reset del sistema y tomará el valor 0 en el momento del encendido.

0 = No se divide la entrada del PLL .

1 = La entrada del PLL se divide por 2.

Bits 2-0. PLLFB(2)-PLLFB(0). Bits de Lectura/Escritura. Estos bits especifican uno de 6 posibles factores de multiplicación del PLL. La escritura sobre este bit no tiene ningún efecto en PLL hasta que los bits CLKMD(1:0) son cambiados de 1 x. Estos bits no son afectados por el reset del sistema y son puestos a 0 en la conexión.

PLL(2:0)	Factor de multiplicación del PLL
000	1
001	2
010	3
011	4
100	5
101	9
110	1
111	1

5.3. Convertidor A/D dual de 10 bits (ADC).

El ADC es un convertidor de cadenas de 10 bits que incluye un circuito interno de muestreo y captura (“sample-and-hold”). El módulo ADC está formado por dos convertidores A/D de 10 bits con dos circuitos de muestreo y captura incorporados, de tal manera que dotan al C240 de 16 canales de entrada analógicos. A cada unidad ADC le corresponden ocho entradas analógicas, las cuales son administradas mediante un multiplexor analógico.

El tiempo total requerido por cada unidad de ADC para realizar la operación completa de adquisición de datos es de 6 μ s. La tensión de referencia del módulo ADC debe ser administrada por una fuente externa. Los valores de referencia tanto de nivel alto como bajo pueden ser establecidos a cualquier valor de tensión siempre que sea menor o igual a 5 Vdc, esto se realizará mediante la aplicación unos valores apropiados de tensión de referencia de V_{REFHI} y V_{REFLO} . Los pines V_{CCA} y V_{SSA} deben ser conectados respectivamente a una fuente de 5 Vdc y a la tierra analógica.

Los componentes que forman el módulo de conversión Analógica/Digital (ADC) son los siguientes (figura 5.2):

- Ocho entradas analógicas para cada módulo ADC, o un total de 16 entradas.
- Capacidad de medida simultánea de dos entradas analógicas mediante el uso de las dos ADC.
- Conversión discreta o continua.
- El inicio de la conversión puede ser disparada mediante software, un evento interno, o/y por un evento externo.
- Entradas de referencia V_{REFHI} y V_{REFLO} (tensión alta y baja).
- Bloque de conversiones Analógico/Digital.
- Dos registros de control programables para el módulo ADC.
- Selección de preescala programable.
- Capacidad de operaciones de interrupción.

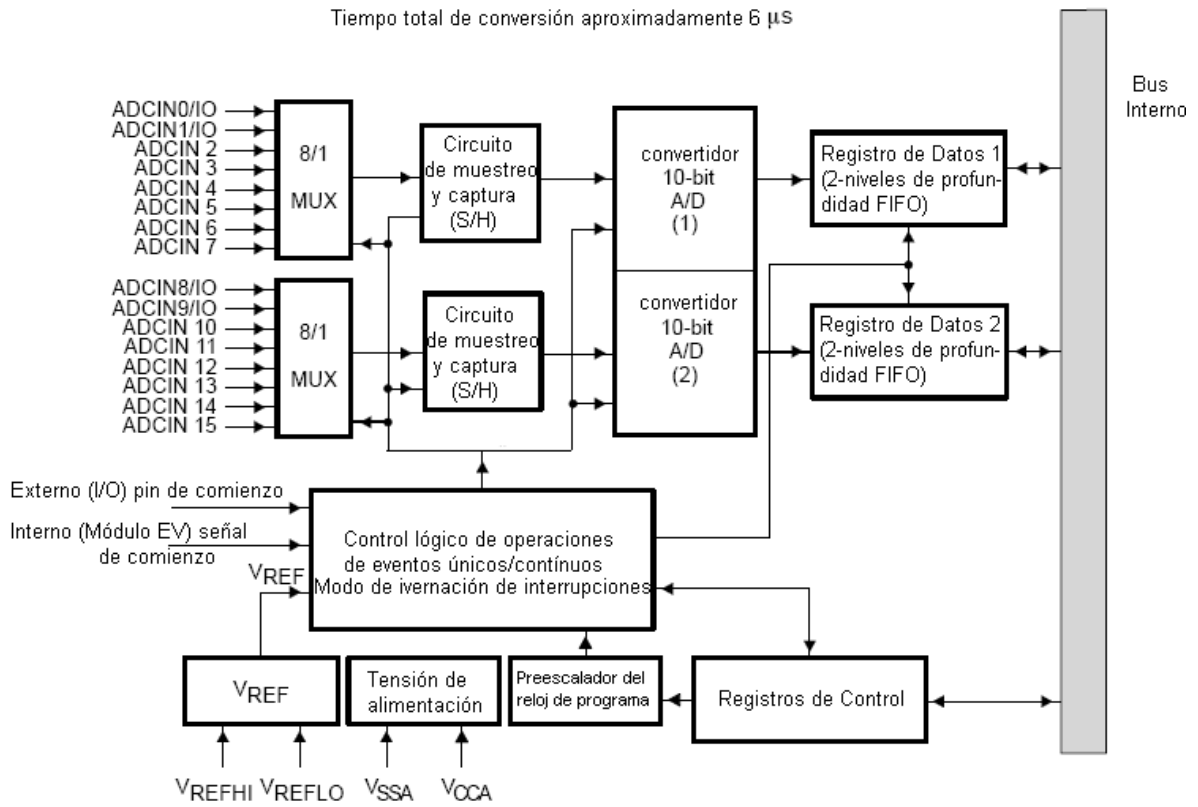


Figura 5.2- Componentes del módulo Conversor Analógico/Digital (ADC).

5.3.1. Funcionamiento del ADC.

El resultado digital del proceso de conversión del ADC dual de 10 bits se puede aproximar mediante la siguiente ecuación:

$$\text{Resultado digital} = 1023 \times \frac{V \text{ de entrada analógica} - V_{\text{REFLO}}}{V_{\text{REFHI}} - V_{\text{REFLO}}}$$

5.3.2. Descripción de los pines del ADC.

El módulo ADC va provisto de 20 pines que pueden interaccionar con la circuitería externa. Dieciséis de estos pines, ADCIN0-ADCIN15, son para las entradas analógicas. Los pines V_{REFHI} y V_{REFLO} son los pines de referencia de tensión analógica.

Los pines de alimentación analógica, V_{CCA} y V_{SSA} , usan técnicas estándar para la reducción de ruidos que aseguran la precisión de la conversión. Esto significa que las líneas de alimentación analógicas conectadas a V_{CCA} y V_{SSA} son tan cortas como sea posible y las dos líneas están propiamente desapareadas.

Los pines de entrada de tensión analógica ADCIN0-ADCIN7 pertenecen al primer módulo ADC y los pines ADCIN8-ADCIN15 pertenecen al segundo módulo ADC. Las entradas analógicas ADCIN0 y ADCIN1 del primer módulo y las entradas analógicas ADCIN8 y ADCIN9 del segundo módulo están multiplexadas mediante E/S digitales. A través una programación especial del módulo del sistema, estos cuatro pines de entrada analógicos (ADCIN0, ADCIN1, ADCIN8 y ADCIN9) pueden ser utilizados como E/S digitales.

5.3.3. Modos de operación del Módulo ADC.

Los modos de operación del ADC le permiten a este:

- Muestrear y convertir dos canales de entrada simultáneamente (uno por cada unidad ADC).
- Realizar operaciones de conversión discretas o continuas (S/H).
- Volcar el resultado sobre registros de dos niveles de profundidad FIFO para las unidades ADC 1 y 2.
- Comienzo de la operación mediante instrucciones programadas por software, señal externa de un dispositivo anfitrión, o por los eventos del EV en cada uno de las salidas del contador/comparador GP y del pin 4 de captura.
- Escribir en aquellos bits de los controles de registro del ADC que están doblemente almacenados con registros secundarios (imágenes) sin afectar al proceso de conversión activo. Los valores de bit recibidos en última instancia son almacenados en un registro secundario en vez de ir al registro activo. Esta nueva configuración de bits es cargada automáticamente del registro secundario al registro principal sólo después del término del presente proceso de conversión. El siguiente proceso de conversión será entonces determinado por la nueva configuración de bits.
- Poner a uno un “flag” de interrupción y generar una interrupción al final de cada conversión, siempre que la interrupción se encuentre activa o enmascarada.

Nota importante: Si una tercera conversión se completara sin haber leído el primer nivel del FIFO que se guardó, los datos de la primera conversión se perderán.

5.3.4. Muestreo y Conversión de señales Analógicas.

Cada uno de los módulos ADC realiza la operación de muestreo de la entrada en un ciclo de reloj y la de conversión en cuatro ciclos y medio, por tanto en una operación completa de muestreo/conversión necesitaremos un periodo de cinco ciclos y medio de reloj (el nº de ciclos es independiente de la frecuencia de reloj que se esté utilizando).

La arquitectura del módulo ADC requiere un tiempo de muestreo/conversión mayor o igual a 5,5 µs para asegurar una conversión precisa. Esta relación entre el número de ciclos de reloj del ADC (cinco y medio) y el mínimo de 5,5 µs debe ser cumplida por todas las frecuencias del reloj del sistema (SYSCLK) para asegurar una conversión correcta. En el caso de que el sistema trabajara a frecuencias que no cumplieran estos requisitos, el ADC lleva incorporado un preescalador el cual permite al módulo el mantener un rendimiento óptimo aunque la frecuencia del reloj general del DSP (CPUCLK) varíe entre aplicaciones. En tal caso se deberá seleccionar el valor de preescala del ADC de tal manera que el tiempo total de muestreo/conversión sea igual o mayor que 5,5 µs. Para ello el valor del preescalador debe cumplir la siguiente ecuación:

$$\text{Periodo de reloj del SYSCLK} \times \text{valor de preescala} \times 5.5 \geq 5.5 \mu\text{s}$$

ADCTRL2 Bits			Valor de preescala
Bit 2	Bit 1	Bit 0	
0	0	0	4
0	0	1	6
0	1	0	8
0	1	1	10
1	0	0	12
1	0	1	16
1	1	0	20
1	1	1	32

Tabla 5.1 – Frecuencias de muestreo del reloj y valores de preescala apropiados.

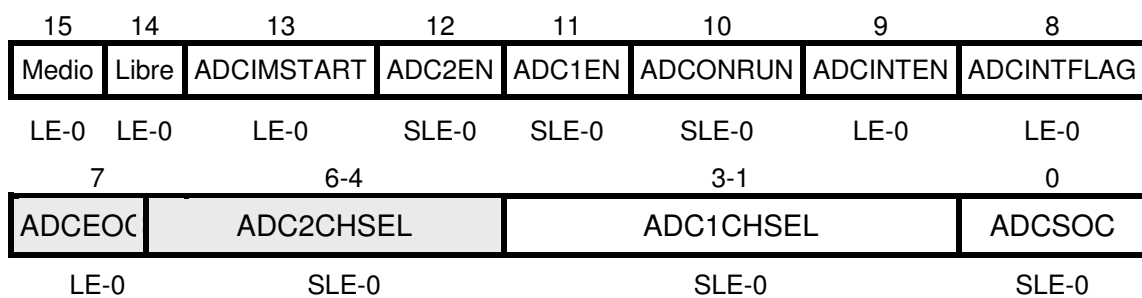
5.3.5. Registros del ADC.

Los registros de los que van provistos los módulos de conversión Analógica/Digital (ADC) son los siguientes:

Dirección	Registro	Nombre
7032h	ADCTRL1	Registro de control del ADC 1
7034h	ADCTRL2	Registro de control del ADC 2
7036h	ADCFIFO1	Registro FIFO de 2 niveles de profundidad para el ADC 1
7038h	ADCFIFO2	Registro FIFO de 2 niveles de profundidad para el ADC 2

-- Registro de control del ADC 1 (ADCTRL1). Dirección 7032h.--

El registro de control ADC 1 controla el comienzo de la conversión, la función de activación/desactivación del módulo ADC, la habilitación de interrupciones, y el final de la conversión.



Nota: L=acceso de lectura, E=acceso de escritura, -0=valor después de reset, S- Tiene imagen de bit.

Bit 15 Medio. Es aplicable sólo durante la emulación. Este bit no tiene imagen.

0 = Para inmediatamente cuando la “suspensión libre” (bit 14) vale 0.

1 = Completa la conversión antes de detener al emulador.

Bit 14 Libre. Es aplicable sólo durante la emulación. Este pin no tiene imagen.

0 = Esta operación está determinada por la suspensión media (bit 15).

1 = Sigue funcionando con el emulador suspendido.

Bit 13 ADCIMSTART. El ADC comienza a convertir inmediatamente. Este bit no tiene una imagen.

0 = No se realiza ninguna acción.

1 = Comienzo inmediato de la conversión.

Bit 12 ADC2EN. Activa/desactiva el bit perteneciente al ADC2. Este bit tiene imagen. Este bit puede ser modificado mientras se está llevando a cabo una conversión. El efecto producido por su modificación tendrá su efecto en la siguiente conversión.

0 = ADC2 desactivado. (No se realiza ningún muestreo ni captura; el registro de datos FIFO2 no sufre ningún cambio).

1 = ADC2 está activado.

Bit 11 ADC1EN. Activa/desactiva el bit perteneciente al ADC1. Este bit tiene imagen. Este bit puede ser modificado mientras se está llevando a cabo una conversión. El efecto producido por su modificación tendrá su efecto en la siguiente conversión.

0 = ADC2 desactivado. (No se realiza ningún muestreo ni captura; el registro de datos FIFO1 no sufre ningún cambio).

1 = ADC1 está activado.

Bit 10 ADCCONRUN. Este bit programa a la unidad ADC en el modo de conversión continua. Este bit tiene imagen. Puede ser modificado mientras se está llevando a cabo una conversión. La acción producida por su modificación tendrá su efecto en la siguiente conversión.

0 = No se realiza ninguna acción.

1 = Conversión continua.

Bit 9 **ADCINTEN.** Habilita las interrupciones. Si el bit ADCINTEN vale 1, cuando el bit ADCINTFLAG (“flag”) esté activo significará que existe una interrupción. Este bit se borra en el reset.

Bit 8 **ADCINTFLAG.** Bit de “flag” de interrupciones. Este bit indica si se ha producido alguna interrupción. Escribiendo un 1 en ADCINTFLAG conseguimos borrarlo. Este bit no tiene imagen.

0 = No se ha producido ninguna interrupción.

1 = Se ha producido una interrupción.

Bit 7 **ADCEOC.** Este bit indica el estado de la conversión llevada a cabo por el ADC. Este bit no tiene imagen.

0 = Fin de la conversión.

1 = Conversión en desarrollo.

Bits 6-4 **ADC2CHSEL.** Selecciona los canales para el ADC2. Este bit tiene imagen. Este bit puede ser modificado mientras se está llevando a cabo una conversión. La acción producida por su modificación tendrá su efecto en la siguiente conversión.

000 = Canal 8

001 = Canal 9

010 = Canal 10

011 = Canal 11

100 = Canal 12

101 = Canal 13

110 = Canal 14

111 = Canal 15

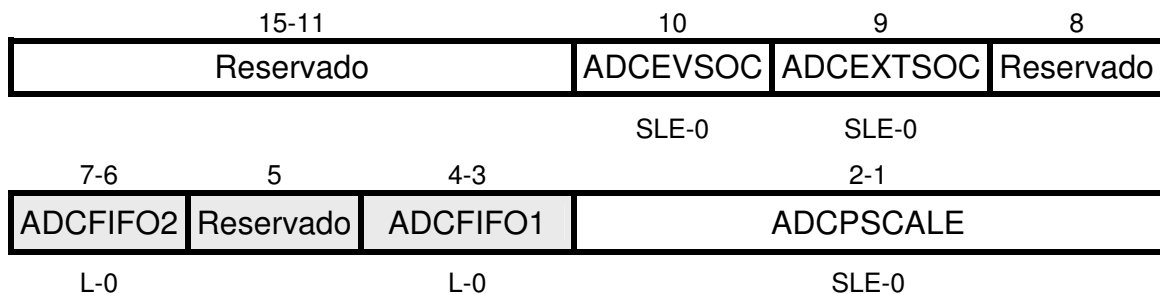
Bits 3-1 **ADC1CHSEL.** Selecciona los canales para el ADC1. Este bit tiene imagen. Este bit puede ser modificado mientras se está llevando a cabo una conversión. La acción producida por su modificación tendrá su efecto en la siguiente conversión.

- 000 = Canal 0
- 001 = Canal 1
- 010 = Canal 2
- 011 = Canal 3
- 100 = Canal 4
- 101 = Canal 5
- 110 = Canal 6
- 111 = Canal 7

Bit 0 **ADCSOC.** Bit (SOC) de comienzo de conversión del ADC. Este bit tiene imagen. Este bit puede ser modificado mientras se está llevando a cabo una conversión. El efecto producido por su modificación tendrá su efecto en la siguiente conversión.

- 0 = Ninguna acción.
- 1 = Comienza a convertir.

-- Registro de control del ADC 2 (ADCTRL2). Dirección 7034h.--



Nota: L=acceso de lectura, E=acceso de escritura, -0=valor después de reset, S- Tiene imagen de bit.

Bits 15-11 Reservado. Las lecturas no están determinadas; la escritura no produce ningún efecto.

Bit 10 ADCEVSOC. Bit SOC de máscara del Administrador de sucesos. Cuando vale 1, se puede sincronizar la conversión del ADC con una señal proveniente del Administrador de sucesos. El Administrador de Sucesos puede comenzar una conversión, dependiendo del valor de la salida de GPT1,2 o 3, y de Captura 4. Este bit tiene imagen.

0 = Enmascara ADCEVSOC (deshabilita la señal de comienzo de conversión suministrada por el Administrador de sucesos).

1 = Habilita el inicio de conversión por el Administrador de sucesos.

Bit 9 ADCEXTSOC. Bit de máscara de señal externa. Cuando vale 1, se puede sincronizar la conversión del ADC con una señal externa. La conversión del ADC comienza con el flanco de subida de la señal externa. Este bit tiene imagen.

0 = Enmascara ADCEXTSOC (desactiva el comienzo de conversión por parte del pin de ADCSOC).

1 = Activa el comienzo de conversión por parte del pin ADCSOC.

Bit 8 Reservado. Las lecturas no están determinadas; la escritura no produce ningún efecto.

Bits 7-6 ADCFIFO2. Registro de datos del estado del FIFO2. Estos dos bits indican el estado de la pila FIFO del ADC2. Se pueden guardar los resultados de hasta dos conversiones antes de proceder a su lectura. Si se realizara una tercera conversión, el resultado de esta última se solaparía con el de la primera que se hizo. Estos bits no tienen imagen.

00 = FIFO2 está vacía.

01 = FIFO2 tiene una entrada.

10 = FIFO2 tiene dos entradas.

11 = FIFO2 tiene dos entradas y se ha recibido otra, por lo tanto la primera de ellas se ha perdido.

Bit 5 Reservado. Las lecturas no están determinadas; la escritura no produce ningún efecto.

Bits 4-3 ADCFIFO1. Registro de datos del estado de FIFO1. Estos dos bits indican el estado de la pila FIFO del ADC1. Se pueden guardar los resultados de hasta dos conversiones antes de proceder a su lectura. Si se realizara una tercera conversión, el resultado de esta se solaparía con el de la primera que se hizo. Estos bits no tienen imagen.

00 = FIFO1 está vacía.

01 = FIFO1 tiene una entrada.

10 = FIFO1 tiene dos entradas.

11 = FIFO1 tiene dos entradas y se ha recibido otra, por lo tanto la primera de ellas se ha perdido.

Bits 2-0 ADCPSCALE. Preescalador de la entrada de reloj del ADC. Estos bits definen el preescalador del reloj del ADC.

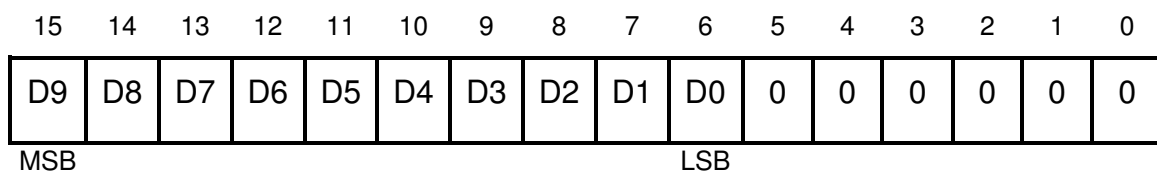
Bits de ADCPSCALE			Valor de Preescala
Bit 2	Bit 1	Bit 0	
0	0	0	4
0	0	1	6
0	1	0	8
0	1	1	10
1	0	0	12
1	0	1	16
1	1	0	20
1	1	1	32

Tabla 5.2 – Valores de preescala de la entrada de reloj del ADC.

Registros de almacenado de los resultados digitales del ADC.

Los registros de resultados digitales del ADC contienen datos digitales de 10 bits de longitud procedentes de la operación de conversión de entradas analógicas. Estos registros son de sólo lectura. Son borrados por el reset. Los resultados se guardan en una pila FIFO de dos niveles. Esto permite la flexibilidad de convertir dos variables antes de leerlas desde los registros de datos. Sin embargo hay que tener en cuenta que si una tercera conversión se llevara a cabo, el resultado del primer dato convertido quedaría cubierto por este último, perdiéndose la información.

**-- Registros de datos FIFO1 (ADCFIFO1) y FIFO2 (ADCFIFO2).
Direcciones 7036h y 7038h. --**



Bits 15-6 **D9-D0.** Último dato convertido de 10 bits.

Bits 5-0 **Reservado.** Siempre valen 0.

5.4. Interfaz de Memoria Externa.

5.4.1. Interfaz para Memoria externa de Programa.

El DSP C240 puede direccionar hasta 64K palabras de memoria de programa. La forma en la que el C240 organiza los accesos a las memorias interna y externa se rige por el siguiente procedimiento: en el caso de que el C240 se encuentre accediendo a los bloques internos de memoria de programa, las señales de la memoria externa \overline{PS} y \overline{STRB} estarán inactivas a nivel lógico alto. En el otro caso, o sea, acceso a la memoria externa, ocurrirá que el bus externo de direcciones y datos se encontrará funcionando sólo cuando las direcciones de memoria demandadas correspondan al rango de direcciones mapeadas reservadas para la memoria externa.

Las señales que controlan los accesos a Memoria de Programa interna o externa son las siguientes:

Señal	Descripción
A15–A0	Bus de direcciones bidireccional de 16 bits
BR	Petición del Bus
D15–D0	Bus de datos bidireccional de 16 bits
\overline{PS}	Selección de la memoria de programa
READY	Memoria preparada para completar el ciclo
R/\overline{W}	Señal de Lectura / Escritura(negada)
\overline{STRB}	Strobe activo para el acceso a memoria externa
\overline{WE}	Señal de habilitación de escritura
$\overline{w/R}$	Señal de Escritura / Lectura(negada)

A continuación vamos a proceder a realizar una implementación simple del interfaz de acceso a memoria externa de programa. El circuito estará compuesto por dos memorias SRAM de 16K x 8bits cada palabra. Estas dos memorias se colocarán en cascada de forma que obtengamos una memoria global con un ancho de palabra de 16bits, que es el ancho requerido por el C240 para la memoria. Aunque en este ejemplo hemos elegido para la implementación memoria de tipo SRAM, el mismo esquema sería también válido para memoria de tipo EPROM solo con aplicar un nivel bajo a la señal de habilitación de escritura \overline{WE} .

Hay que tener en cuenta que estamos considerando un caso ideal en el que suponemos que las operaciones de lectura / escritura no sufren ningún retardo o “estado de espera”. Esto es posible siempre que se haga una apropiada selección de los tiempos de acceso a memoria.

En el caso de que la memoria que utilizásemos fuera más lenta que la velocidad de comunicación del sistema, podríamos conseguir la sincronización de la comunicación mediante la inserción de retardos provocados por el *Generador de Estados de Espera*. En el caso de ser necesarios dos o más estados de espera entonces se requerirá además la acción de un “estado de espera externo lógico” el cual incidiría sobre la señal de *Preparado (READY)* para alargar el ciclo del bus el número necesario de estados de espera.

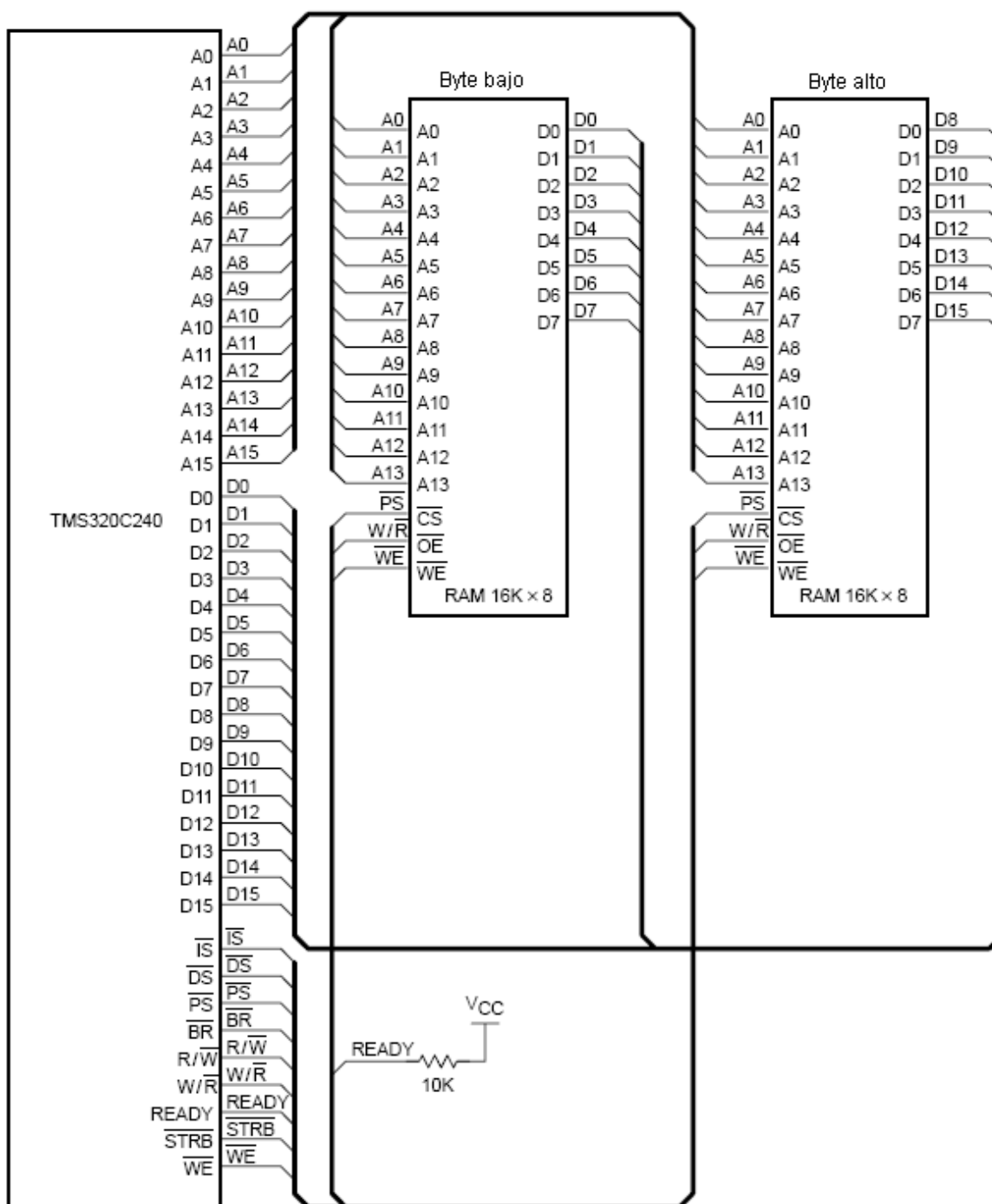


Figura 5.3 – Circuito de interfaz de memoria Externa de Programa.

En el funcionamiento del circuito anterior (figura 5.3) hay que tener en cuenta una serie de consideraciones. La señal de selección de Programa (PS) está conectada directamente al pin de selección de chip (CS) para poder seleccionar la memoria en cualquier acceso externo solicitado. La memoria externa de programa se encuentra distribuida en bloques de 16K palabras. En el caso de que varios bloques de información vayan a ser transmitidos a la memoria de programa, se podrá utilizar un multiplexor que operando sobre la señal PS y sobre los bits de direccionamiento correctos pueda conducir cada bloque de memoria a la dirección deseada.

Para las escrituras en la memoria externa, el C240 necesita dos ciclos de reloj, incluyendo medio ciclo antes de que \overline{WE} se ponga a nivel bajo y medio ciclo después de que WE se ponga a nivel alto. Esto previene los conflictos del buffer en los buses externos.

5.4.2. Interfaz para la Memoria externa de Datos Locales.

El C240 puede direccionar hasta 32K palabras de memoria externa para datos locales. El acceso y manejo de estas direcciones se hace mediante la siguiente lista de señales:

Señal	Descripción
A15–A0	Bus de direcciones bidireccional de 16 bits
BR	Petición del Bus
D15–D0	Bus de datos bidireccional de 16 bits
\overline{DS}	Selección de la memoria de datos
READY	Memoria preparada para completar el ciclo
R/\overline{W}	Señal de Lectura / Escritura(negada)
\overline{STRB}	Strobe activo para el acceso a memoria externa
\overline{WE}	Señal de habilitación de escritura
W/\overline{R}	Señal de Escritura / Lectura(negada)

Estas señales son generadas por el C240 de tal forma que mientras que el DSP accede a los bloques de memoria de datos internos, las señales externas \overline{DS} y \overline{STRB} están inactivas a nivel alto. El bus de datos externo se encuentra activo solo cuando el C240 accede a las localizaciones que pertenecen al rango de direcciones que están mapeadas con la memoria externa, o sea, 8000h-FFFFh. Una señal \overline{DS} activa indica que los buses externos están ocupados por la memoria de datos. Cada vez que los buses externos están activos (se está accediendo a la memoria externa), el C240 pone la señal \overline{STRB} a nivel bajo.

Mediante el uso de memorias de acceso rápido, podemos conseguir una comunicación más rápida. En el caso de que la rapidez en el acceso no sea un factor determinante también se puede usar la señal de \overline{READY} y/o el generador de estados de espera para crear retardos que sincronicen el acceso a memorias externas de baja velocidad.

En la figura de la siguiente página encontramos un ejemplo de interfaz externo de memoria RAM. En ella encontramos un esquemático compuesto por dos elementos o pastillas de memoria RAM de 16K x 8 bits cada una. La señal de selección de memoria de datos (\overline{DS}) se conecta directamente a la entrada de selección de circuito integrado (\overline{CS}) de cada una de las memorias. Con esto conseguimos que la información comunicada a la RAM se guardará en alguno de los 16K bancos de espacio de datos locales (8000h-FFFFh).

La señal $\overline{W/R}$ está conectada directamente al pin de habilitación de la salida de las memorias RAM (\overline{OE}). Esta señal activa las salidas de la memoria RAM y las desactiva de forma controlada para prevenir conflictos en el bus de datos provocados por una escritura externa del C240. La señal de habilitación de escritura (\overline{WE}) de las RAM está conectada con el pin de mismo nombre del C240.

El DSP C240 necesita al menos dos ciclos para llevar a cabo escrituras en memoria externa, incluyendo medio ciclo antes de que la señal \overline{WE} se ponga a nivel bajo y medio ciclo después de que \overline{WE} se ponga a nivel alto. Esto previene los conflictos de buffer en los buses externos.

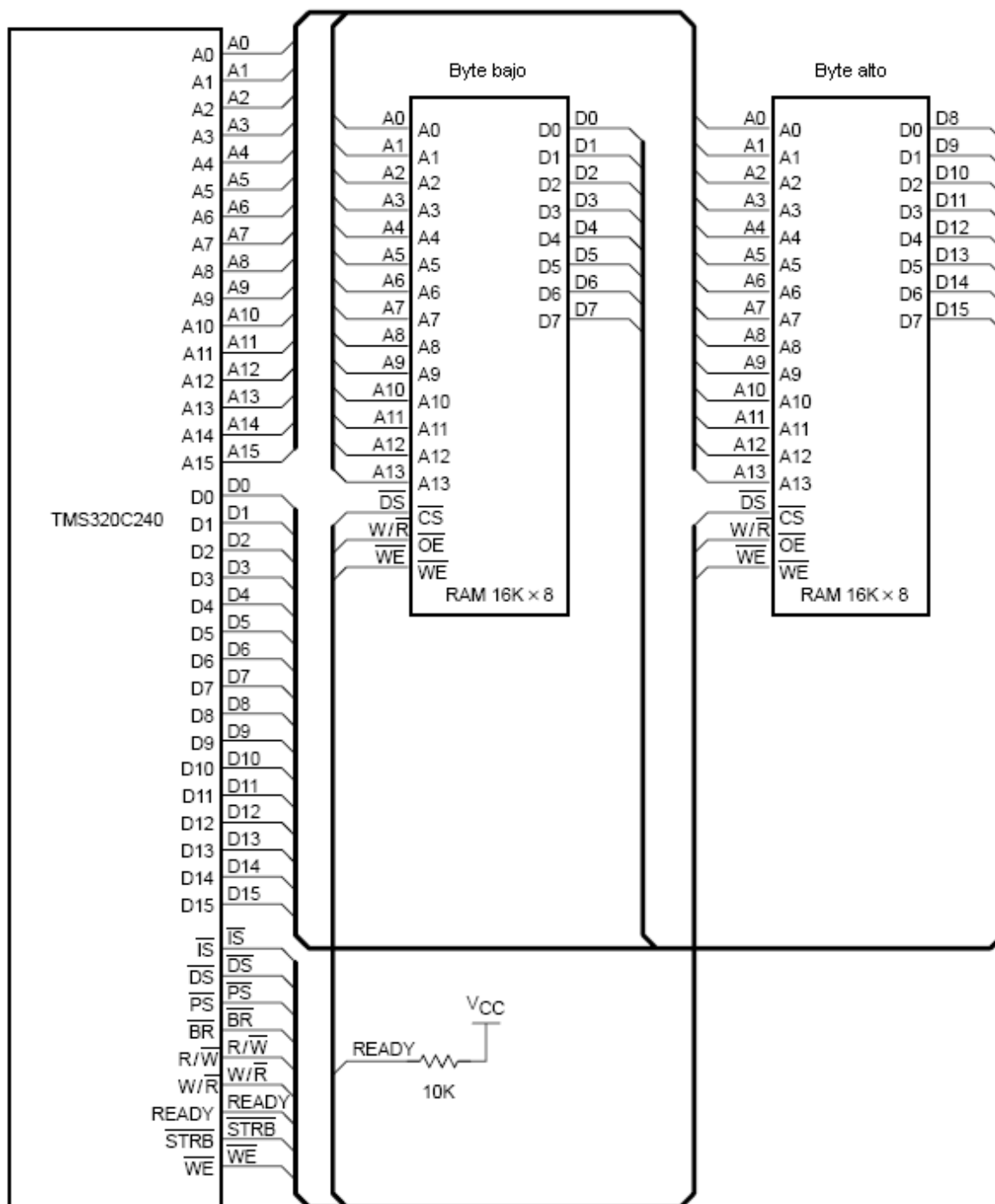


Figura 5.4 – Circuito de interfaz de memoria Externa de Datos Locales.

5.4.3. Diagramas de tiempo del Interfaz de Memoria.

A continuación vamos a ver dos diagramas de tiempo (figuras 5.5 y 5.6) donde se representa las formas de onda de la señal de lectura y escritura del interfaz de memoria externa.

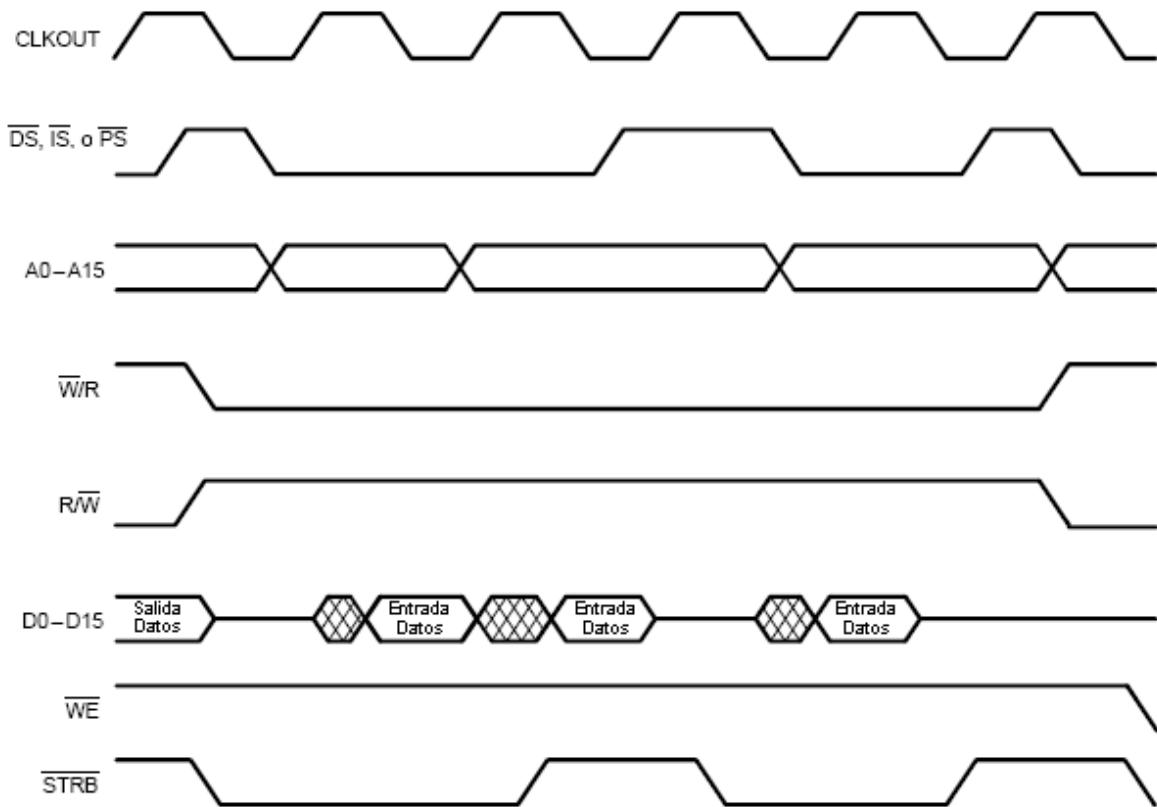


Figura 5.5 - Forma de onda de la señal de lectura del Interfaz de memoria externa.

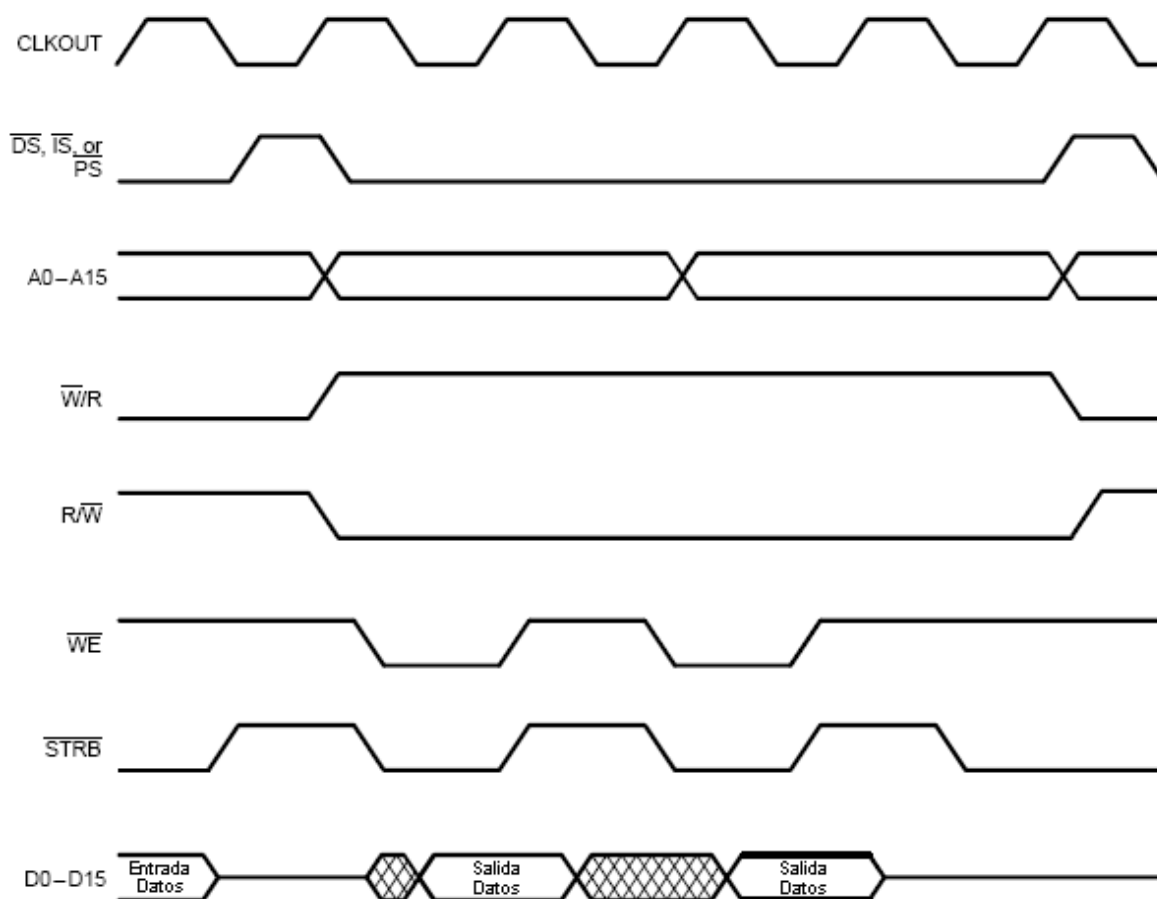


Figura 5.6 - Forma de onda de la señal de escritura del Interfaz de memoria externa.

5.4.4. Generador de Estados de Espera.

El uso principal de los “Estados de Espera” es el de producir los retardos de tiempo necesarios para sincronizar la comunicación con elementos que tienen unos tiempos de reacción más limitados. Los estados de espera pueden ser generados mediante el uso de la señal de “Ready” o utilizando el Generador de Estados de Espera.

- **Generación de Estados de Espera mediante la señal READY.**

Un dispositivo externo puede indicar que está preparado para completar una comunicación mediante la puesta a nivel alto de la señal de READY. En el caso de que la señal READY se encuentre a nivel bajo, el C240 espera un CLKOUT1 y vuelve a comprobar la señal READY. El C240 no continúa ejecutando hasta que READY es puesto a nivel alto.

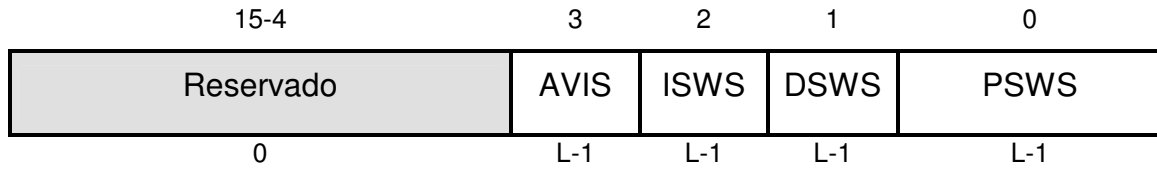
(Nota: Si no se va a utilizar la señal READY, es conveniente que se ponga a nivel alto durante los accesos internos y externos).

El pin READY puede ser utilizado para generar cualquier número necesario de estados de espera. Sin embargo, incluso cuando el C240 trabaja a gran velocidad, no es capaz de responder lo suficientemente rápido para producir un estado de espera mediante señal READY para el primer ciclo. Para asegurar la creación de un primer estado de espera inmediato es aconsejable utilizar en primer término el propio circuito de generación de estados de espera y luego a continuación utilizar para los demás estados de espera la señal de READY.

- **Generación de Estados de Espera con el Generador de Estados de Espera.**

El Generador de Estados de Espera puede ser programado para generar el primer estado de espera para un determinado elemento de memoria externo. Para controlar el generador de estados de espera hay que operar leyendo o escribiendo sobre el registro de control del generador de estados de espera (WSGR), mapeado con la dirección de memoria de I/O FFFFh.

-- Registro de control del Generador de Estados de Espera (WSGR). Dirección FFFFh. --



Nota: L=acceso de lectura, -0=leído por el dispositivo como un 0, 1- Valor después del Reset.

Bits 15-4 Reservado. Siempre vale 0.

Bit 3 AVIS. Modo de visibilidad de Dirección. En el Reset este bit se pone a valor 1. AVIS no genera un estado de espera.

0 = Borrado.

1 = Habilita el modo de visibilidad de dirección del dispositivo. En este modo el dispositivo provee un método de trazado de la operación interna del código, esto consiste en pasar la dirección interna de programa al bus de direcciones cuando este no está siendo usado para un acceso externo.

Bit 2 ISWS. Bit de estado de espera del espacio de I/O. Este bit es puesto a 1 en el momento del Reset.

0 = No se genera ningún estado de espera para el espacio externo de Entrada/Salida (I/O).

1 = Se aplica un estado de espera a todos los accesos al espacio externo de Entrada/Salida (I/O).

Bit 1 DSWS. Bit de estado de espera del espacio de datos. Este bit es puesto a 1 por el Reset.

0 = No se genera ningún estado de espera para el espacio externo de datos.

1 = Se aplica un estado de espera a todos los accesos al espacio externo de memoria de datos.

Bit 0 **PSWS.** Bit de estado de espera del espacio de programa. Este bit es puesto a 1 por el Reset.

0 = No se genera ningún estado de espera para el espacio externo de programa.

1 = Se aplica un estado de espera a todos los accesos al espacio externo de memoria de programas.

5.5. Módulo de Interfaz de Comunicación Serie.

5.5.1. Introducción.

La misión del módulo programable de interfaz de comunicación serie (SCI) es la de proporcionar comunicación digital entre la CPU y otros periféricos asíncronos que utilicen el formato estándar NRZ (“sin retorno a cero”).

El SCI transmite y recibe datos en serie (un solo bit por vez) a la velocidad que haya sido programada. El transmisor y receptor del SCI poseen un registro de almacenamiento (buffer) doble, teniendo cada uno sus propios bits de control de habilitación e interrupciones. En el caso de modo de comunicación “Full-Duplex” (comunicación direccional), ambos registros deben ser operados independiente o simultáneamente.

Para asegurar la integridad de los datos se utilizan bits de comienzo de trama, parada, paridad, etc. La velocidad de la comunicación o “Bit Rate” se mide en baudios y tiene un rango de 16K niveles de velocidad, seleccionados mediante un registro de selección de 16 bits.

Los principales componentes y características del Módulo de Interfaz de Comunicación Serie son las siguientes:

- Dos pines de Entrada/Salida (I/O):
 - SCIRXD (Entrada de Recepción de datos al SCI).
 - SCITXD (Salida de Transmisión de datos del SCI).

- 64K niveles de velocidad de transferencia de datos los cuales se programan con el registro de selección de baudios de 16 bits.
 - Para una selección del SYSCLK de 10 Mhz tenemos velocidades de 19.07 bps hasta 625.0 kbps.

- Ancho de palabra programable desde una longitud de uno a ocho bits.

- Bits de parada programables con un ancho de 1 o 2 bits.
- Reloj serie generado internamente.
- Cuatro “flags” de detección de error:
 - Error de paridad.
 - Error de sobrescritura.
 - Error de trama.
 - Detección de la interrupción de la comunicación.
- Dos modos de comunicación en sistemas multiprocesador.
- Operación Half o Full-duplex.
- Funciones de almacenamiento doble (doble “buffer) de la recepción y la transmisión.
- Una operación de transmisión y recepción que puede ser comandada mediante interrupciones o mediante el aviso de los siguientes “flags”:
 - Transmisión*: “flag” TXRDY (registro de almacenamiento del transmisor está preparado par recibir otro carácter) y el “flag” TXEMPTY (registro de desplazamiento del transmisor está vacío).
 - Receptor*. ”Flag” RXRDY (registro de almacenamiento del receptor está preparado para recibir otro carácter), “flag” BRKDT (aparición de una condición de interrupción), y Error RX el cual salta cuando se produce una de las cuatro condiciones de interrupción predefinidas.
- Bits de habilitación separados para las interrupciones del transmisor y el receptor.
- Formato NRZ (sin retorno a cero).

A continuación se puede ver el diagrama de bloques que define al módulo SCI:

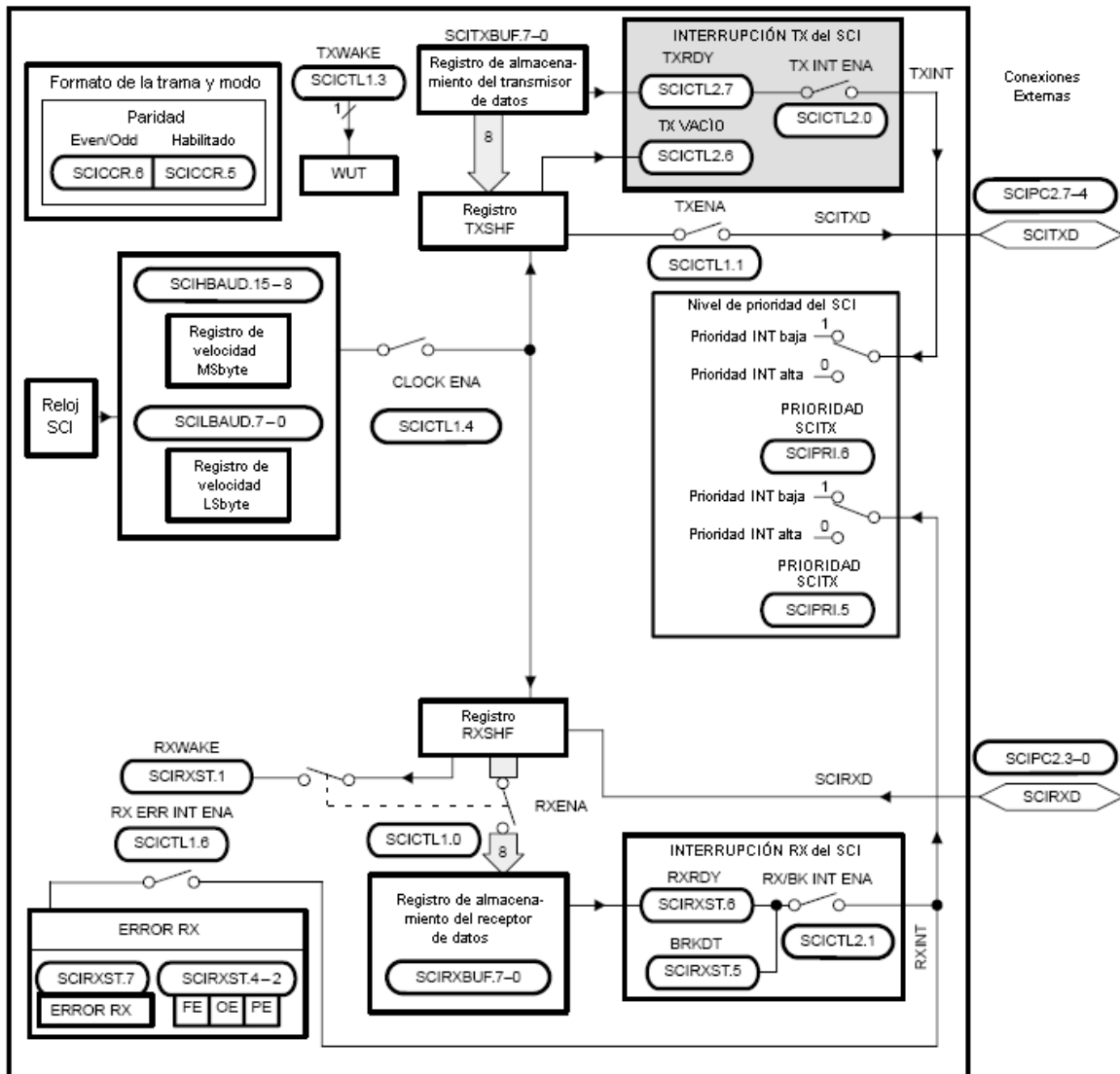
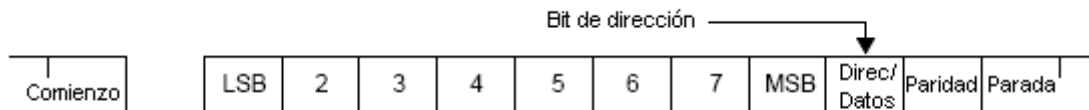


Figura 5.7 – Diagrama de bloques del Módulo SCI.

5.5.2. Formato de los datos de comunicación del SCI.

Los datos manejados por el módulo SCI para la transmisión y recepción se codifican en formato NRZ (Sin Retorno a Cero). Según este protocolo, al objeto de la comunicación se le llama “carácter”, mientras que al bloque completo de información compuesto por el “carácter” y las señales de control se le llama “trama”. Las principales características del formato de comunicación NRZ son las siguientes:

- Un bit de comienzo.
- Un cuerpo de palabra de 1 a 8 bits.
- Un bit de paridad par/impar (opcional).
- Uno o dos bits de parada.
- Un bit extra dedicado a diferenciar las direcciones de los datos.



La configuración de los valores de ancho de carácter, paridad, y bits de parada se realiza mediante el registro de control SCICCR.

5.5.3. Modos de comunicación Multiprocesador y Asíncrona.

El SCI puede trabajar con dos modos de comunicación. Por un lado tenemos la comunicación Multiprocesador, la cual puede ser llevada a cabo mediante dos protocolos diferentes, estos son: Modo multiprocesador “*idle-line*” y modo multiprocesador “*bit de dirección*”. Por otro lado el SCI nos ofrece un modo de comunicación asíncrono con receptor/transmisor de tipo UART universal. Este modo de comunicación asíncrona necesita dos líneas de comunicación para interactuar con periféricos que utilicen el estándar de comunicación RS-232.

5.5.4. Comunicación Multiprocesador.

El método de comunicación Multiprocesador permite que varios procesadores se envíen mutuamente información mediante una comunicación serie. A través del primer byte contenido en el bloque de información enviado por un procesador se indica la dirección de los procesadores a los que van dirigidos esos datos, de tal manera que los procesadores que han identificado su dirección reaccionan poniendo a 1 el bit de hibernación del SCI para procesar ese dato recibido. Una vez leído, el software del propio procesador se debe encargar de volver a sacar de la hibernación al SCI.

Como ya se indicó en el apartado anterior, la Comunicación Multiprocesador se puede realizar por dos métodos:

Modo Multiprocesador Idle-line.

El protocolo de multiprocesador Idle-line se activa poniendo a 0 el bit ADDR/IDLE MODE. Este protocolo se caracteriza porque los datos están separados por un periodo de tiempo de inactividad mayor entre bloques que entre tramas. Un tiempo de 10 o más bits puestos a nivel bajo después de una trama indican el comienzo de un nuevo bloque.

El esquema de una comunicación mediante protocolo idle-line es el de la figura 5.8.

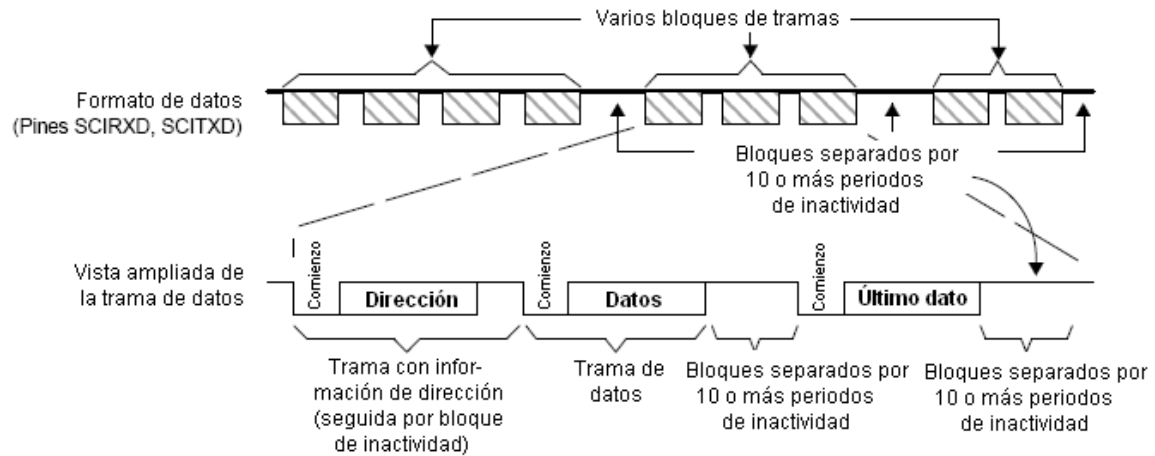


Figura 5.8 – Comunicación serie mediante protocolo "idle-line".

Los pasos que sigue el protocolo Idle-line en su actuación son los siguientes:

1. El SCI sale del estado de hibernación una vez recibido el bloque de comienzo de comunicación.
2. El procesador reconoce la siguiente interrupción del SCI.
3. La rutina de servicio compara la dirección recibida con la suya propia.
4. Si la dirección recibida coincide con la del procesador, la rutina de servicio borra el bit de SLEEP y recibe el resto de la trama de información.
5. Si la dirección demandada no coincide con la del procesador, el bit SLEEP permanece a nivel alto y el procesador continúa con su trabajo normal sin verse afectado por ninguna interrupción.

Modo Multiprocesador Bit de dirección.

El protocolo de comunicación Bit de dirección es activado mediante la puesta a 1 del bit ADDR/IDLE MODE. Este protocolo consiste en la adición a las tramas de datos de un bit extra llamado bit de dirección, y que va después del último bit de datos. El bit de dirección es puesto a 1 en la primera trama del bloque de comunicación y a 0 en las demás tramas. En este protocolo, la temporización del periodo de inactividad no tiene importancia.

El esquema de una comunicación mediante protocolo Bit de dirección es el de la figura 5.9.

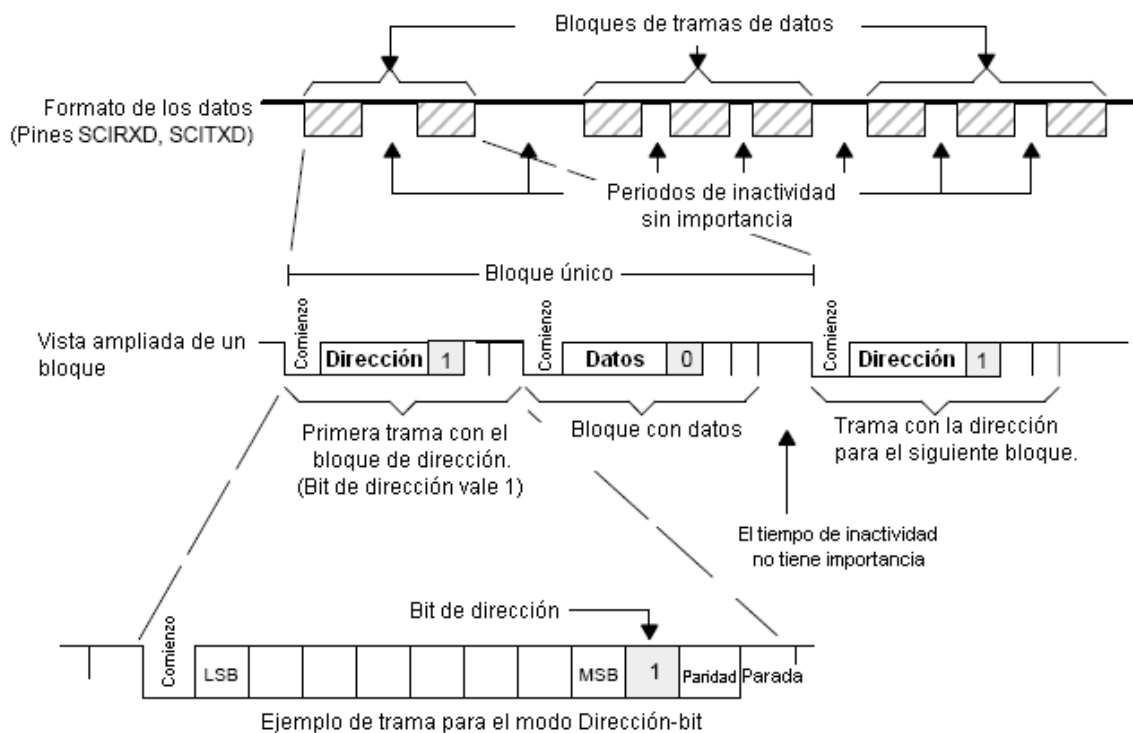


Figura 5.9 - Comunicación serie mediante protocolo "bit de dirección".

Los pasos que sigue el protocolo Bit de dirección para enviar una dirección son los siguientes:

1. Pone a 1 el bit TXWAKE y escribe el valor de dirección apropiado en el registro SCITXBUF.
2. Cuando el valor de esta dirección es transferida al registro TXSHF y emitida exteriormente, el bit de dirección se envía con valor 1, lo que provoca que los demás procesadores interconectados comprueben si la dirección coincide con la suya propia.
3. Dado que TXSHF y WUT tienen almacenamiento doble, los registros SCITXBUF y TXWAKE pueden ser modificados inmediatamente después de que TXSHF y WUT hayan sido cargados.
4. En el caso de no querer enviar ninguna dirección, simplemente hay que darle el valor 0 al bit TXWAKE.

5.5.5. Comunicación asíncrona del SCI.

El sistema de comunicación asíncrona del SCI puede usar el método “Half-duplex” con un solo hilo de comunicación o el método “Full-duplex” con dos hilos de comunicación para la transmisión y recepción simultánea. Las tramas de datos están formadas por un bit de comienzo, de uno a ocho bits de datos, un bit opcional de paridad par/impar y uno o dos bits de parada.

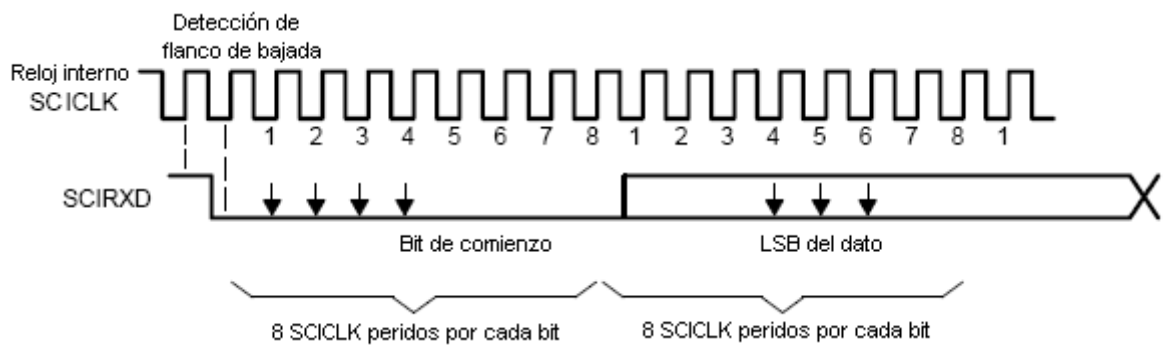


Figura 5.10 – Contenido de una trama.

A continuación expondremos un ejemplo práctico de transmisión y recepción de datos mediante comunicación serie:

-Transmisión de datos.

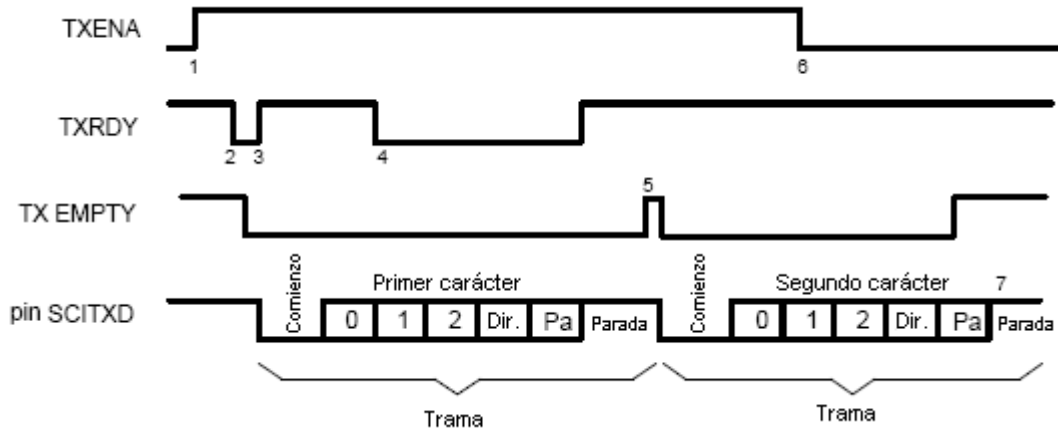


Figura 5.11 – Señales en la transmisión de una trama serie.

El diagrama de tiempo corresponde a la transmisión de un dato de 3 bits por carácter. Para conseguir la comunicación el sistema expuesta en este ejemplo se siguen los siguientes pasos:

1. El bit TXENA (bit 1 del registro SCICTL) se pone a nivel alto, habilitando al transmisor por enviar datos.
2. Se escribe sobre el registro SCITXBUF.
3. EL SCI transmite los datos al registro de desplazamiento TXSHF. El transmisor se encuentra preparado para comunicar un segundo carácter.
4. El programa escribe un segundo carácter en SCITXBUF y TXRDY se pone a nivel alto.
5. La transmisión del primer carácter es completada. TX EMPTY se pone a nivel alto temporalmente. Comienza la transferencia del segundo carácter hacia el registro de desplazamiento TXSHF.
6. El bit TXENA se pone a nivel bajo para deshabilitar al transmisor, y el SCI termina de transmitir el carácter actual.
7. La transmisión del segundo carácter es completada, y el transmisor se encuentra vacío y a la espera de un nuevo carácter para enviar.

-Recepción de datos.

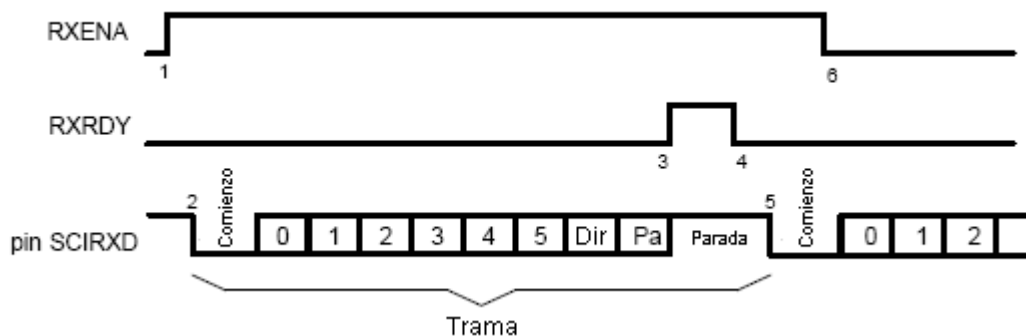


Figura 5.12 – Señales en la recepción de una trama serie.

El diagrama de tiempo de la figura 5.12 corresponde a la recepción de un dato de 6 bits por carácter. Para conseguir la comunicación el sistema expuesta en este ejemplo se siguen los siguientes pasos:

1. Se dispara el bit de “flag” de RXENA para habilitar al receptor.
2. Los datos llegan al pin SCIRXD y el bit de comienzo es detectado.
3. Los datos son movidos desde RXSHF hacia el registro de almacenamiento del receptor, SCIRXBUF, y se produce la petición de una interrupción. El bit de “flag” del RXRDY se dispara para indicar que se ha recibido un nuevo carácter.
4. El programa lee el contenido de SCIRXBUF y el “flag” RXRDY se borra automáticamente.
5. El siguiente byte de datos llega al pin SCIRXD. El bit de comienzo es detectado.
6. El bit RXENA es puesto a nivel bajo para deshabilitar la recepción. Los datos continúan siendo juntados en el registro RXSHF, pero no son movidos al registro de almacenamiento del receptor.

5.5.6. Registros de Control del SCI.

Dirección	Registro	Nombre	Descripción
7050h	SCICCR	Registro de control de la comunicación.	Define el formato de los caracteres, el protocolo, y el modo de comunicación utilizado por el SCI.
7051h	SCICTL1	Registro de control 1 del SCI.	Controla habilitador de interrupciones del RX/TX y del receptor, las funciones TXWAKE y SLEEP, habilitación del reloj interno y el "reset" del software del SCI.
7052h	SCIHBAUD	Registro de baudios del SCI, bits altos.	Guarda los datos (MSbyte) necesarios para generar la velocidad de transmisión de datos.
7053h	SCILBAUD	Registro de baudios del SCI, bits bajos.	Guarda los datos (LSbyte) necesarios para generar la velocidad de transmisión de datos.
7054h	SCICTL2	Registro de control 2 del SCI.	Contiene el el habilitador de interrupciones del transmisor, del almacenamiento del receptor/interrupción de comunicación, el "flag" del transmisor de disposición para la lectura, y el "flag" de vacío del transmisor.
7055h	SCIRXST	Registro de estado del receptor SCI.	Contiene siete "flags" de estado del receptor.
7056h	SCIRXEMU	Registro de emulación del almacenamiento de datos del SCI.	Contiene datos recibidos por las actualizaciones en pantalla, principalmente usado por el emulador.
7057h	SCIRXBUF	Registro de almacenamiento de los datos del receptor.	Contiene los datos actuales del registro de desplazamiento del receptor.
7058h	—	Reservado	Reservado
7059h	SCITXBUF	Registro de almacenamiento de los datos del transmisor.	Guarda los bits de datos a ser enviados por el SCITX.
705Ah	—	Reservado	Reservado
705Bh	—	Reservado	Reservado
705Ch	—	Reservado	Reservado
705Dh	—	Reservado	Reservado
705Eh	SCIPC2	Registro 2 de control del puerto SCI.	Controla las funciones de los pines SCIRXD y SCITXD.
705Fh	SCIPRI	Registro de control de prioridad del SCI.	Contiene los bits de selección de la prioridad de las interrupciones del receptor y el transmisor y el bit de habilitación de la suspensión.

-- Registro de Control de la Comunicación (SCICCR). Dirección 7050h --

7	6	5	4	3	2	1	0
BITS DE PARADA	PARIDAD PAR/IMPARR	ACTIVACIÓN PARIDAD	SCI ENA	MODO ADDR/IDLE	CHAR 2 SCI	CHAR1 SCI	CHAR0 SCI
LE-0	LE-0	LE-0	LE-0	LE-0	LE-0	LE-0	LE-0

Nota: L=acceso de lectura, E=acceso de escritura, -0=valor después de reset.

Bit 7. Bits de parada. Número de bits de parada del SCI. Este bit especifica el número de bits de parada transmitidos.

0 = Un bit de parada.

1 = Dos bits de parada.

Bit 6. Paridad. Selección de paridad par/impar del SCI. Este bit habilita o deshabilita la función de paridad. Si el SCI se encuentra trabajando en el modo de direccionamiento multiprocesador de bits, el bit de dirección se incluye en el cálculo de la paridad. En el caso de caracteres de menos de ocho bits, debemos aplicarle una máscara para no tener en cuenta los bits no utilizados en el cálculo de la paridad.

0 = Paridad par.

1 = Paridad impar.

Bit 5. Activación de Paridad. Este bit activa o desactiva la función de paridad. Si el SCI se encuentra trabajando en el modo de direccionamiento de bits multiprocesador, el bit de dirección se incluye en el cálculo de la paridad. En el caso de caracteres de menos de ocho bits, debemos aplicarle una máscara para no tener en cuenta los bits no utilizados en el cálculo de la paridad.

0 = Paridad desactivada. No se considera ningún bit de paridad tanto durante la transmisión como en la recepción.

1 = Paridad activada.

Bit 4. SCI ENA. Bit de habilitación de la comunicación del SCI. Para que provoque el comienzo de la comunicación debe estar puesto a 1.

Bit 3. MODO ADDR/IDLE. Bit de control del modo multiprocesador del SCI. Mediante este bit se elige uno de los protocolos de multiprocesador:

0 = Selección del protocolo Idle-line.

1 = Selección del protocolo Bit de dirección.

La comunicación multiprocesador tiene la característica especial de que usa las funciones SEP y TXWAKE. El protocolo idle-line se suele utilizar en las comunicaciones normales debido a que con el otro protocolo, “bit de dirección”, se añade un bit extra a la trama, por lo tanto no es compatible con la comunicación estándar RS-232.

Bits 2-0. SCI CHAR2-0. Bits de control de tamaño de carácter. Mediante estos bits se define el tamaño del carácter del SCI desde 1 a 8 bits. Los caracteres con menos de 8 bits son justificados por la derecha en SCIRXBUF y SCIRXEMU y se completan con ceros en SCIRXBUF.

Valores de los bits SCI CHAR2-0			Tamaño del caracter (Nº bits)
SCI CHAR2	SCI CHAR1	SCI CHAR0	
0	0	0	1
0	0	1	2
0	1	0	3
0	1	1	4
1	0	0	5
1	0	1	6
1	1	0	7
1	1	1	8

-- Registro de Control 1 del SCI (SCICTL1). Dirección 7051h --

7	6	5	4	3	2	1	0
Reservado	ERR RX INT ENA	RESET SW	RELOJ ENA	TXWAKE	SLEEP	TXENA	RXENA
	LE-0	LE-0	LE-0	LS-0	LE-0	LE-0	LE-0

Nota: L=acceso de lectura, E=acceso de escritura, S= solo puesta a 1, -0=valor después de reset.

Bit 7. Reservado. Las lecturas son indeterminadas y la escritura no tiene ningún efecto.

Bit 6. RX ERR INT ENA. Habilitación del receptor del SCI. Poniendo a uno este bit se produce la habilitación de una interrupción en el caso de que el bit de ERROR RX se ponga a uno debido a algún error.

Bit 5. SW RESET. Reset del software del SCI (activo a nivel bajo). Escribiendo un 0 en este bit se inicializan a la condición de reset las máquinas de estado del SCI y los “flags” de operación.

El bit SW RESET afecta a los “flags” de operación del SCI, pero no afecta a los bits de configuración ni restituye los valores por defecto.

[**Nota importante:** No cambiar la configuración mientras que el bit SW RESET esté activo (valor 0 en la entrada). Es recomendable operar todos los registros de configuración antes de activar el SW RESET, ya que el comportamiento podría resultar impredecible].

Flag SCI	Registro.Bit	Valor después de SW RESET
TXRDY	SCICTL2.7	1
TX EMPTY	SCICTL2.6	1
RXWAKE	SCIRXST.1	0
PE	SCIRXST.2	0
OE	SCIRXST.3	0
FE	SCIRXST.4	0
BRKDT	SCIRXST.5	0
RXRDY	SCIRXST.6	0
RX ERROR	SCIRXST.7	0

Bit 4. Reloj Ena. Habilitación del reloj interno del SCI. Este bit determina cual es la fuente de reloj del pin SCICLK.

0 = Deshabilita el reloj interno.

1 = Habilita el reloj interno.

Bit 3. TXWAKE. Selección del modo de salida de hibernación del transmisor del SCI.

0 = No se encuentra seleccionada la operación de transmisión.

1 = Se encuentra seleccionada la operación de transmisión, la cual es dependiente de los modos “idle-line” o “bit de dirección”:

Modo Idle-line: Escribe un 1 en el registro TXWAKE, y entonces escribe datos en el registro SCITXBUF para generar un periodo de carga de 11 bits de datos.

Modo Bit de dirección: Escribe un 1 en el registro TXWAKE, y entonces escribe datos en el registro SCITXBUF para establecer el bit de dirección desde esa trama a 1.

Bit 2. SLEEP. Función de hibernación del SCI. Este bit controla la función de hibernación del receptor para la configuración multiprocesador. Poniendo a cero este bit provocamos que el SCI salga del estado de hibernación.

0 = Activación del modo de hibernación.

1 = Desactivación del modo de hibernación.

Bit 1. TXENA. Habilitación del transmisor del SCI. Cuando el bit TXENA se encuentra puesto a nivel alto se produce la transmisión de datos a través del pin SCITXD. En el caso de que se produjera un reset durante el proceso de transmisión, esta no se detendrá hasta llegado el momento de finalización de la comunicación de la trama de datos en proceso.

0 = Transmisor deshabilitado.

1 = Transmisor habilitado.

Bit 0. RXENA. Habilitador del receptor del SCI. Los datos son recibidos por el pin SCIRXD y son enviados al registro de desplazamiento del receptor y a su misma vez a los registros de almacenamiento del receptor. Este bit habilita o deshabilita al receptor.

0 = Guarda los caracteres recibidos por el receptor en los registros de almacenamiento de recepción SCIRXEMU y SCIRXBUF.

1 = Envía los caracteres recibidos en SCIRXEMU y SCIRXBUF.

-- Registro de selección del MSbyte de baudios del SCI (SCIHBAUD).

Dirección 7052h --

15	14	13	12	11	10	9	8
BAUD15 (MSB)	BAUD14	BAUD13	BAUD12	BAUD11	BAUD10	BAUD9	BAUD8
LE-0	LE-0	LE-0	LE-0	LE-0	LE-0	LE-0	LE-0

Nota: L=acceso de lectura, E=acceso de escritura, -0=valor después de reset.

**-- Registro de selección del LSbyte de baudios del SCI (SCILBAUD).
Dirección 7053h --**

7	6	5	4	3	2	1	0
BAUD7	BAUD6	BAUD5	BAUD4	BAUD3	BAUD2	BAUD1	BAUD0 (LSB)
LE-0	LE-0	LE-0	LE-0	LE-0	LE-0	LE-0	LE-0

Nota: L=acceso de lectura, E=acceso de escritura, -0=valor después de reset.

Bits 15-0. BAUD15-BAUD0. Configuración de los 16bits para la elección del número de baudios del SCI. Los dos registros SCIHBAUD (Msbyte) y SCILBAUD (Lsbyte) se solapan para formar un solo registro de 16 bits.

El comportamiento del reloj serie generado internamente está dictado por la configuración del registro SYSCLK y los dos registros de selección de baudios. El SCI utiliza el valor de 16 bits definido entre estos dos últimos registros para elegir unos de los 64K niveles de velocidad de reloj disponibles para la comunicación.

Para saber cual es la velocidad idónea para cada tipo de comunicación se utilizan los siguientes métodos teniendo en cuenta que BRR es el valor de 16 bits de los registros de selección de baudios:

-Para $1 < BRR < 65.535$

$$\text{Baudios asíncronos del SCI} = \frac{\text{SYSCLK}}{(\text{BRR} + 1) \times 8}$$

$$\text{BRR} = \frac{\text{SYSCLK}}{\text{Baudios asíncronos} \times 8} - 1$$

-Para BRR=0

$$\text{Baudios asíncronos del SCI} = \frac{\text{SYSCLK}}{16}$$

Nº ideal de Baudios	Frecuencia del reloj SYSCLK											
	1 MHz			5 MHz			8 MHz			10 MHz		
	BRR	Nº real de Baudios	% Error	BRR	Nº real de Baudios	% Error	BRR	Nº real de Baudios	% Error	BRR	Nº real de Baudios	% Error
300	416	300	-0.08	2082	300	0.02	3332	300	0.01	4166	300	-0.01
600	207	601	0.16	1041	600	-0.03	1666	600	-0.02	2082	600	0.02
1200	103	1202	0.16	520	1200	-0.03	832	1200	0.04	1041	1200	-0.03
2400	51	2404	0.16	259	2404	0.16	416	2398	-0.08	520	2399	-0.03
4800	25	4808	0.16	129	4808	0.16	207	4808	0.16	259	4808	0.16
8192	14	8333	1.73	75	8224	0.39	121	8197	0.06	152	8170	-0.27
9600	12	9615	0.16	64	9615	0.16	103	9615	0.16	130	9542	-0.60
19200	6	17857	-6.99	32	18939	-1.36	51	19231	0.16	64	19231	0.16

-- Registro de Control 2 del SCI (SCICTL2). Dirección 7054h --

7	6	5-2	1	0
TXRDY	TX EMPTY	Reservado	RX/K INT ENA	TX INT ENA
L-1	L-1		LE-0	LE-0

Nota: L=acceso de lectura, E=acceso de escritura, -0=valor después de reset.

Bit 7. TXRDY. “Flag” de aviso de disponibilidad del registro de almacenamiento del transmisor. Cuando se encuentra puesto a nivel alto, indica que el registro de almacenamiento del transmisor SCITXBUF, está preparado para recibir otro carácter. En el momento en el que se empieza a escribir datos sobre el registro SCITXBUF este bit se pone automáticamente a cero. Cuando está puesto a uno, este “flag” provoca una interrupción de petición por parte del transmisor siempre y cuando el bit de habilitación de interrupciones TX INT ENA se encuentre activo con nivel 1. El bit TXRDY es puesto a 1 por el bit SW RESET o por un reset del sistema.

0 = El registro de almacenamiento SCITXBUF está lleno.

1 = El registro de almacenamiento SCITXBUF está preparado para recibir el siguiente carácter.

Bit 6. TX EMPTY. “Flag” de aviso de transmisor vacío. Este “flag” indica el estado de carga del registro de almacenamiento del transmisor SCITXBUF y del registro de desplazamiento TXSHF. Este bit es puesto a 1 por una señal SW RESET o por un reset del sistema, y cuando es activado no produce ninguna interrupción.

0 = El registro de almacenamiento del transmisor, el registro de desplazamiento o ambos, están cargados con datos.

1 = El registro de almacenamiento del transmisor y el registro de desplazamiento están vacíos.

Bits 5-2. Reservado. La lectura sobre estos bits es indeterminada, y la escritura no produce ningún efecto.

Bit 1. TX/BK INTE ENA. Habilitación de la interrupción de almacenamiento/parada del receptor. Este bit controla la petición de interrupción provocada por la activación del “flag” RXTDY o el “flag” de BRKDT. Sin embargo, RX/BRK INT ENA no evita que se pongan a uno estos “flags”.

0 = Deshabilita la interrupción RXRDY/BRKDT.

1 = Habilita la interrupción RXRDY/BRKDT.

Bit 0. TX INT ENA. Habilitación de la interrupción de SCITXBUF. Este bit controla la petición de interrupción producida por la puesta a 1 del bit de “flag” de TXRDY. Sin embargo, este no evita que el “flag” TXRDY se active (estando a 1 indica que SCITXBUF está preparado para recibir otro carácter).

0 = Deshabilita la interrupción de TXRDY.

1 = Habilita la interrupción de TXRDY.

-- Registro de estado del receptor (SCIRXST). Dirección 7055h --

7	6	5	4	3	2	1	0
RX ERROR	RXRDY	BRKDT	FE	OE	PE	RXWAKE	Reservado
L-0	L-0	L-0	L-0	L-0	L-0	L-0	

Nota: L=acceso de lectura, -0=valor después de reset.

Bit 7. RX ERROR. “Flag” de error del receptor del SCI. El “flag” RX ERROR indica que se ha disparado uno de los “flags” de error del registro de estado del receptor. Estos “flags” son: Detección de parada, error de trama, sobre escritura, y los “flags” de habilitación de paridad (BRKDT, FE, OE y PE). En resumen este bit se puede utilizar como una señal de chequeo rápido de errores en el SCI.

0 = No se ha disparado ningún “flag” de error.

1 = Se ha disparado algún “flag” de error.

Bit 6. RXRDY. “Flag” de disponibilidad del receptor del SCI. Cuando un nuevo carácter está preparado para ser leído dentro del registro SCIRXBUF, el receptor pone a 1 este bit y además se genera una interrupción del receptor siempre y cuando el bit RX/BK INT ENA valga 1. El bit RXRDY se pone a cero debido a una lectura sobre SCIRXBUF, por un valor alto del SW RESET, o por un reset del sistema.

0 = No hay ningún carácter nuevo en SCIRXBUF.

1 = Carácter preparado para ser leído de SCIRXBUF.

Bit 5. BRKDT. “Flag” de detección de interrupción en la comunicación del SCI. El SCI pone a 1 este bit cuando se produce una interrupción de la comunicación, la cual se produce cuando en la línea de comunicación del receptor no aparece ningún nivel alto después de haber pasado al menos 10 bits sin haberse encontrado ningún bit de parada. Para continuar la comunicación hay que actuar con un nivel alto sobre el bit de SW RESET o con un reset del sistema.

0 = Ninguna condición de interrupción de la comunicación.

1 = Suceso de una condición de interrupción.

Bit 4. FE. “Flag” de error de trama del SCI. El SCI pone a 1 este bit cuando no se encuentra un bit de parada esperado. Solo se comprueba el primer bit de parada. La pérdida de este bit de parada es síntoma de que se ha perdido la sincronización con el bit de comienzo y que la trama de datos ha sido mal codificada. Este bit se reinicia mediante el bit SW RESET o por un reset del sistema.

0 = No se ha detectado ningún error en la trama de datos.

1 = Se ha detectado ningún error en la trama de datos.

Bit 3. OE. “Flag” de aviso de error de sobre escritura en el SCI. El SCI pone a 1 este bit cuando un carácter es transmitido a los registros SCIRXEMU y SCIRXBUF antes de que el carácter previo haya sido totalmente leído por la CPU, por tanto el primer carácter no es tenido en cuenta. Este bit se reinicia mediante el bit SW RESET o por un reset del sistema.

Bit 2. PE. “Flag” de error de paridad del SCI. Este “flag” se dispara cuando en un carácter recibido se produce una discordancia entre el número de unos y su bit de paridad. En el caso de que la generación y comprobación de paridad no se encuentre activada, el “flag” PE se encuentra desactivado y se lee con valor cero. Este bit se reinicia mediante el bit SW RESET o por un reset del sistema.

0 = No se ha producido un error de paridad o este “flag” está desactivado.

1 = Se ha detectado un error de paridad.

Bit 1. RXWAKE. “Flag” de detección de salida de hibernación del receptor. Cuando este bit vale 1, indica que se ha producido la salida del modo de hibernación del receptor.

Bit 0. Reservado. La lectura sobre él es indeterminada y la escritura no produce ningún efecto.

Registros de almacenamiento de datos del Receptor.

Los datos recibidos son transferidos desde RXSHF a SCIRXEMU y entonces al registro SCIRXBUF. Cuando se ha completado la transferencia, el “flag” RXRDY se dispara, indicando que el dato recibido está listo para ser leído. Ambos registros contienen la misma información.

**-- Registro de emulación de almacenamiento de datos (SCIRXEMU).
Dirección 7056h --**

7	6	5	4	3	2	1	0
ERXDT7	ERXDT6	ERXDT5	ERXDT4	ERXDT3	ERXDT2	ERXDT1	ERXDT0
L-x	L-x	L-x	L-x	L-x	L-x	L-x	L-x

Nota: L=acceso de lectura, -x=valor después de reset indeterminado.

**-- Registro de almacenamiento de datos del receptor (SCIRXBUF).
Dirección 7057h --**

Cuando el último dato recibido es pasado del registro RXSHF al registro de almacenamiento del receptor, el “flag” RXRDY se dispara y el dato está listo para ser leído.

7	6	5	4	3	2	1	0
RXDT7	RXDT6	RXDT5	RXDT4	RXDT3	RXDT2	RXDT1	RXDT0
L-x	L-x	L-x	L-x	L-x	L-x	L-x	L-x

Nota: L=acceso de lectura, -x=valor después de reset indeterminado.

-- Registro de almacenamiento de datos del transmisor (SCITXBUF). Dirección 7059h --

Los datos a ser transmitidos son escritos en el registro de almacenamiento de datos del transmisor para ser posteriormente pasados al registro de desplazamiento del transmisor TXSHF.

7	6	5	4	3	2	1	0
TXDT7	TXDT6	TXDT5	TXDT4	TXDT3	TXDT2	TXDT1	TXDT0
LE-0	LE-0	LE-0	LE-0	LE-0	LE-0	LE-0	LE-0

Nota: L=acceso de lectura, E=acceso de escritura, -0=valor después de reset.

-- Registro de control 2 del puerto (SCIPC2). Dirección 705Eh --

7	6	5	4	3	2	1	0
SCITXD DATA IN	SCITXD DATA OUT	SCITXD FUNCTION	SCITXD DATA DIR	SCIRXD DATA IN	SCIRXD DATA OUT	SCIRXD FUNCTION	SCIRXD DATA DIR
L-x	LE-0	LE-0	LE-0	L-x	LE-0	LE-0	LE-0

Nota: L=acceso de lectura, E=acceso de escritura, -n=valor después de reset (x = indeterminado).

Bit 7. SCITXD DATA IN. Contiene el valor actual del pin SCITXD.

0 = El valor del pin SCITXD es 0.

1 = El valor del pin SCITXD es 1.

Bit 6. SCITXD DATA OUT. Es el valor a comunicar por el pin SCITXD. Este contiene los datos para ser transmitidos por el pin SCITXD siempre y cuando este esté haciendo la operación de pin de salida digital de propósito general. Para configurarlo de esta manera hay que poner a cero el bit 5 y a uno el bit 4 del registro CIPC2.

Bit 5. SCITXD FUNCTION. Define la función del pin SCITXD.

0 = SCITXD es un pin de E/S digital de propósito general.

1 = SCITXD trabaja como pin de transmisión del SCI.

Bit 4. SCITXD DATA DIR. Define la dirección de los datos del pin SCITXD, siempre y cuando SCITXD se encuentre operando como E/S digital de propósito general.

0 = SCITXD actúa como pin de entrada digital.

1 = SCITXD actúa como pin de salida digital.

Bit 3. SCIRXD DATA IN. Contiene el valor actual del pin SCIRXD.

0 = SCIRXD tiene valor 0.

1 = SCIRXD tiene valor 1.

Bit 2. SCIRXD DATA OUT. Valor para ser transmitido por el pin SCIRXD. Este bit contiene los datos a ser transmitidos a través del pin SCIRXD siempre y cuando este esté configurado como pin de salida digital de propósito general. Para que esto sea así, hay que borrar el bit 1 y poner a 1 el bit 0 del registro SCIPC2.

0 = Aparece el valor 0 en el pin de salida SCIRXD.

1 = Aparece el valor 1 en el pin de salida SCIRXD.

Bit 1. SCIRXD FUNCTION. Define la función del pin SCIRXD.

0 = SCIRXD es un pin de E/S digital de propósito general.

1 = SCIRXD es el pin de recepción del SCI.

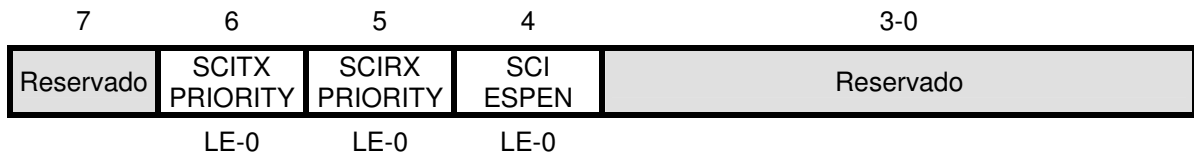
Bit 0. SCIRXD DATA DIR. Define la dirección de los datos en el pin SCIRXD, siempre y cuando este haya sido configurado como un pin de E/S digital de propósito general.

0 = SCIRXD es un pin de entrada digital.

1 = SCIRXD es un pin de salida digital.

-- Registro de control de la prioridad (SCIPRI). Dirección 705Fh --

Contiene los bits de selección de interrupción de prioridad para el emisor y el receptor.



Nota: L=acceso de lectura, E=acceso de escritura, -0=valor después de reset.

Bit 7. Reservado. La lectura sobre este bit es impredecible y la escritura no tiene ningún efecto.

Bit 6. SCITX PRIORITY. Selección de la interrupción de prioridad del transmisor del SCI. Este bit especifica el nivel de prioridad de las interrupciones del transmisor del SCI.

0 = Las interrupciones se consideran como peticiones de alta prioridad.

1 = Las interrupciones se consideran como peticiones de baja prioridad.

Bit 6. SCIRX PRIORITY. Selección de la interrupción de prioridad del receptor del SCI. Este bit especifica el nivel de prioridad de las interrupciones del receptor del SCI.

0 = Las interrupciones se consideran como peticiones de alta prioridad.

1 = Las interrupciones se consideran como peticiones de baja prioridad.

Bit 5. SCI ESPEN. Habilitación de la suspensión del emulador del SCI. Este bit solo tiene efecto cuando se está depurando un programa con el emulador XDS. Este bit determina cómo opera el SCI cuando el programa está suspendido.

0 = Cuando la señal suspendida se pone a nivel alto, el SCI continúa su operación hasta que las funciones de transmisión y recepción actuales se hayan completado.

1 = Cuando la señal suspendida se pone a nivel alto, el SCI se mantiene en estado de parada.

Bit 3-0. Reservado. La lectura sobre este bit es impredecible y la escritura no tiene ningún efecto.

5.6. Módulo de Interfaz serie para Periféricos (SPI).

5.6.1. Introducción.

El interfaz serie para periféricos (SPI) es un puerto de comunicación serie síncrona de alta velocidad para la entrada/salida (I/O) de datos, y que permite la transmisión o recepción de una cadena de bits con un tamaño de 1 a 8 bits a una velocidad programada.

El SPI se utiliza normalmente para la comunicación entre varios DSP o un DSP con periféricos externos, tales como registros de desplazamiento, displays o convertidores A/D.

Los principales componentes y características del *Módulo de Interfaz serie para Periféricos (SPI)* son las siguientes:

- Cuatro pines de Entrada/Salida (I/O):
 - SPISIMO (Activación del esclavo, desactivación del maestro) controlado por los bits del registro SPIPC2.
 - SPISOMI (Desactivación del esclavo, activación del maestro) controlado por los bits del registro SPIPC2.
 - SPICLK (Reloj del SPI) controlado por los bits del registro SPIC1.
 - SPISTE (Habilitación del SPI) controlado por los bits del registro SPIC1.
- Modo de operaciones “maestro/esclavo”.
- Registro de almacenamiento de la entrada serie del SPI, SPIBUF. Este registro de almacenamiento contiene los datos que son recibidos desde la red para que sean leídos por la CPU.
- Registro de datos serie del SPI, SPIDAT. Este registro de desplazamiento hace la función de registro de desplazamiento para la transmisión/recepción de datos.
- Control de polaridad y de fase de la señal de reloj SCICLK.
- Control lógico del estado.
- Registros de control y de estado mapeados.

A continuación se puede ver el diagrama de bloques (figura 5.13) que define al módulo SPI en su modo de funcionamiento “Esclavo”:

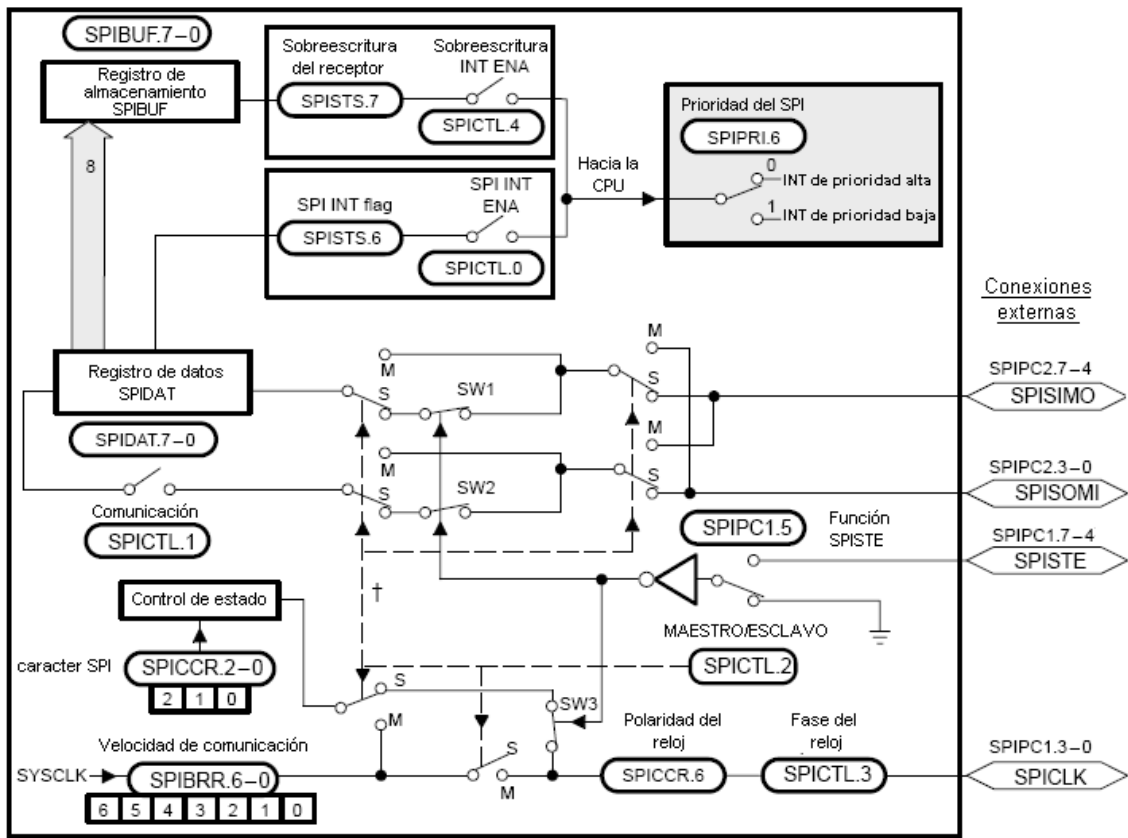


Figura 5.13 – Módulo SPI funcionando como esclavo.

5.6.2. Modos de operación del SPI.

El Módulo de Interfaz serie para Periféricos (SPI) puede trabajar en dos modos de operación diferentes, estos son: modo “maestro” y modo “esclavo”. Mediante el bit MAESTRO/ESCLAVO (SPICTL.2) se selecciona el modo de funcionamiento y la fuente de la señal de reloj del pin SPICLK.

Modo Maestro.

El modo “maestro” se selecciona poniendo a valor 1 el bit MAESTRO/ESCLAVO. En esta configuración, el SPI dota de señal de reloj a todo el sistema de comunicaciones serie a través del pin SPICLK. Los datos son transmitidos al exterior mediante el pin SPISIMO.

El registro SPIBRR determina la velocidad de transferencia de bits tanto en la recepción como en la emisión de datos. Esta puede variar entre 125 niveles diferentes de velocidad programada.

Los datos escritos sobre SPIDAT inician la transmisión en el pin SPISIMO, comenzando primero por el bit más significativo (MSB). A la misma vez, los datos recibidos son desplazados a través el pin SPISOMI hasta cubrir el bit menos significativo (LSB) de SPIDAT. Cuando el número de bits solicitados han terminado de ser transmitidos, los datos son transferidos al registro SPIBUF comenzando por el bit MSB, para que la CPU pueda leerlos. Los datos quedan guardados en el registro SPIBUF.

En resumen, una vez que se ha producido la transferencia del número de bits que estaba programado hacia el registro SPIDAT se producen las siguientes acciones:

- Es disparado el bit FLAG SPI INT (SPISTS.6).
- El contenido de SPIDAT es transferido al registro SPIBUF.
- Si anteriormente el bit SPI INT ENA había sido puesto a 1 (SPICTL.0), se produce una petición de interrupción.

En el caso de que el SPI trabaje en modo “maestro”, el pin SPISTE operará siempre como una E/S digital de propósito general sin tener en cuenta el valor del bit “Función SPISTE”. En el desarrollo normal del trabajo del SPI, el pin SPISTE sirve como pin de habilitación de los periféricos conectados al SPI y los cuales hacen la función de “esclavos”.

Modo Esclavo.

El modo “esclavo” se selecciona poniendo a valor 0 el bit MAESTRO/ESCLAVO. En esta configuración el pin SPICLK es utilizado como entrada de la señal de reloj serie proveniente de un SPI maestro y que será la encargada de sincronizar la comunicación de datos. Los datos serán transmitidos a través del pin SPISOMI y recibidos por el pin SPISIMO. La frecuencia de la señal de reloj recibida por SPICLK no debe exceder el valor de la octava parte del reloj interno SYSCCLK propio del sistema.

Los datos escritos en el registro SPIDAT son transmitidos al exterior cuando es recibida la señal de reloj SPICLK de un SPI maestro. En el caso de la recepción de datos, igualmente el SPI esclavo esperará a que el SPI maestro le envíe la señal SPICLK pertinente y entonces procederá a mover los datos almacenados en el registro SPISIMO a SPIDAT.

Cuando el bit “comunicación” (SPICTL.1) vale cero significa que la capacidad de transmisión está deshabilitada y por tanto la línea de salida SPISOMI estará puesta a estado de alta impedancia. Con este procedimiento se consigue que cada vez sólo un SPI esclavo pueda realizar una transmisión de datos dentro de una red de SPIs esclavos conectados conjuntamente.

En el caso de que el bit “Función SPISTE” (SPIPC1.5) valga cero, el pin SPISTE operará como una E/S digital de propósito general. En caso contrario, o sea, que el bit “Función SPISTE” valga uno, supondrá que el pin SPISTE trabaja como el pin de selección del esclavo. En este último ejemplo, mediante este pin se le dará o retirará la capacidad de transmisión a un SPI esclavo por parte de un SPI maestro. Con

este procedimiento se consigue que cada vez solo un SPI esclavo pueda realizar una transmisión de datos dentro de una red de SPIs esclavos conectados conjuntamente.

5.6.3. Formato de los datos del SPI.

Mediante los bits 0, 1 y 2 del registro SPICCR se especifica el número de bits que conforman cada carácter de datos manejados por las comunicaciones del SPI. En el caso de que la longitud de carácter programada sea menor a 8 bits, el sistema aplica las siguientes correcciones:

-Los datos serán justificados al margen izquierdo cuando son escritos en el registro SPIDAT.

-Los datos leídos desde SPIBUF son justificados a la derecha.

-El registro SPIBUF contiene los últimos caracteres recibidos, los cuales se encuentran estructurados mediante su justificación en el margen derecho, y a la misma vez el registro contiene los bits que permanecen de la transmisión anterior, los cuales son desplazados hacia la izquierda, formando un ciclo de transmisión serie en el cual se emitirá siempre el bit más significativo de cada carácter.

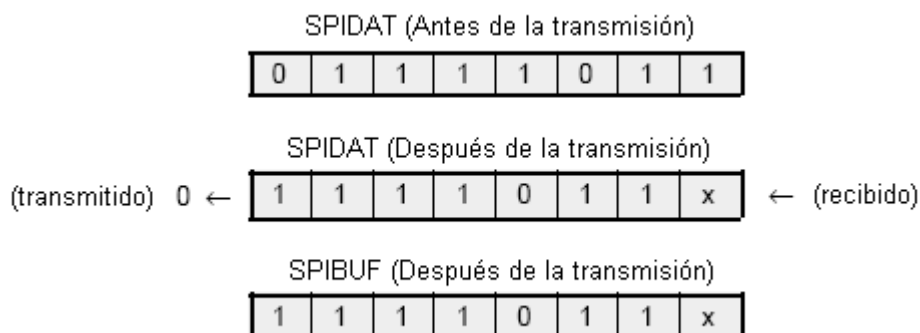


Figura 5.14 - Ejemplo de transmisión de un carácter con longitud de 1 bit.

A continuación vamos a ver los diagramas temporales de un ejemplo de transferencia de datos entre dos dispositivos SPI actuando cada uno respectivamente como “maestro” y “esclavo”. Estos se transmiten caracteres con una longitud de 5 bits comandados por una señal de reloj SPICLK simétrica:

Señales en el SPI maestro.

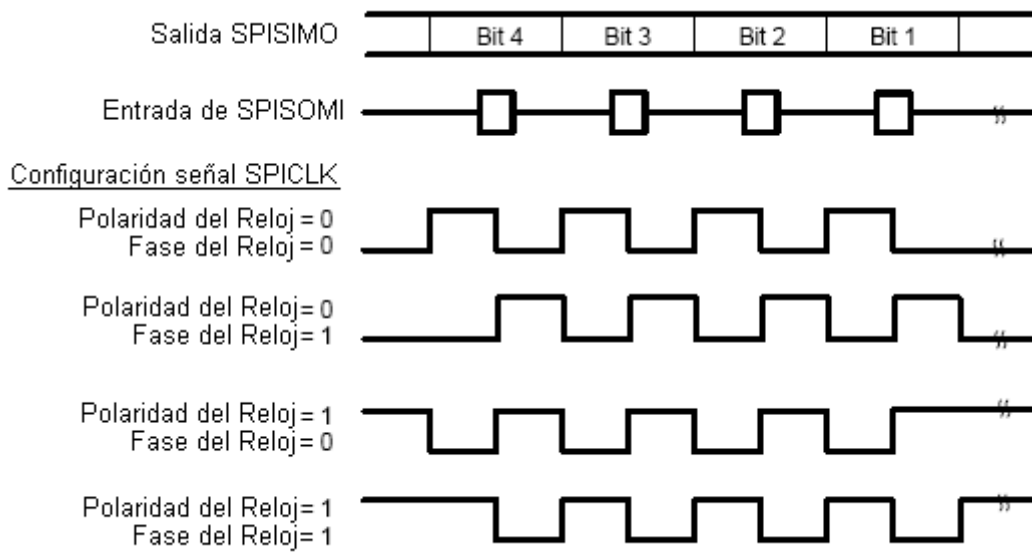


Figura 5.15 – Señales en el SPI maestro.

Señales en el SPI esclavo.

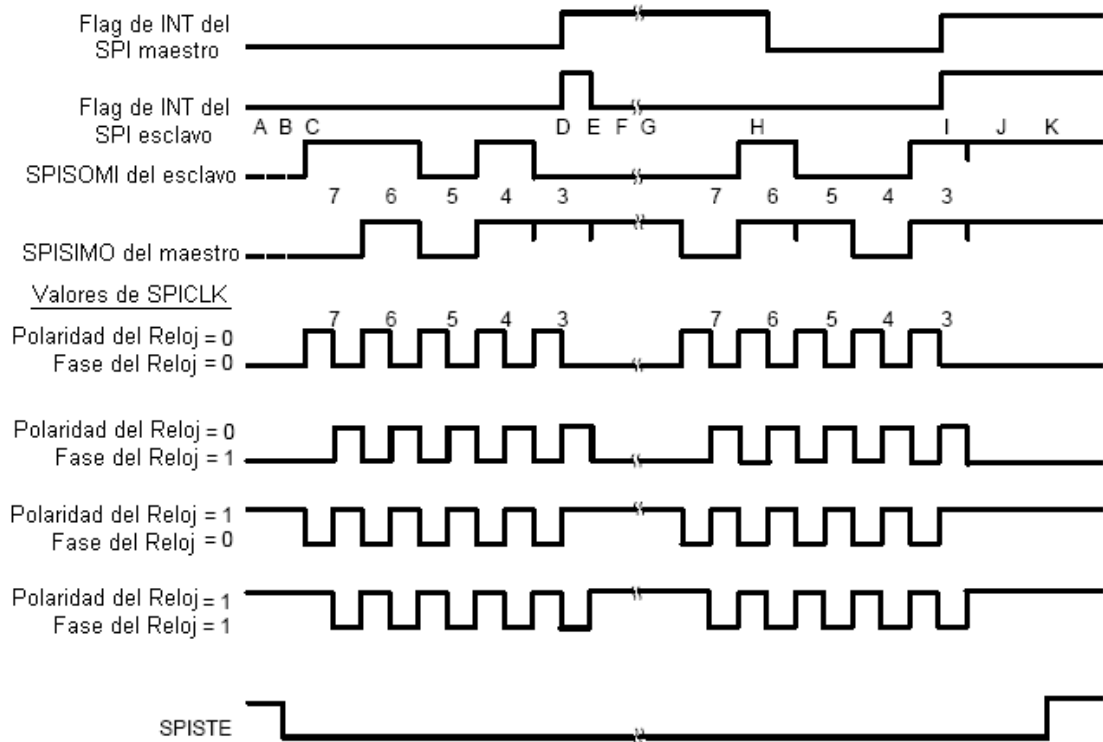


Figura 5.16 – Señales en el SPI esclavo.

Descripción del proceso:

- A) El esclavo escribe el valor 0D0h en el registro SPIDAT y espera que el maestro de la señal de inicio de transmisión.
- B) El maestro activa la señal SPISTE del esclavo poniéndola a cero.
- C) El maestro escribe el valor 058h en SPIDAT, y comienza el proceso de transmisión.
- D) La transmisión del primer byte se ha completado y se disparan los “flags” de interrupción.
- E) El esclavo lee el valor 0Bh de su registro de almacenamiento SPIBUF. Este valor se encuentra justificado al margen derecho.
- F) El esclavo escribe 04Ch en SPIDAT y espera a que el maestro de la señal de inicio de transmisión.
- G) El maestro escribe el valor 06Ch en SPIDAT, lo cual provoca el comienzo de la transmisión.
- H) El maestro lee el valor 01Ah en el registro SPIBUF.
- I) La transmisión del segundo byte se ha completado y se disparan los “flags” de interrupción.
- J) El maestro lee 89h y el esclavo lee 8Dh, cada uno de su respectivo registro de almacenamiento SPIBUF. Una vez que se haya aplicado la pertinente máscara de registro programada vía software, el maestro recibirá el valor 09h y el esclavo 0Dh.
- K) El maestro desactiva la señal SPISTE del esclavo poniéndola a uno.

5.6.4. Valores después del reinicio.

Después de que se haya producido un reset del sistema, el Módulo SPI es restaurado por defecto con los siguientes valores:

- El SPI es configurado como “esclavo”.
- La opción de transmisión de datos es deshabilitada.
- La longitud de carácter predefinida es de un bit.
- Todas las interrupciones del SPI están deshabilitadas.
- El valor de SPIDAT es 00h.
- Los pines de función son seleccionados como entradas de propósito general.

Para volver a activar las capacidades del SPI, hay que seguir estos simples pasos:

- 1) Poner a 1 el bit SPI SW RESET del registro SPICCR.7.
- 2) Configurar el formato de carácter, velocidad de transferencia, y las funciones de los pines.
- 3) Borrar el bit SPI SW RESET.
- 4) Escribir en SPIDAT, lo cual provoca el inicio de la comunicación si hemos elegido el modo master.
- 5) Leer el registro SPIBUF una vez que se haya completado la transmisión para determinar cual fue el último dato recibido.

5.6.5. Registros del SPI.

Dirección	Registro	Nombre	Descripción
7040h	SPICCR	Registro de configuración del control del SPI	Contiene lo bits que configuran el comportamiento del SPI.
7041h	SPICTL	Registro de control de la operación del SPI	Contiene los bits que controlan la transmisión de datos.
7042h	SPISTS	Registro de estado del SPI.	Contiene dos bits de estado del registro de almacenamiento del receptor.
7043h		Reservado	Reservado
7044h	SPIBRR	Registro de selección de velocidad de comunicación del SPI.	Contiene siete bits que determinan la velocidad de transferencia de datos.
7045h		Reservado	Reservado
7046h	SPIEMU	Registro de almacenamiento de emulación del SPI.	Contiene los datos recibidos y da soporte a la emulación.
7047h	SPIBUF	Registro de almacenamiento de la entrada serie del SPI.	Contiene los datos recibidos.
7048h		Reservado	Reservado
7049h	SPIDAT	Registro de los datos serie del SPI	Contiene los datos transmitidos por el SPI y hace la operación de registro de desplazamiento de la transmisión y la recepción.
704Ah		Reservado	Reservado
704Bh		Reservado	Reservado
704Ch		Reservado	Reservado
704Dh	SPIPC1	Registro de control 1 del puerto del SPI	Contiene los bit de control necesarios para elegir las funciones de los pines SPISTE y SPICLK.
704Eh	SPIPC2	Registro de control 2 del puerto del SPI	Contiene los bit de control necesarios para elegir las funciones de los pines SPISIMO y SPISOMI.
704Fh	SPIPRI	Registro de control de la prioridad del SPI.	Contiene dos bits que determinan la prioridad de las interrupciones y la operación del SPI cuando se encuentra funcionando el emulador XDS.

-- Registro de configuración del control del SPI (SPICCR). Dirección 7040h

--

7	6	5-3	2	1	0
SPI SW RESET	POLARID AD DEL RELOJ	Reservado	SPI CHAR2	SPI CHAR1	SPI CHAR0
LE-0	LE-0		LE-0	LE-0	LE-0

Nota: L=acceso de lectura, E=acceso de escritura, -0=valor después de reset.

Bit 7. SPI SW RESET. Reset del software del SPI. (Nota: Cuando se vaya a cambiar la configuración, hay que poner a 1 este bit antes de realizar los cambios y una vez realizados estos hay que ponerlo a 0).

1 = Inicializa los “flags” de operación del SCI a la condición de reset.

0 = El SPI está preparado para transmitir o recibir el siguiente carácter.

Bit 6. POLARIDAD DEL RELOJ. Cambio de la polaridad del reloj. Este bit controla la polaridad de la señal SPICLK.

0 = El nivel inactivo está a nivel bajo.

1 = El nivel inactivo está a nivel alto.

Bits 5-3. Reservado. Las lecturas son indeterminadas y la escritura no tiene ningún efecto.

Bit 2-0. SPI CHAR2-0. Bits de control de la longitud del carácter. Estos tres bits determinan el número de bits a ser transmitidos o recibidos como un solo carácter durante una secuencia de desplazamiento.

SPI CHAR2	SPI CHAR1	SPI CHAR0	Longitud del caracter
0	0	0	1
0	0	1	2
0	1	0	3
0	1	1	4
1	0	0	5
1	0	1	6
1	1	0	7
1	1	1	8

-- Registro de control de la operación del SPI (SPICTL). Dirección 7041h --

Este registro controla:

- La transmisión de datos.
- La habilidad del SPI para generar interrupciones.
- La fase del SPICLK.
- El modo de operación (maestro o esclavo).

7-5	4	3	2	1	0
Reservado	Sobreescri tura INT ENA	Fase del Reloj	Maestro/ Esclavo	Comunicac ión	SPI INT ENA
	LE-0	LE-0	LE-0	LE-0	LE-0

Nota: L=acceso de lectura, E=acceso de escritura, -0=valor después de reset.

Bits 7-5. Reservado. Las lecturas son indeterminadas y la escritura no tiene ningún efecto.

Bit 4. Sobreescritura INT ENA. Habilitación de la interrupción de sobreescritura. Poniendo a 1 este bit provoca que se produzca una interrupción cuando salta el “flag” de Sobreescritura del Receptor debido a una señal de hardware.

0 = Deshabilita las interrupciones del bit de “flag” de Sobreescritura del Receptor.

1 = Habilita las interrupciones del bit de “flag” de Sobreescritura del Receptor.

Bit 3. Fase del reloj. Selección de la fase del reloj del SPI. Este bit controla la fase de la señal del reloj SPICLK.

0 = Esquema de temporización normal del SPI. Depende del bit de polaridad del reloj.

1 = Señal del SPICLK retrasada medio ciclo. Depende del bit de polaridad del reloj.

Bit 2. Maestro/Esclavo. Control del modo de trabajo de la red de SPIs. Este bit determina si dentro de la red de comunicación el SPI actúa como un “maestro” o un “esclavo”. En el momento del reset, el SPI es configurado por defecto como “esclavo” del sistema.

0 = Configuración del SPI como esclavo.

1 = Configuración del SPI como maestro.

Bit 1. Comunicación. Habilitación de la transmisión maestro/esclavo. El bit de comunicación puede deshabilitar la transmisión de datos poniendo la salida de datos serie en estado de alta impedancia. En el caso de poner a cero este bit a mitad de una transmisión de datos, esta no se detendrá hasta haber completado de transmitir la información en curso.

0 = Deshabilita la transmisión:

Modo esclavo: Si no se ha configurado previamente como un pin de E/S de propósito general, el pin SPISOMI es puesto en estado de alta impedancia.

Modo maestro: Si no se ha configurado previamente como un pin de E/S de propósito general, el pin SPISOMO es puesto en estado de alta impedancia.

1 = Habilita la transmisión.

Bit 0. SPI INT ENA. Habilitación de las interrupciones del SPI. Este bit controla la capacidad del SPI para generar interrupciones. Este bit no ejerce ningún efecto sobre el bit de SPI INT FLAG.

0 = Deshabilita las interrupciones.

1 = Habilita las interrupciones.

-- Registro de estado del SPI (SPISTS). Dirección 7042h --



Nota: L=acceso de lectura, B=borrado , -0=valor después de reset.

Bit 7. Sobreescritura del receptor. “Flag” de aviso del sobreescritura en el receptor del SPI. El SPI pone este bit a 1 vía hardware cuando una operación de recepción o de transmisión se ha completado antes de que el carácter anterior haya sido leído desde el registro de almacenamiento. El bit indica que el carácter recibido ha sido sobrescrito y por lo tanto perdido.

Bit 6. Flag SPI INT. “Flag” de aviso de interrupción del SPI. Este bit es puesto a 1 vía hardware para indicar que se ha completado de transmitir o recibir el último bit.

Bits 5-0- Reservado. Las lecturas son indeterminadas y la escritura no tiene ningún efecto.

**-- Registro de selección de velocidad de comunicación del SPI (SPIBRR).
Dirección 7044h --**

7	6	5	4	3	2	1	0
Reservado	Velocidad SPI 6	Velocidad SPI 5	Velocidad SPI 4	Velocidad SPI 3	Velocidad SPI 2	Velocidad SPI 1	Velocidad SPI 0
	LE-0	LE-0	LE-0	LE-0	LE-0	LE-0	LE-0

Nota: L=acceso de lectura, E=acceso de escritura, -0=valor después de reset.

Bit 7. Reservado. Las lecturas son indeterminadas y la escritura no tiene ningún efecto.

Bits 6-0. Velocidad SPI 6-0. Control de la velocidad de comunicación en baudios del SPI. Estos bits determinan la velocidad de transferencia de bits cuando el SPI actúa en modo “maestro”. Existe 125 niveles diferentes para la velocidad de comunicación . Cada bit de datos es transmitido en cada ciclo del reloj SPICLK.

En el caso de que el SPI actúe como esclavo del sistema, el módulo recibe por el pin SPICLK una señal de reloj desde el oportuno maestro del sistema. Esta señal de reloj no debe exceder la octava parte de la señal de reloj interna SYSCLK del SPI esclavo.

En la configuración “maestro”, el reloj del SPI es generado por el propio SPI y es transmitido al exterior por el pin SPICLK.

Los niveles de velocidad de comunicación se calculan mediante las siguientes formulas:

Velocidad de comunicación del SPI para SPIBRR = 0 a 3:

$$\text{Velocidad} = \frac{\text{SYSCLK}}{4}$$

Velocidad de comunicación del SPI para SPIBRR = 3 a 127:

$$\text{Velocidad} = \frac{\text{SYSCLK}}{(\text{SPIBRR} + 1)}$$

SYSCLK = Frecuencia de reloj del sistema.

SPIBRR = Contenido del registro SPIBRR del SPI maestro.

-- Registro de almacenamiento de emulación del SPI (SPIEMU). Dirección 7046h --

7	6	5	4	3	2	1	0
ERCVD7	ERCVD6	ERCVD5	ERCVD4	ERCVD3	ERCVD2	ERCVD1	ERCVD0
L-X	L-X	L-X	L-X	L-X	L-X	L-X	L-X

Nota: L=acceso de lectura, -X=valor después de reset.

Bits 7-0. ERCVD7-0. Registro de almacenamiento de datos de la emulación. Una vez que SPIDAT recibe el carácter completo, este es transferido al registro SPIEMU y SPIBUF donde puede ser leído. Simultáneamente es disparado el FLAG SPI INT.

En la operación normal del emulador, los registros de control son leídos continuamente para actualizar los contenidos de estos registros en la pantalla de control. El SPIEMU permite leer este registro al emulador para actualizar el contenido de la pantalla de información. En el momento de lectura de SPIBUF, este bit se pone a cero.

-- Registro de almacenamiento de la entrada serie del SPI (SPIBUF). Dirección 7046h --

7	6	5	4	3	2	1	0
RCVD7	RCVD6	RCVD5	RCVD4	RCVD3	RCVD2	RCVD1	RCVD0
L-X	L-X	L-X	L-X	L-X	L-X	L-X	L-X

Nota: L=acceso de lectura, -X=valor después de reset.

Bits 7-0. RCVD7-0. Datos recibidos. Una vez que SPIDAT recibe el carácter completo, este es transmitido al registro SPIBUF, donde puede ser leído por la CPU. A la misma vez, el bit de FLAG SPI INT es puesto a uno. Los datos son introducidos en el SPI comenzando por el bit más significativo (MSB), el resto de bits son justificados a la derecha del registro.

-- Registro de datos serie del SPI (SPIDAT). Dirección 7049h --

7	6	5	4	3	2	1	0
SDAT7	SDAT6	SDAT5	SDAT74	SDAT3	SDAT2	SDAT1	SDAT0
LE-X	LE-X	LE-X	LE-X	LE-X	LE-X	LE-X	LE-X

Nota: L=acceso de lectura, -X=valor después de reset.

Bits 7-0. SDAT7-0. Datos serie. La configuración de los bits del registro SPIDAT provocan la realización de dos funciones:

- Provoca la salida de los datos por el pin de salida serie cuando es puesto a uno el bit “Comunicación” situado en el bit 1 del registro SPICTL.
- Cuando el SPI está trabajando como “maestro”, se produce el inicio de la transferencia de datos. Antes de llevar a cabo esta transferencia hay que asegurarse que los bits de “Polaridad del reloj” (PICCR.6) y “Fase del Reloj” (SPICTL.3) se encuentran configurados correctamente.

-- Registro 1 de control del puerto del SPI (SPIPC1). Dirección 704Dh --

7	6	5	4	3	2	1	0
Entrada datos SPISTE	Salida datos SPISTE	Función SPISTE	Dir. Datos SPISTE	Entrada datos SPICLK	Salida datos SPICLK	Función SPICLK	Dir. Datos SPICLK
LE-0	LE-0	LE-0	L-X	LE-0	LE-0	LE-0	LE-0

Nota: L=acceso de lectura, E=acceso a lectura, -0=valor después de reset, -X=valor después de reset.

Bit 7. Entrada datos SPISTE. “Flag” de habilitación de recepción de datos del SPI esclavo. Este bit contiene el valor actual del pin SPISTE, tanto en modo maestro como esclavo. La escritura sobre este bit no tiene ningún efecto.

Bit 6. Salida datos SPISTE. “Flag” de habilitación de emisión de datos del SPI esclavo. Este bit contiene los datos que van a ser transmitidos por el pin SPISTE.

Bit 5. Función SPISTE. Pin de habilitación de la función de transmisión del SPI esclavo. Este pin selecciona la función del pin SPISTE según unas condiciones:

-Modo maestro (SPICTL.2 = 1). El pin SPISTE funciona siempre como un pin de E/S de propósito general.

-Modo esclavo (SPICTL.2 = 0).

0 = El pin SPISTE funciona como un pin de E/S de propósito general.

1 = El pin SPISTE funciona como pin de selección del módulo SPI.

Bit 4. Dir. Datos SPISTE. Pin de habilitación de la dirección de los datos en la transmisión del SPI esclavo. Este bit determina la dirección de los datos del pin SPISTE si el bit de “Función de SPISTE” vale 0 o si el SPI está trabajando en modo maestro.

0 = El pin SPISTE es configurado como una entrada.

1 = El pin SPISTE es configurado como una salida.

Bit 3. Entrada Datos SPICLK. “Flag” del pin del puerto de entrada de datos del SPI. Este bit contiene el valor actual del pin SPICLK. Las escrituras sobre este pin no tienen ningún efecto.

Bit 2. Salida Datos SPICLK. Pin del puerto de salida de datos de SPICLK. Este bit contiene los datos que van a ser transmitidos a través del pin SPICLK. Para que esto pueda ocurrir se deben cumplir las siguientes condiciones:

- Que el pin SPICLK haya sido previamente definido como pin de E/S digital de propósito general (FUNCION SPICLK = 0).
- Que el pin de dirección de datos del SPICLK haya sido definido como salida (DIR. DATOS SPICLK = 1).

Bit 1. Función SPICLK. Selección de la función del pin SPICLK. Este pin define la función del pin SPICLK.

0 = SPICLK es un pin de E/S digital de propósito general.

1 = El pin SPICLK es el que da señal de reloj al SPI.

Bit 0. Dir. Datos SPICLK. Dirección de los datos del SPICLK. Este bit determina la dirección de los datos en el pin SPICLK cuando este se encuentra trabajando como E/S digital de propósito general (FUNCION SPICLK = 0).

0 = El pin SPICLK actúa como entrada.

1 = El pin SPICLK actúa como salida.

-- Registro 2 de Control del puerto del SPI (SPIPC2). Dirección 704Eh --

7	6	5	4	3	2	1	0
Entrada datos SPISIMO	Salida datos SPISIMO	Función SPISIMO	Dir. Datos SPISIMO	Entrada datos SPISOMI	Salida datos SPISOMI	Función SPISOMI	Dir. Datos SPISOMI
L-x	LE-0	LE-0	L-X	L-x	LE-0	LE-0	LE-0

Nota: L=acceso de lectura, E=acceso a lectura, -0=valor después de reset, -X=valor después de reset.

Bit 7. Entrada datos SPISIMO. Entrada de datos al pin SPISIMO. Este bit contiene el valor actual del pin SPISIMO. La escritura sobre este pin no tiene ningún efecto.

Bit 6. Salida datos SPISIMO. Salida de datos del pin SPISIMO. Este bit contiene los datos a ser transmitidos a través del pin SPISIMO cuando se cumplen las siguientes condiciones:

- El pin SPISIMO está definido como E/S digital de propósito general (Función SPISIMO = 0).

- La dirección de los datos del pin SPISIMO está definida como salida.

Bit 5. Función SPISIMO. Selección de la función del pin SPISIMO. Este bit define la función a acometer por el pin SPISIMO.

0 = El pin SPISIMO actúa como una E/S digital de propósito general.

1 = El pin SPISIMO contiene los datos del SPI.

Bit 4. Dir. Datos SPISIMO. Dirección de los datos de SPISIMO. Este bit determina la dirección de los datos en el pin SPISIMO cuando este se encuentra configurado como una E/S digital de propósito general (Función SPISIMO = 0).

0 = El pin SPISIMO es una entrada.

1 = El pin SPISIMO es una salida.

Bit 3. Entrada datos SPISOMI. Entrada de datos del pin SPISOMI. Este bit contiene el valor actual del pin SPISOMI.

Bit 2. Salida datos SPISOMI. Salida de datos del pin SPISOMI. Este bit contiene los datos para ser transmitidos por el pin SPISOMI cuando este se ha configurado de la siguiente manera:

-El pin SPISOMI ha sido definido como una E/S digital de propósito general.

-La dirección del pin SPISOMI ha sido definida como salida (Dir. Datos SPISOMI = 1).

Bit 1. Función SPISOMI. Selección de la función del pin SPISOMI. Este bit define la función del pin SPISOMI.

0 = El pin SPISOMI actúa como una E/S digital de propósito general.

1 = El pin SPISOMI contiene los datos del SPI.

Bit 0. Dir. Datos SPISOMI. Dirección de Datos SPISOMI. Este bit determina la dirección de los datos en el pin SPISOMI, siempre y cuando este se encuentre trabajando como E/S digital de propósito general (Función SPISOMI = 0).

0 = El pin SPISOMI es un pin de entrada.

1 = El pin SPISOMI es un pin de salida.

-- Registro de control de prioridad del SPI (SPIPRI). Dirección 704Fh --

7	6	5	4-0
Reservado	Prioridad SPI	SPI ESPEN	Reservado
LE-0	LE-0	LE-0	

Nota: L=acceso de lectura, E=acceso a escritura, -0=valor después de reset .

Bit 7. Reservado. Las lecturas son indeterminadas y la escritura no tiene ningún efecto.

Bit 6. Prioridad SPI. Selección de la interrupción de prioridad. Este bit especifica el nivel de prioridad de la interrupción del SPI.

0 = Se considera a las interrupciones como de alta prioridad.

1 = Se considera a las interrupciones como de baja prioridad.

Bit 5. SPI ESPEN. Habilitación de la suspensión del emulador. Este bit solo tiene efecto cuando se está utilizando el emulador XDS para la ejecución de un programa.

0 = Cuando el emulador está suspendido , el SPI continua trabajando hasta que la transmisión/recepción de la secuencia actual sea completada.

1 = Cuando el emulador está suspendido, el SPI queda en estado de paro, pudiendo acceder posteriormente a la configuración del SPI que quedó registrada en el momento de la detención.

Bits 4-0. Reservado. Las lecturas son indeterminadas y la escritura no tiene ningún efecto.

5.7. Módulo Watchdog y de interrupciones en tiempo real.

5.7.1. Introducción.

El módulo “*Perro Guardián*” o *Watchdog (WD)* y de *Interrupciones en Tiempo Real (RTI)* sigue constantemente el funcionamiento del sistema, provocando interrupciones cada cierto periodo de tiempo según haya sido programado, las cuales conllevan un reset del sistema, todo ello con el objetivo de solucionar los casos en los que la CPU se encuentre metida en un ciclo infinito o de error. De esta manera se asegura la fiabilidad del sistema, ya que este nunca se encontrará en un estado indefinido de malfuncionamiento.

Los principales componentes y características del *Módulo Watchdog y de Interrupciones en Tiempo Real* son las siguientes:

-Temporizador WD (Watchdog).

- Contador WD de 8 bits el cual produce un reset del sistema en el caso de que se produzca un colapso de este.
- Contador libre de 7 bits, el cual provee de señal de reloj al contador WD habiendo pasado esta anteriormente por un preescalador.
- Un registro para el reset del WD (WDKEY).
- Un “flag” del WD (WD FLAG) el cual indica cuando el WD va a llevar a cabo una operación de reset del sistema.
- Bits de comprobación del WD los cuales inician un reset del sistema en el caso de que el temporizador del WD esté corrupto.
- Activación automática del temporizador WD, una vez que se ha finalizado el reset del sistema.
- Un preescalador de la señal de reloj del temporizador WD proveniente de la entrada WDCLK , el cual tiene seis niveles de escala que se obtienen a partir del contador libre de 7 .

-Temporizador RTI (Interrupción en tiempo real).

- Preescalador de la señal de reloj que recibe el temporizador RTI, el cual puede ser configurado entre 4 valores del contador de 8 bits del temporizador de tiempo real y 4 valores del contador libre de 7 bits.
- Capacidad de generar interrupciones.
- Un “flag” de aviso RTI (RTI FLAG) el cual indica cuando se ha producido un desbordamiento del temporizador RTI.

A continuación se puede ver el diagrama de bloques que define al Módulo WD y RTI:

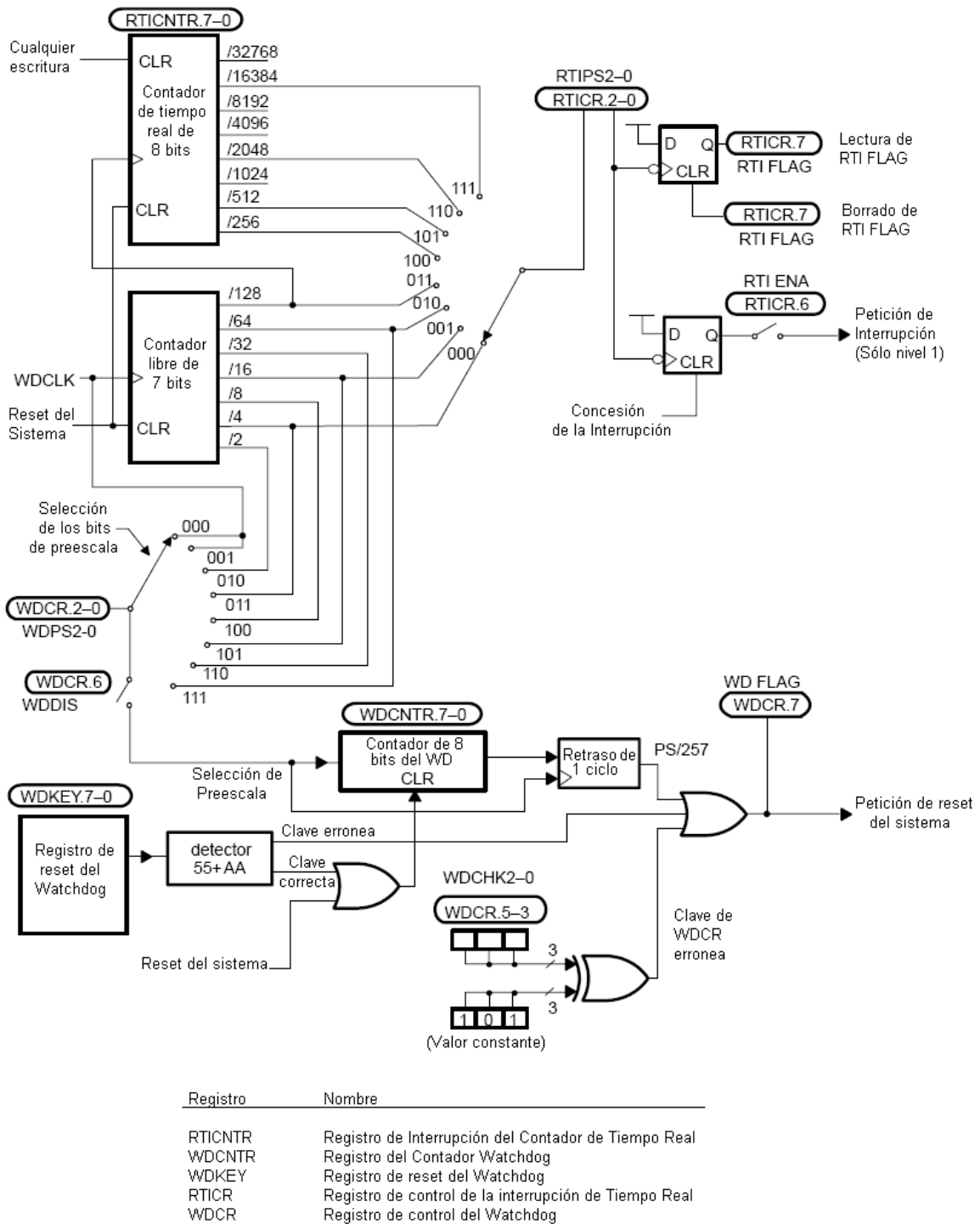


Figura 5.17 – Diagrama de bloques del Módulo Watchdog y RTI.

5.7.2. Watchdog o “Perro Guardián” (WD).

El temporizador Watchdog o “Perro Guardián”, consiste en un contador incremental de 8 bits, el cual recibe una señal de reloj preescalada. La misión de este temporizador es la de proteger al sistema frente a fallos en la ejecución del software o malfuncionamiento de la CPU, provocando un reset del sistema que hace que este salga de su estado erróneo y vuelva a los valores de funcionamiento de inicio.

La señal de reloj que alimenta al WD viene de WDCLK y trabaja a una frecuencia de 16.384Hz. El registro del contador WDCNTR puede operar directamente con esta frecuencia de reloj, o le podemos aplicar una preescala de entre seis valores diferentes mediante la configuración de los bits WDPS2-0 del registro WDCR, pudiendo obtener valores de desbordamiento del WD que van desde 15,63 ms a 1 segundo.

El contador WDCNTR se pone a cero cuando se introduce en el registro WDKEY la secuencia AAh y luego 55h, de esta manera hacemos que el contador vuelva a empezar su cuenta ascendente desde el valor 0 sin provocar la activación del “flag” de desbordamiento WDFLAG y la consecución de un reset del sistema. Por otra parte, si introducimos en el registro WDKEY cualquier otra secuencia que no coincida con la anteriormente indicada, entonces se produciría también automáticamente un reset del sistema.

Después de un reset del sistema provocado por el WD, el programa lee el registro de “flag” del WD para determinar cual ha sido la causa del reset, para ello antes habrá que borrar este bit ya que estando este con valor 1 es imposible poder determinarlo.

Otra forma de provocar el reset del sistema debido al WD es mediante los bits de comprobación del WD (WDCR.5-3). Estos bits son constantemente comparados con la constante binaria “101”. En el caso de que estos bits no coincidan con ese valor, automáticamente se produce un reset del sistema. El sentido de este método adicional para provocar el reset del sistema, es el de constituir un refuerzo en el caso de que no se

produzca el buen funcionamiento del dispositivo principal de reset que es el contador WDCR.

El temporizador WD trabaja independientemente de la CPU sin necesitar de ningún tipo de inicialización por parte de esta y siempre está activo. En el momento del arranque de la CPU al encender el equipo por primera vez o después de un reset del sistema, el WD queda configurado por defecto para que se desborde en el menor tiempo posible, por lo tanto, para que no vuelva a producir inmediatamente un reset del sistema debido al desbordamiento prematuro de WDCNTR, la configuración de los parámetros del WD debe hacerse antes de ejecutar cualquier otra operación del DSP.

En el caso de que no nos interese que la aplicación del Watchdog esté activa, la manera en la que lo desactivaremos será aplicando una tensión de 5V sobre el pin V_{CCP} del DSP durante el tiempo de arranque del dispositivo, y poniendo a 1 el bit 6 del registro de control WDCR del Watchdog.

5.7.3. Temporizador de Interrupciones en Tiempo Real (RTI).

El temporizador RTI es un contador de 8 bits el cual puede ser programado para generar interrupciones periódicas según una frecuencia elegida mediante software. Esta elección de frecuencia se realiza de entre 8 niveles distintos de preescala de velocidad, los cuales se eligen mediante la configuración de los bits 2, 1 y 0 del registro RTICR y del “contador libre”. Mediante la aplicación de esta preescala podemos obtener una cantidad de 1 a 4.096 interrupciones por segundo para una frecuencia de reloj de entrada WDCLK de 16.384Hz.

El contador RTICNTR puede ser puesto a cero a voluntad en cualquier momento mediante software, sin embargo el “contador libre” solo puede ser puesto a cero mediante un reset del sistema. La puesta a cero del contador RTICNTR no implica la puesta a cero también del contador libre, el cual provee de preescala al anterior.

El RTI puede ser habilitado o deshabilitado mediante el bit RTI ENA que ocupa la posición 6 del registro de control del RTI (RTICR). En el momento del arranque no conocemos el valor del “contador libre” el cual ayuda al contador RTICNTR en la temporización del periodo entre interrupciones, por tanto el primer desbordamiento del RTICNTR se producirá en un tiempo aleatorio y desconocido siempre menor o igual a mayor tiempo programable para RTI. Para evitar que este desajuste provoque errores en el sistema es conveniente que habilitemos las interrupciones del RTI a partir de que haya saltado por primera vez el RTI FLAG (RTICR.7)

5.7.4. Registros del Módulo WD/RTI.

Dirección	Registro	Nombre	Descripción
7020h		Reservado	Reservado
7021h	RTICNTR	Registro del contador RTI	Contiene el valor del Contador RTI
7022h		Reservado	Reservado
7023h	WDCNTR	Registro del contador WD	Contiene el valor del Contador WD
7024h		Reservado	Reservado
7025h	WDKEY	Registro de reset de WD	Borra el contador WDCNTR cuando es escrito en el registro WDKEY el valor 55h seguido de AAh.
7026h		Reservado	Reservado
7027h	RTICR	Registro de control de RTI	Contiene los bits de control usados para la configuración del RTI.
7028h		Reservado	Reservado
7029h	WDCR	Registro de control de WD	Contiene los bits de control usados para la configuración del WD.
702Ah		Reservado	Reservado
702Bh		Reservado	Reservado
702Ch		Reservado	Reservado
702Dh		Reservado	Reservado
702Eh		Reservado	Reservado
702Fh		Reservado	Reservado

-- Registro del contador RTI (RTICNTR). Dirección 7021h --

7	6	5	4	3	2	1	0
D7	D6	D5	D4	D3	D2	D1	D0
LB-0	LB-0	LB-0	LB-0	LB-0	LB-0	LB-0	LB-0

Nota: L=acceso de lectura, B=Borrado, -0=valor después de reset.

Bits 7-0. D7-0. Valor de datos. Estos bits de datos de sólo lectura contienen el valor del contador de 8 bits del RTI.

Este contador se incrementa continuamente mediante el acarreo del contador RTI de 128 Hz. A pesar de que este registro tiene 8 bits, solo 7 de ellos tienen utilidad para el funcionamiento del RTI. Este registro no detiene su cuenta en el modo de funcionamiento normal del DSP, ni tampoco en los modos idle1, idle2 y modo de bajo consumo PLL.

-- Registro del contador WD (WDCNTR). Dirección 7023h --

7	6	5	4	3	2	1	0
D7	D6	D5	D4	D3	D2	D1	D0
L-0	L-0	L-0	L-0	L-0	L-0	L-0	L-0

Nota: L=acceso de lectura, -0=valor después de reset.

Bits 7-0. D7-0. Valor de datos. Estos bits de datos de sólo lectura contienen el valor del contador de 8 bits del WD.

Este registro contiene el valor actual del contador WD, incrementándose al mismo ritmo que lo hace la cuenta del temporizador WD. Una vez que se desborda este registro, se produce un ciclo de reloj de retardo del WD siendo aprovechado este tiempo

para introducir el valor pertinente en el registro WDKEY, procediendo a continuación al reset del sistema. Después de esta operación el registro WDCNTR se pone a cero.

-- Registro de reset de WD (WDKEY). Dirección 7025h --

7	6	5	4	3	2	1	0
D7	D6	D5	D4	D3	D2	D1	D0
LE-0	LE-0	LE-0	LE-0	LE-0	LE-0	LE-0	LE-0

Nota: L=acceso de lectura, E=Acceso a escritura, -0=valor después de reset.

Bits 7-0. D7-0. Valor de datos. Estos 8 bits de datos de solo lectura contienen el valor clave de reset del WD.

Cuando el registro de reset de WD recibe el valor 55h seguido del valor AAh provoca el borrado del registro WDCNTR. La introducción de cualquier valor diferente a los anteriores en el registro WDKEY produce el reset del sistema.

-- Registro de control de RTI (RTICR). Dirección 7027h --

7	6	5-3	2	1	0
FLAG RTI	RTI ENA	Reservado	RTIPS2	RTIPS1	RTIPS0
LE-0	LE-0		LE-0	LE-0	LE-0

Nota: L=acceso de lectura, E=Acceso a escritura, -0=valor después de reset.

Bit 7. FLAG RTI. “Flag” de Interrupción en tiempo real (RTI). Este bit muestra si se ha producido un desbordamiento del RTI. Este bit se borra mediante software.

0 = No se ha producido ningún desbordamiento de RTI.

1 = Se ha producido el desbordamiento de RTI.

Bit 6. RTI ENA. Bit de habilitación de la interrupción de tiempo real (RTI). Este bit habilita la capacidad del RTI de producir una interrupción cuando se produce un suceso de desbordamiento. Borrando este bit se omiten todas las interrupciones que estuvieran en espera de ser aceptadas.

0 = Borra cualquier petición de interrupción no aceptada y deshabilita las futuras interrupciones del RTI.

1 = Habilita las interrupciones a ser generadas en el momento que se dispara el “flag” de desbordamiento del RTI.

Bits 5-3. Reservado. La escritura no tiene ningún efecto. El valor de los bits de estos registros es siempre 0.

Bits 2-0. RTIPS2-0. Bits de selección de la preescala de las interrupciones de tiempo real. Mediante estos bits se elige la escala de tiempos para producir una interrupción.

Según los valores de estos bits y la frecuencia de la señal de reloj de WDCLK se obtienen los siguientes tiempos de reacción para el suceso de una interrupción:

Bits de selección de preescala del RTI			Divisor de WDCLK	16.384 kHz WDCLK		15.625 kHz WDCLK	
RTIPS2	RTIPS1	RTIPS0		Frecuencia (Hz)	Tiempo para desbordamiento	Frecuencia (Hz)	Tiempo para desbordamiento
0	0	0	4	4096	244.14 μ s	3906.25	256 μ s
0	0	1	16	1024	976.56 μ s	976.56	1.024 ms
0	1	0	64	256	3.91 ms	244.14	4.096 ms
0	1	1	128	128	7.81 ms	122.07	8.192 ms
1	0	0	256	64	15.63 ms	61.04	16.384 ms
1	0	1	512	32	31.25 ms	30.52	32.768 ms
1	1	0	2048	8	125.00 ms	7.63	131.072 ms
1	1	1	16 384	1	1.0 s	0.95	1.049 s

-- Registro de control del temporizador WD (WDCR). Dirección 7029h --

7	6	5	4	3	2	1	0
WD FLAG	WDDIS	WDCHK 2	WDCHK 1	WDCHK 0	WDPS2	WDPS1	WDPS0
LE-x		LE-0	LE-0	LE-0	LE-0	LE-0	LE-0

Nota: L=acceso de lectura, E=Acceso a escritura, -0=valor después de reset (x-indeterminado).

Bit 7. WD FLAG. Bit de “flag” de WD. Este bit indica si se ha producido un reset del sistema debido a la acción del Watchdog. Este bit se pone a 1 únicamente mediante la acción de un reset por parte del WD.

0 = Indica que el WD no ha realizado ningún reset.

1 = Indica que el WD ha realizado algún reset.

Bit 6. WDDIS. Deshabilitación del Watchdog.

0 = El Watchdog está habilitado.

1 = El Watchdog está deshabilitado.

Bit 5. WDCHK2. Bit 2 de comprobación del Watchdog. Este bit debe ser puesto a 1 cuando se produce la escritura sobre WDCR o se ha llevado a cabo un reset del sistema. El valor de su lectura siempre será 0.

0 = Se ha producido un reset del sistema.

1 = La operación normal continúa si todos los bits de comprobación están correctamente.

Bit 4. WDCHK1. Bit 1 de comprobación del Watchdog. Este bit debe ser puesto a 0 cuando se produce la escritura sobre WDCR o se ha llevado a cabo un reset del sistema. El valor de su lectura siempre será 0.

0 = La operación normal continúa si todos los bits de comprobación están correctamente.

1 = Se ha producido un reset del sistema.

Bit 3. WDCHK0. Bit 0 de comprobación del Watchdog. Este bit debe ser puesto a 1 cuando se produce la escritura sobre WDCR o se ha llevado a cabo un reset del sistema. El valor de su lectura siempre será 0.

0 = Se ha producido un reset del sistema.

1 = La operación normal continúa si todos los bits de comprobación están correctamente.

Bits 2-0. WDPS2-0. Bits de selección de preescala del WD. Estos bits determinan el tiempo de conteo del WD para que se produzca el desbordamiento de este con el consiguiente proceso de reset del sistema.

En la siguiente tabla podemos ver los mínimos valores de tiempo para el desbordamiento del WD según la selección de los bits WDPS2-0:

Bits de selección de preescala de WD			Divisor de WDCLK	16.384 kHz WDCLK		15.625 kHz WDCLK	
WDPS2	WDPS1	WDPS0		Frecuencia (Hz)	Desbordamiento Mínimo	Frecuencia (Hz)	Desbordamiento Mínimo
0	0	X†	1	64	15.63 ms	61.04	16.38 ms
0	1	0	2	32	31.25 ms	30.52	32.77 ms
0	1	1	4	16	62.50 ms	15.26	65.54 ms
1	0	0	8	8	125.00 ms	7.63	131.07 ms
1	0	1	16	4	250.00 ms	3.81	262.14 ms
1	1	0	32	2	500.00 ms	1.91	524.29 ms
1	1	1	64	1	1.0 s	0.95	1.05 s

5.8. Módulo Administrador de Sucesos.

5.8.1. Introducción.

El Módulo Administrador de Sucesos es la parte de circuitería más interesante que posee el DSP C240. Este dispositivo interno lleva implementadas un amplio abanico de funciones especialmente diseñadas para aplicaciones de control de movimiento y de motores. Estas implementaciones son las que se muestran en la siguiente lista:

- Tres temporizadores de propósito general (GP).
- Tres unidades de comparación completa.
- Circuitos de modulación por ancho de pulso (PWM) los cuales llevan incluido:
 - Un circuito de espacio-vector del PWM.
 - Unidades de generación de “tiempo-muerto”.
 - Salida lógica.
- Cuatro unidades de captura.
- Circuito de codificación de la cuadratura de pulso (QEP).
- Interrupciones del EV.

En el diagrama de bloques de la figura 5.18 vemos la manera en la que se interrelacionan todos los elementos internos del Módulo Administrador de Sucesos, que acabamos de ver.

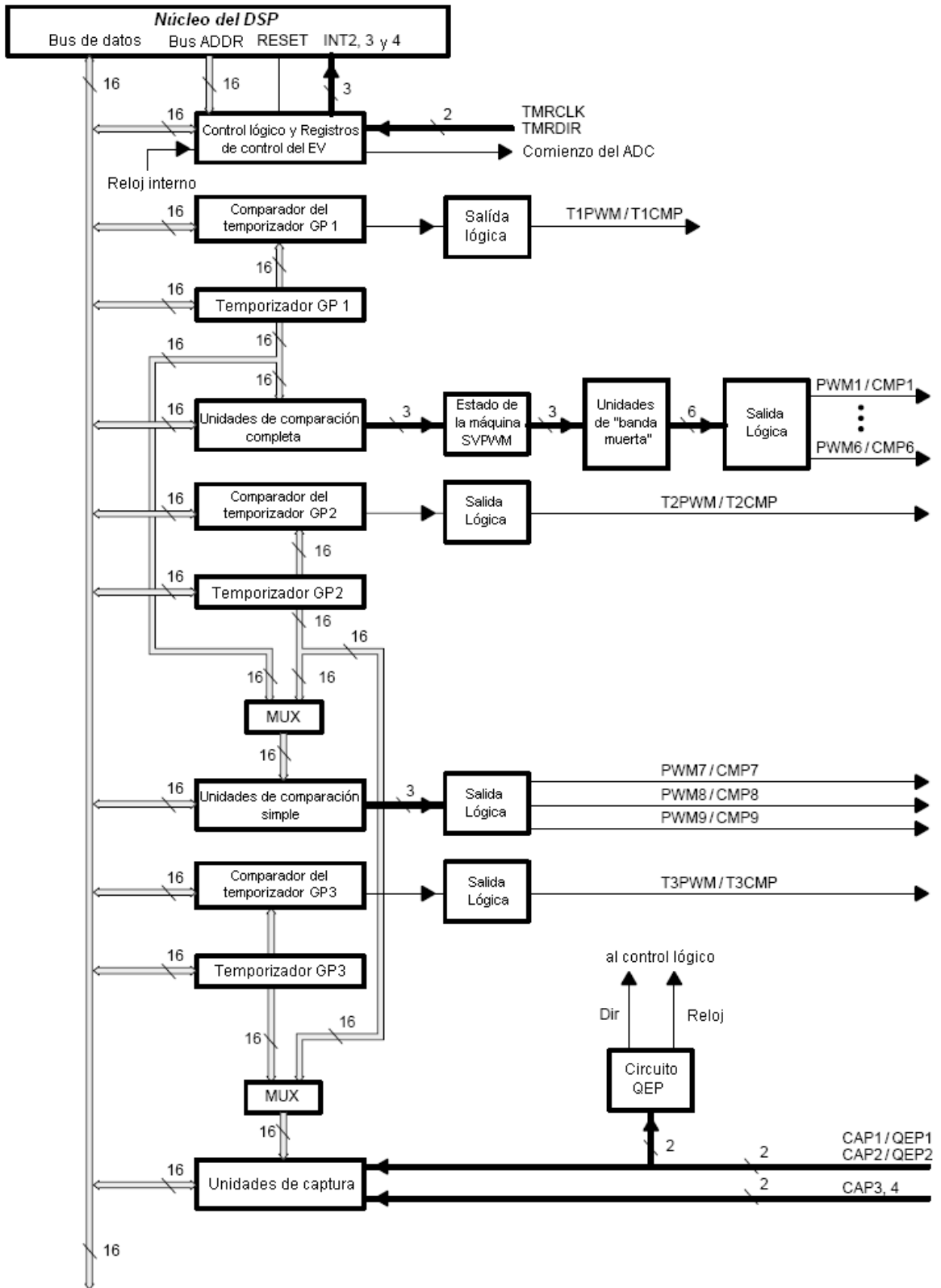


Figura 5.18 – Componentes del Módulo Administrador de Sucesos.

En la estructura física del DSP C240 encontramos 12 pines, dedicados y conectados con el Módulo Administrador de Sucesos. La mayoría de ellos tienen funciones de salida de comparación y PWM.

- Tres pines de salida de comparador del temporizador GP/PWM:
 - T1PWM/T1CMP
 - T2PWM/T2CMP
 - T3PWM/T3CMP

- Seis pines de salida de comparación completa / PWM:
 - PWM1/CMP1
 - PWM2/CMP2
 - PWM3/CMP3
 - PWM4/CMP4
 - PWM5/CMP5
 - PWM6/CMP6

- Tres pines para la unidad de comparación simple / PWM:
 - PWM7/CMP7
 - PWM8/CMP8
 - PWM9/CMP9

- Cuatro pines, CAP1/QEP1, CAP2/QEP2, CAP3 y CAP4, para entradas de pulso de captura o cuadratura del encóder.

- Un pin TMRCLK para la introducción de una señal de reloj externa. Este pin es necesario ya que los temporizadores GP del EMM pueden operar mediante una fuente interna o externa de pulsos.

- Un pin TMRDIR que es usado para especificar la dirección del conteo cuando un temporizador GP se encuentra en modo de conteo direccional ascendente/descendente.

Nota: Todas las entradas del Módulo EV están sincronizadas con el reloj interno de la CPU. Por tanto cada transición de las entradas debe mantenerse hasta que se hayan producido dos flancos ascendentes del reloj de la CPU (o dos flancos de bajada de CLKOUT, si se ha seleccionado el reloj de la CPU como fuente para el CLKOUT) para que de esta manera el EMM pueda reconocer esta señal de entrada. Por tanto se recomienda que todas las transiciones tengan un tiempo de desarrollo de más de dos ciclos de reloj.

Nombre del Pin	Descripción
CAP1/QEP1	Entrada de la Unidad de captura 1 , entrada 1 del circuito QEP
CAP2/QEP2	Entrada de la Unidad de captura 1 , entrada 1 del circuito QEP
CAP3	Entrada de la Unidad de Captura 3
CAP4	Entrada de la Unidad de Captura 4
PWM1/CMP1	Salida 1 de Unidad de comparación completa 1 / PWM
PWM2/CMP2	Salida 2 de Unidad de comparación completa 1 / PWM
PWM3/CMP3	Salida 1 de Unidad de comparación completa 2 / PWM
PWM4/CMP4	Salida 2 de Unidad de comparación completa 2 / PWM
PWM5/CMP5	Salida 1 de Unidad de comparación completa 3 / PWM
PWM6/CMP6	Salida 2 de Unidad de comparación completa 3 / PWM
PWM7/CMP7	Salida de Unidad de comparación simple 1 / PWM
PWM8/CMP8	Salida de Unidad de comparación simple 2 / PWM
PWM9/CMP9	Salida de Unidad de comparación simple 3 / PWM
T1PWM/T1CMP	Salida de comparación temporizador GP / PWM
T2PWM/T2CMP	Salida de comparación temporizador GP 2 / PWM
T3PWM/T3CMP	Salida de comparación temporizador GP 3 / PWM
TMRCLK	Entrada de reloj externo para el temporizador GP
TMRDIR	Entrada de dirección externa del temporizador GP

Tabla 5.3 – Pines del Módulo Administrador de Sucesos.

Consideraciones a tener en cuenta:

Protección de la alimentación: Cuando el pin PDPINT del DSP (interrupción de la protección de la alimentación) está puesto a nivel bajo se produce una interrupción externa. El objetivo de esta interrupción es la de proteger el funcionamiento de los sistemas de conversión de potencia y control de motores. Si PDPINT no está enmascarado, todos los pines de salida del EV pasan a estar en estado de alta impedancia mediante hardware en el momento inmediato que el pin PDPINT se pone a nivel bajo. A la misma vez, cuando esto ocurre, se produce la puesta a uno del “flag” de PDPINT.

El principal uso del pin PDPINT es el de informar al programa de monitorización sobre anomalías en el control del motor, tales como sobretensiones, sobrecorrientes, y picos de temperatura extremos.

Registros: Todos los registros en el Módulo Administrador de Sucesos están mapeados en la memoria de datos. Sus direcciones ocupan 64 palabras de 16 bits cada una, de un total de 64K palabras que tiene la memoria de datos. Los registros son considerados por los programas como direcciones de memoria de datos a los que se pueden acceder utilizando un amplio abanico de instrucciones. “Nota importante”: los bits indefinidos que podemos encontrar dentro de los registros toman por defecto el valor 0.

5.8.2. Direcciones de los Registros del EV.**--Direcciones de los registros de los temporizadores GP.--**

Dirección	Registro	Nombre
7400h	GPTCON	Registro de control del temporizador de Propósito General
7401h	T1CNT	Registro de conteo del Temporizador GP1
7402h	T1CMPR	Registro de comparación del Temporizador GP1
7403h	T1PR	Registro del periodo del Temporizador GP1
7404h	T1CON	Registro de control del Temporizador GP1
7405h	T2CNT	Registro de conteo del Temporizador GP2
7406h	T2CMPR	Registro de comparación del Temporizador GP2
7407h	T2PR	Registro del periodo del Temporizador GP2
7408h	T2CON	Registro de control del Temporizador GP2
7409h	T3CNT	Registro de conteo del Temporizador GP3
740Ah	T3CMPR	Registro de comparación del Temporizador GP3
740Bh	T3PR	Registro del periodo del Temporizador GP3
740Ch	T3CON	Registro de control del Temporizador GP3

--Direcciones de los registros de las unidades comparación simple y completa.—

Dirección	Registro	Nombre
7411h	COMCON	Registro de control de comparación
7413h	ACTR	Registro de control de comparación completa
7414h	SACTR	Registro de control de comparación simple
7415h	DBTCON	Registro de control del temporizador de "Banda-muerta"
7417h	CMPR1	Registro de comparación 1 de la unidad de comparación completa
7418h	CMPR2	Registro de comparación 2 de la unidad de comparación completa
7419h	CMPR3	Registro de comparación 3 de la unidad de comparación completa
741Ah	SCMPR1	Registro de comparación 1 de la unidad de comparación simple
741Bh	SCMPR2	Registro de comparación 2 de la unidad de comparación simple
741Ch	SCMPR3	Registro de comparación 3 de la unidad de comparación simple

--Direcciones de los registros de la Unidad de Captura y del Circuito de Decodificación de Pulsos Cuadrados del Encóder.—

Dirección	Registro	Nombre
7420h	CAPCON	Registro de control de la captura
7422h	CAPFIFO	Registro de estado de la pila FIFO de la captura
7423h	CAP1FIFO	Pila FIFO de la Unidad de Captura 1
7424h	CAP2FIFO	Pila FIFO de la Unidad de Captura 2
7425h	CAP3FIFO	Pila FIFO de la Unidad de Captura 3
7426h	CAP4FIFO	Pila FIFO de la Unidad de Captura 4

--Direcciones de los registros de interrupción del EV.—

Dirección	Registro	Nombre
742Ch	EVIMRA	Registros de enmascarado de interrupciones
742Dh	EVIMRB	
742Eh	EVIMRC	
742Fh	EVIFRA	Registros de los "flags" de las interrupciones
7430h	EVIFRB	
7431h	EVIFRC	
7432h	EVIVRA	Registros del vector de interrupción
7433h	EVIVRB	
7434h	EVIVRC	

5.8.3. Temporizadores de Propósito General (GP).

El Módulo Administrador de Sucesos va provisto de tres Temporizadores de Propósito General (GP), los cuales se pueden utilizar como fuentes de reloj para aplicaciones tales como:

-Servir de base de tiempo para las operaciones de las Unidades de comparación Simple y Completa y los circuitos asociados de PWM para generar las salidas de comparación /PWM.

-Generación de periodos de muestreo en un sistema de control.

-Servir de base de tiempo para la operación de los circuitos QEP y las unidades de captura.

Cada Temporizador de Propósito General (GP) está compuesto internamente por los siguientes elementos:

- Un contador ascendente/descendente de 16 bits de lectura/escritura, TxCNT (x = 1, 2, 3).
- Un registro (enmascarado) de comparación del temporizador de 16 bits de lectura/escritura, TxCMPR (x = 1, 2, 3).
- Un registro (enmascarado) de periodo del temporizador de 16 bits de lectura/escritura, TxPR (x = 1, 2, 3).
- Un registro de control de 16 bits de lectura/escritura, TxCON (x = 1, 2, 3).
- Preescalador programable al servicio de las entradas de reloj internas y externas.
- Control e interrupciones lógicas.
- Un pin de salida de comparación del temporizador GP, TxPWM/TxCMP (x= 1, 2, 3)
- Salida lógica.

Existe otro registro de control, GPTCON, el cual especifica la operación a realizar por los temporizadores GP e indica las diferentes direcciones de conteo de los tres temporizadores GP. GPTCON es un registro de lectura/escritura.

Los anteriores elementos interactúan entre sí dentro de cada temporizador GP en la forma que muestra el diagrama de bloques de la figura 5.19.

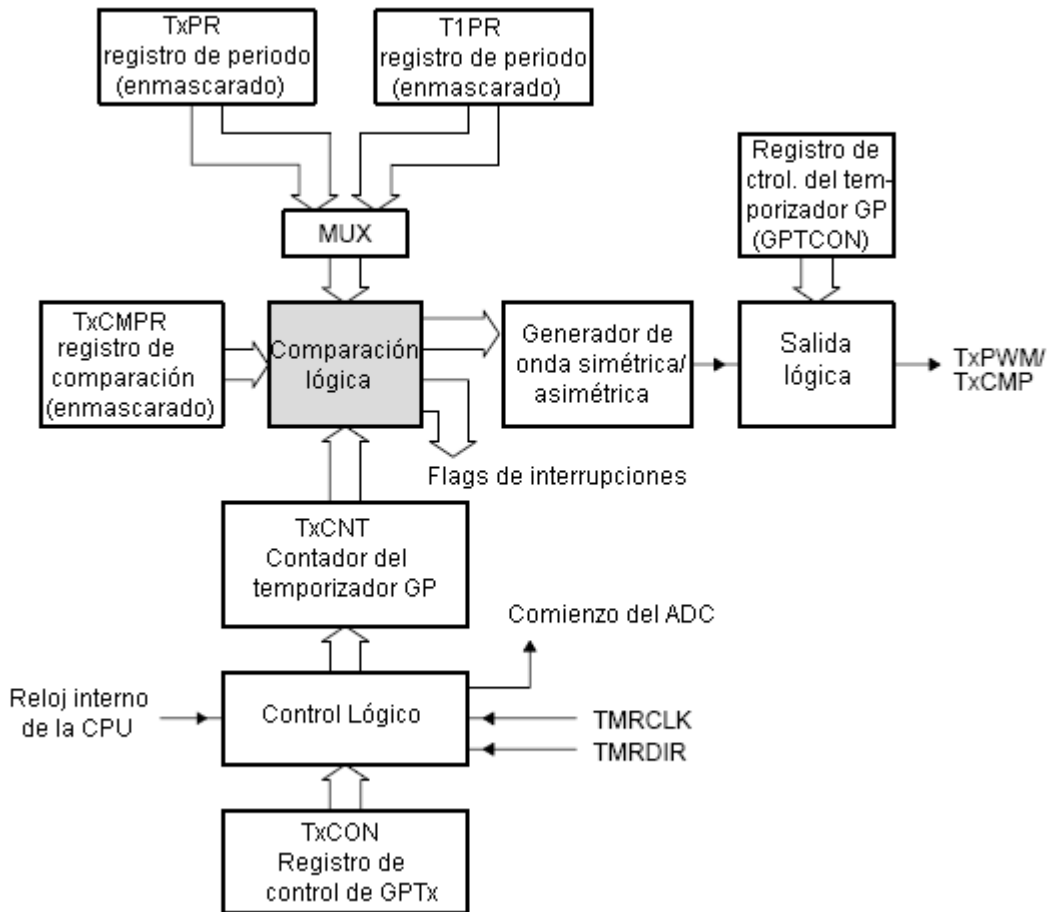


Figura 5.19 - Elementos que constituyen un Temporizador de Propósito General (GP).

5.8.3.1 Entradas del Temporizador GP.

Las entradas de los Temporizadores GP son las siguientes:

- Reloj interno de la CPU, el cual proviene directamente del núcleo y tiene la misma frecuencia que el reloj de la CPU.

- Reloj externo, TMRCLK, cuya máxima frecuencia de trabajo es un cuarto de la frecuencia de reloj de la CPU.

- Entrada de dirección, TMRDIR, es utilizada por el temporizador GP en los modos de conteo ascendente/descendente.

- Señal de reset, RESET.

En el caso de que necesitemos un temporizador de 32 bits, colocaremos en cascada los temporizadores GP 2 y 3 de forma que el acarreo del 2 será la señal de reloj de entrada del temporizador 3. Cuando se unen un temporizador GP con el circuito QEP, este último se encarga de generar las señales de reloj y la dirección de conteo.

5.8.3.2 Salidas del Temporizador GP.

Las salidas de los temporizadores GP son las siguientes:

- Salidas de comparación/PWM del temporizador GP, TxPWM/TxCMP (x = 1, 2, 3)

- Señal de comienzo de conversión Analógica/Digital para el módulo ADC.

- Resto, acarreo, resultado de la comparación, y señales de periodo del resultado para su propia comparación lógica, y para las unidades de comparación simple y completa.

- Bits indicadores de dirección de conteo.

5.8.3.3 Control de las operaciones del temporizador GP.

El modo de operación de un temporizador GP es controlado por su registro de control, TxCON. Los bits de este registro establecen las siguientes condiciones:

- Si el temporizador está habilitado o deshabilitado.
- Cual de los seis modos de conteo del temporizador GP está activo.
- Si el temporizador GP va a utilizar el reloj de la CPU interno o externo.
- Cual de los seis factores de preescala (1 a 1/128) va a ser utilizado para la entrada de reloj.
- En qué condición se encuentra el registro de comparación del temporizador en el momento del reset.
- Si la operación de comparación del temporizador GP está activada o desactivada.
- Si el registro de periodo del temporizador GP1 o su propio registro de periodo son los que definen su periodo (sólo T2CON y T3CON).

**-- Registro de control del Temporizador GP, TxCON (x = 1, 2 y 3).
Direcciones 7004h, 7408 y 740Ch --**

15	14	13	12	11	10	9	8
Libre	Medio	TMODE2	TMODE1	TMODE0	TPS2	TPS1	TPS0
LE-0	LE-0	LE-0	LE-0	LE-0	LE-0	LE-0	LE-0
7	6	5	4	3	2	1	0
TSWT1	TENABLE	TCLKS1	TCLKS0	TCLD1	TCLD0	TECMPR	SELT1PR
LE-0	LE-0	LE-0	LE-0	LE-0	LE-0	LE-0	LE-0

Nota: L=acceso de lectura, E=acceso de escritura, -0=valor después de reset.

Bits 15-14 Libre,Medio. Bits de control de la emulación.

00 = Para inmediatamente cuando se termina la emulación.

01 = Para en caso de que se haya completado el periodo de tiempo actual o se haya terminado la emulación.

10 = La operación no se ve afectada por el fin de la emulación.

11 = La operación no se ve afectada por el fin de la emulación.

Bits 13-11 TMODE2-TMODE0. Selección del modo de conteo.

000 = Parada / retención.

001 = Modo de conteo único ascendente.

010 = Modo de conteo continuo ascendente.

011 = Modo de conteo direccional ascendente/descendente.

100 = Modo de conteo ascendente/descendente único.

101 = Modo de conteo ascendente/descendente continuo.

110 = Reservado.

111 = Reservado.

Bits 10-8 TPS2-TPS0. Preescalador del reloj de entrada.

(x es el valor de la frecuencia de reloj de la CPU)

000 = $x/1$

001 = $x/2$

010 = $x/4$

011 = $x/8$

100 = $x/16$

101 = $x/32$

110 = $x/64$

111 = $x/128$

Bit 7 TSWT1. Los temporizadores comienzan con el bit de habilitación del temporizador GP 1. Este bit está reservado en T1CON.

0 = Usa el propio bit TENABLE.

1 = Usa el bit TENABLE de T1CON para habilitar y deshabilitar la operación ignorando el propio bit TENABLE.

Bit 6 TENABLE. Habilitación del temporizador. En los modos de conteo único ascendente y ascendente/descendente este bit es reset a valor 0 por el temporizador después de completarse un periodo de operación.

0 = Deshabilita la operación del temporizador, lo cual consiste en que el timer mantiene el último valor y se pone a cero el contador de preescala.

1 = Habilita las operaciones del temporizador.

Bits 5-4 TCLKS1,TCLKS0. Selección de la fuente de pulsos.

00 = Interno

01 = Externo

10 = Acarreo del temporizador GP2.

11 = Circuito de codificación de cuadratura de pulso.

Bits 3-2 TCLD1, TCLD0. Condición de carga del registro de comparación del temporizador.

00 = Cuando el contador vale 0.

01 = Cuando el valor del contador es 0 o igual al valor del registro de periodo.

10 = Inmediatamente.

11 = Reservado.

Bit 1 TECMPR. Habilitación de la comparación del temporizador.

0 = Deshabilita la operación de comparación del temporizador.

1 = Habilita la operación de comparación del temporizador.

Bit 0 SELT1PR. Selección del registro de periodo.

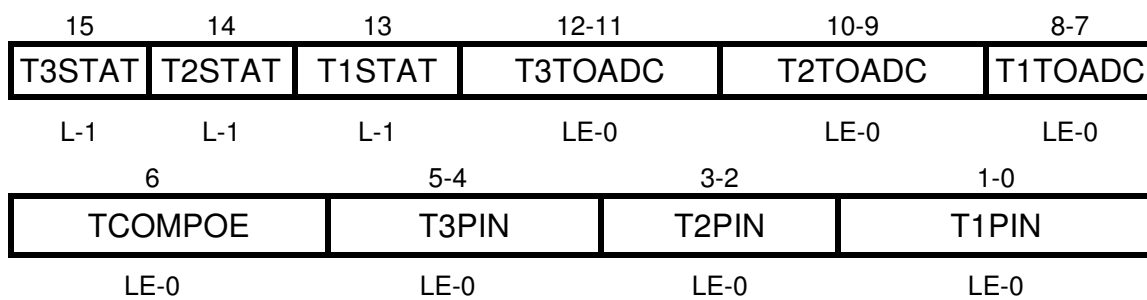
0 = Usa el propio registro de periodo.

1 = Usa T1PR como registro de periodo ignorando el propio registro de periodo.

5.8.3.4 Registro de control del temporizador GP.

El registro de control del temporizador GP (GPTCON) especifica la acción a realizar por los temporizadores GP para diferentes sucesos de tiempo e indica sus direcciones de conteo.

-- Registro de control del Temporizador GP, GPTCON. Dirección 7400h --



Nota: L=acceso de lectura, E=acceso de escritura, -n=valor después de reset.

Bit 15 **T3STAT.** Estado del temporizador GP 3. Sólo lectura.

0 = Cuenta descendente.
1 = Cuenta ascendente.

Bit 14 **T2STAT.** Estado del temporizador GP 3. Sólo lectura.

0 = Cuenta descendente.
1 = Cuenta ascendente.

Bit 13 **T1STAT.** Estado del temporizador GP 3. Sólo lectura.

0 = Cuenta descendente.
1 = Cuenta ascendente.

Bits 12-11 **T3TOADC.** Comienza la conversión A/D provocada por un suceso del temporizador GP 3.

00 = No se produce el comienzo de la conversión A/D.
01 = Disparo del “flag” de interrupción por vacío (valor 0).

10 = Disparo del “flag” de interrupción de periodo.

11 = Disparo del “flag” de interrupción de comparación.

Bits 10-9 T2TOADC. Comienza la conversión A/D provocada por un suceso del temporizador GP 2.

00 = No se produce el comienzo de la conversión A/D.

01 = Disparo del “flag” de interrupción por vacío (valor 0). Comienza conversión A/D.

10 = Disparo del “flag” de interrupción de periodo. Comienza conversión A/D.

11 = Disparo del “flag” de interrupción de comparación. Comienza conversión A/D.

Bits 8-7. T1TOADC. Comienza la conversión A/D provocada por un suceso del temporizador GP 1.

00 = No se produce el comienzo de la conversión A/D.

01 = Disparo del “flag” de interrupción por vacío (valor 0).

10 = Disparo del “flag” de interrupción de periodo.

11 = Disparo del “flag” de interrupción de comparación.

Bit 6 TCOMPOE. Habilita la salida de la comparación.

0 = Deshabilita las salidas de comparación de los tres temporizadores GP.

1 = Habilita las salidas de comparación de los tres temporizadores GP.

Bits 5-4 T3PIN. Polaridad de la salida de comparación del temporizador GP3.

00 = Forzado a nivel bajo.

01 = Activo a nivel bajo.

10 = Activo a nivel alto.

11 = Forzado a nivel alto.

Bits 3-2 **T2PIN.** Polaridad de la salida de comparación del temporizador GP2.

00 = Forzado a nivel bajo.

01 = Activo a nivel bajo.

10 = Activo a nivel alto.

11 = Forzado a nivel alto.

Bits 1-0 **T2PIN.** Polaridad de la salida de comparación del temporizador GP1.

00 = Forzado a nivel bajo.

01 = Activo a nivel bajo.

10 = Activo a nivel alto.

11 = Forzado a nivel alto.

5.8.3.5 Registro de comparación del temporizador GP.

Cada registro de comparación perteneciente a los temporizadores GP realiza la operación de almacenaje del valor de consigna que será comparado constantemente con el contador del temporizador GP. Cuando se encuentra una coincidencia, se produce el siguiente protocolo de operaciones:

- Transición en la salida del comparador/PWM asociado.
- Comienzo del ADC de acuerdo con el patrón de bits establecido en GPTCON.
- Se pone a uno el “flag” de interrupción correspondiente.

Esta serie de operaciones puede ser activada o desactivada mediante el bit 1 de TxCON.

5.8.3.6 Registro de periodo del temporizador GP.

El valor presente en el registro de periodo del temporizador GP determina el periodo del temporizador. La operación del temporizador GP para y se mantiene su valor actual, se reinicia a valor 0, o comienza a contar de forma descendente cuando se produce una coincidencia entre el registro de periodo y el contador de tiempo, dependiendo del modo de conteo del temporizador.

5.8.3.7 Almacenamiento doble de los Registros de Comparación y Periodo.

Los registros de Comparación y Periodo, TxCMPR y TxPR tienen un registro imagen respectivamente, esto implica que se puede introducir un nuevo valor en estos registros en cualquier momento deseado, sin embargo, este dato quedará grabado en el registro imagen y no será volcado al registro útil hasta que no se le indique.

En el caso del registro de Comparación, el valor grabado en su registro imagen será volcado sobre él cuando se produzca algún suceso del temporizador especificado por TxCON. Esto ocurrirá cuando se produzca alguno de las siguientes condiciones:

- Inmediatamente después de que el registro imagen haya sido modificado.
- Cuando se produce un vacío. Esto significa que el valor del temporizador GP es cero.
- En situación de vacío o coincidencia de periodo. Esto significa que el valor del contador es 0 o que el valor del contador es igual al valor del registro de periodo.

Para el caso del registro de periodo, este será recargado con el valor presente su registro imagen solo cuando el valor del registro del contador TxCNT sea 0.

En conclusión la capacidad de tener un registro temporal que sirve de escalón para acceder al registro de trabajo, nos permite un gran juego a la hora de programar ya que podemos tener cargada una determinada configuración de los registros de comparación y periodo la cual puede ser volcada sobre el sistema en el momento que

queramos y sin crear conflictos tales como estados estacionarios en el funcionamiento del sistema.

5.8.3.8 Dirección de conteo del Temporizador GP.

La dirección de conteo (ascendente o descendente) de los temporizadores GP queda determinada o programada mediante unos bits específicos del registro GPTCON:

- Conteo ascendente si vale “1”.
- Conteo descendente si vale “0”.

En el caso de que el temporizador se encuentre en modo de conteo Ascendente/Descendente, la dirección de conteo será establecida por el pin TMRDIR de forma que si este pin introduce un valor “1” se realizará una cuenta incremental y si por el contrario introduce un “0” la cuenta será decremental.

5.8.3.9. Reloj de los Temporizadores GP.

La fuente de reloj que alimenta a los Temporizadores GP puede provenir del reloj interno de la CPU o de una entrada de reloj externa mediante el pin TMRCLK. En el caso del uso de un reloj externo, este debe tener una frecuencia menor o igual a la cuarta parte de la que alimenta al reloj de la CPU. Los temporizadores GP 2 y 3, o ambos juntos en el caso de formar un temporizador de 32 bits pueden ser utilizados con los circuitos QEP en el modo de conteo direccional ascendente/descente. En este caso, los circuitos QEP le mandan al temporizador la señal de reloj y las entradas de dirección

5.8.3.10. Temporizador de 32 Bits.

Colocando los Temporizadores GP 2 y 3 en cascada podemos conseguir uno más grande que tendrá un ancho de 32 bits. La señal de acarreo del Temporizador GP2 se utiliza como entrada de reloj para el Temporizador GP3, de esta manera el Temporizador GP2 representará los 16 bits menos significativos de un contador de 32 bits. Este contador más grande, solo funciona para la operación de conteo direccional ascendente/descendente, alimentado por una entrada de reloj interna o externa.

Los circuitos QEP también pueden ser utilizados para generar el reloj de conteo y la dirección del temporizador de 32 bits. En este caso, los registros de periodo de los temporizadores deben ponerse en cascada para formar un registro de periodo de 32 bits para que se ajuste a la amplitud del temporizador de 32 bits. De esta manera conseguimos también los acarreo propios de un temporizador de 32 bits.

Los flags de periodo, resto, y acarreo del Temporizador GP2 son los tomados en cuenta para el funcionamiento del temporizador de 32 bits, mientras que los del GP3 no tienen relevancia.

El modo de operación de conteo direccional ascendente/descendente de los temporizadores GP 1 y 3 no funciona igual que el del GP 2, pero sí que lo hace igual que el temporizador de 32 bits en el aspecto de que se satura en el caso de alcanzar el valor de periodo o el valor cero.

5.8.3.11. Entrada de Reloj con base en el QEP.

El circuito de *codificación de pulsos cuadrados* o *QEP* puede generar, si así se configura, la entrada de reloj y la dirección de conteo de los temporizadores GP 2, 3 o de los dos en conjunto cuando forman un temporizador de 32 bits, pero solo para el modo de conteo direccional ascendente/descendente. Esta entrada de reloj no puede ser escalada por los circuitos de preescala de los temporizadores GP, de manera que la relación de transformación de la frecuencia del reloj será siempre 1:1. Otro detalle a tener en cuenta en este montaje es que la frecuencia de reloj que producen los circuitos

QEP es cuatro veces la frecuencia de los pulsos que los alimenta a cada uno de ellos debido a que los temporizadores cuentan los flancos de subida y bajada de las entradas de los QEP. Además, la frecuencia de la entrada del QEP debe ser menor o igual a la cuarta parte de la frecuencia de reloj que alimenta a la CPU.

5.8.3.12. Sincronización de los Temporizadores GP.

Los temporizadores GP 2 y 3 pueden ser sincronizados individualmente con el temporizador GP1 configurando los registros T2CON y T3CON de la siguiente manera:

- Comenzar la operación de los temporizadores GP 2 y 3 usando el mismo bit de control de T1CON, el cual comienza a operación del temporizador GP1.

- Inicializar los contadores de los temporizadores GP 2 o 3 con diferentes valores antes de que comience el funcionamiento sincronizado.

- Especificar que el temporizador GP 2 o 3 utiliza el registro de periodo del temporizador GP1 también como registro de periodo propio, ignorando el contenido de su auténtico registro de periodo.

De esta manera se consigue la sincronización deseada entre los sucesos de los temporizadores GP. A parte de que en general cada temporizador GP comienza a contar a partir del valor definido en su registro de conteo, también se pueden programar los temporizadores GP 2 y 3 para comenzar a contar con un tiempo de retraso con respecto al temporizador GP1. Para ello habrá que realizar dos escrituras sobre el registro T1CON para sincronizar el temporizador GP1 con el GP2 o con los temporizadores GP2 y GP3, en el caso del contador en cascada de 32 bits.

5.8.3.13. Comienzo del ADC provocado por los Temporizadores GP.

Los bits del registro GPTCON pueden conseguir provocar que se genere la señal de activación del ADC (Conversión Analógica/Digital) debido a un suceso tal como una señal de resto o una coincidencia del periodo de la señal de comparación. De esta

manera conseguimos la sincronización entre un suceso de los temporizadores GP y el comienzo de la operación del ADC sin ninguna intervención por parte de la CPU.

5.8.3.14. Interrupciones de los Temporizadores GP.

En los registros EVIFRA y EVIFRB encontramos 12 flags de interrupción para los tres temporizadores GP. Cada temporizador GP puede producir cuatro interrupciones por causa de alguno de los siguientes sucesos que se reflejarán en los bits correspondientes indicados:

- Resto: TxUFINT.
- Acarreo: TxOFINT.
- Coincidencia de comparación: TxCINT.
- Coincidencia de periodo: TxPINT

Donde x vale 1, 2 o 3 según el registro al que nos refiramos.

Las coincidencias en la comparación entre temporizadores se producen cuando el contenido de un contador es el mismo que el programado en el registro de comparación. El flag de interrupción correspondiente saltará dos ciclos de reloj de la CPU después de producirse la coincidencia, siempre y cuando la función de comparación esté activada.

El acarreo o desbordamiento se produce cuando el contador del temporizador alcanza el valor FFFFh. De la misma manera, el fenómeno del resto se producirá cuando el contador del temporizador llegue al valor 0000h.

La coincidencia de periodo ocurrirá cuando el valor del contador del temporizador es el mismo que el programado en el registro de periodo (TxPR).

Tanto en el acarreo, resto o coincidencia de periodo el flag de interrupción correspondiente saltará dos ciclos de reloj de la CPU después de producirse el suceso.

5.8.4. Temporizador GP en Operación de Conteo.

La operación de conteo es una de las capacidades de las que van provistos cada uno de los tres temporizadores GP que incluye el C240. Esta operación puede realizarse según seis modos distintos:

- Stop/Hold.
- Conteo único ascendente.
- Conteo continuo ascendente.
- Conteo direccional ascendente/descendente.
- Conteo único ascendente/descendente.
- Conteo continuo ascendente/descendente.

La forma en la que se configura el temporizador para que realice cada uno de estos modos es mediante la configuración conveniente del registro de control TxCON propio de cada temporizador, siendo $x = 1, 2$ o 3 . En todo caso, lo primero que es necesario para que un temporizador realice la operación de conteo es que el bit 6 de TxCON valga uno.

A continuación realizaremos un estudio en profundidad de cada uno de los seis modos de operación de conteo:

5.8.4.1. Modo de cuenta Stop/Hold.

Para conseguir este modo de conteo lo primero que debemos de hacer es configurar los bits 12 y 11 del registro TxCON ($\text{TxCON}[12-11]=00$). Esta opción nos provoca una detención en el temporizador manteniendo su valor actual. Los demás parámetros como el preescalado, la salida de comparación y el contador no sufren ninguna variación.

5.8.4.2. Conteo único ascendente.

En el modo de conteo único ascendente, el temporizador GP cuenta incrementalmente siguiendo los impulsos de una señal de reloj previamente escalada, hasta que el valor del conteo coincida con el valor preprogramado en el registro de periodo. Una vez que se ha alcanzado este límite de cuenta, el temporizador automáticamente se reinicia a 0 y deshabilita su propia operación de conteo mediante la puesta a 0 del bit 6 del registro TxCON.

Después de que se produzca esto, y con un espacio temporal de 2 ciclos de reloj de la CPU, salta el “flag” de interrupción de periodo del temporizador. De igual manera si se hubiera programado alguna actuación sobre el módulo ADC mediante el registro GPTCON, en ese mismo momento también se produciría una señal de comienzo de conversión A/D. Esto también se podría haber programado para cuando saltara el flag de vacío (valor 0) del temporizador provocado por su estado de autoreset.

La duración de un periodo de conteo para este modo es TxPeriodo + 1 ciclo de la señal de reloj de entrada, siempre y cuando el estado de precarga del temporizador sea 0.

El valor de precarga del temporizador GP puede ser cualquiera entre 0 y FFFFh. Hay que tener precaución en el caso de que el valor de precarga del temporizador GP sea mayor que el valor de periodo. Cuando esto ocurre el temporizador empezará a contar hasta llegar al valor máximo FFFFh para después seguir contando desde 0 hasta el valor de periodo. También pudiera suceder que el valor de precarga del temporizador GP coincidiera con el valor de periodo, en tal caso se interpreta que se ha llegado al valor de periodo y directamente el temporizador se autoresetea y hace saltar el “flag” de fin de cuenta.

Este proceso de conteo será repetido cada vez que se introduzca un 1 en el bit 6 del registro TxCON.

La manera de configurar la dirección de conteo en este modo es actuando sobre el bit 1 del registro GPTCON (1:ascendente, 0:descendente). La señal de reloj que actúa

sobre el temporizador puede ser tanto interna como externa. El pin TMRDIR no es tenido en cuenta en ninguna de las operaciones de este modo.

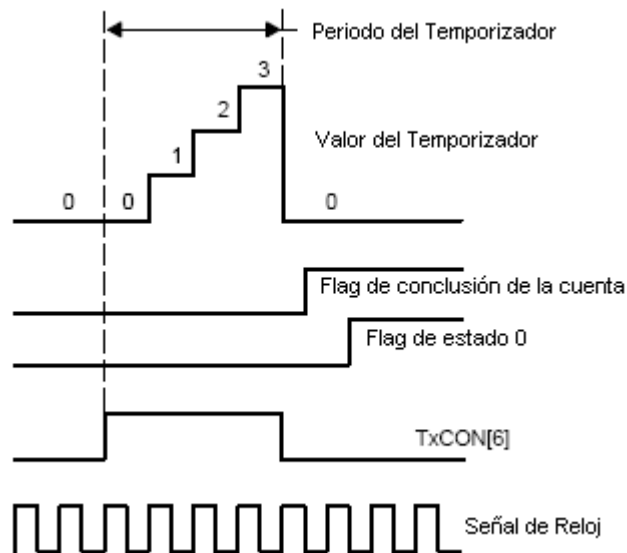


Figura 5.20 - Ejemplo de conteo único ascendente con un periodo de 3 pulsos.

5.8.4.3. Conteo continuo ascendente.

La operación del temporizador GP en el modo de conteo continuo ascendente es en esencia el mismo que en el modo “conteo único ascendente”, pero repetido continuamente cada vez que el temporizador llega al valor de periodo y se reinicia.

La duración del periodo del temporizador es $TxPR + 1$ ciclo de la señal de reloj preescalada de entrada, excepto en el primer ciclo, en el cual se da la salvedad de que tendrá el mismo valor si el valor de precarga del temporizador valía 0.

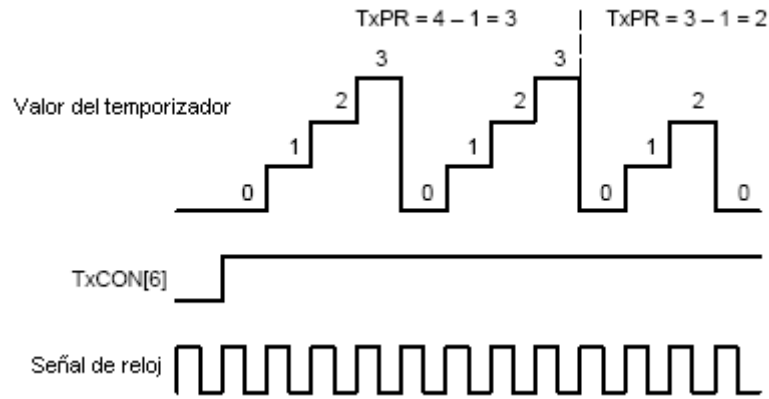


Figura 5.21- Ejemplo de conteo continuo ascendente con periodo variable.

Las condiciones y requerimientos que se dan en el modo de operación “continuo ascendente” son las mismas que teníamos que considerar en el modo de “conteo único ascendente”.

La principal utilidad de este modo se centra en la generación de formas de onda en *diente de sierra* o formas de PWM asimétricas así como el muestreo de periodos en sistemas de control de motores y locomoción. La aplicación del temporizador GP para la generación de PWM se verá en un apartado posterior.

5.8.4.4. Conteo direccional ascendente/descendente.

Temporizadores GP 1 y 3.

En el modo de conteo direccional ascendente/descendente, los temporizadores GP 1 y 3 cuentan incremental o decrementalmente según las entradas de reloj y TMRDIR. Cuando el pin TMRDIR se encuentra en nivel alto, cada uno de los temporizadores cuenta de forma ascendente hasta que su valor alcanza el valor de periodo programado o el valor máximo FFFFh, llegado este punto el temporizador mantiene el valor último contado. En caso contrario, si el pin TMRDIR se encuentra a nivel bajo, el temporizador cuenta de forma descendente hasta que llega al valor 0, quedándose guardado ese valor al llegar al final de la cuenta.

El valor de precarga del temporizador puede ser cualquiera entre 0000h y FFFFh. En el caso de que TRMDIR valga 1 (cuenta ascendente), si el valor de inicio del temporizador es mayor que el del registro de periodo, el temporizador cuenta ascendentemente hasta FFFFh y mantiene este valor. En el caso de que el valor de precarga coincidiese con el del periodo, el temporizador no haría ninguna acción y se quedaría con ese valor almacenado.

Si TMRDIR está puesto a nivel bajo, el temporizador contará de forma descendente hasta llegar al valor de periodo, y seguirá contando si se da el caso de que el valor de precarga y el del periodo coincidiesen en el momento del comienzo de la cuenta.

La forma en la que saltan los “flags” indicativos de cada suceso se producen del mismo modo que en el modo de conteo único ascendente. Y al igual que ocurría en aquel, para la señal de reloj también se puede utilizar una fuente interna o externa.

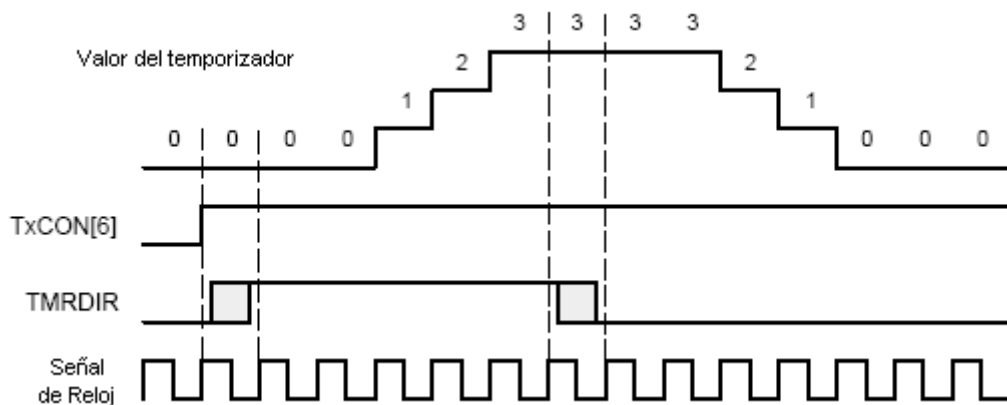


Figura 5.22 - Conteo direccional ascendente/descendente de los temporizadores GP 1 y 3 con TxPR = 3.

Temporizador GP 2.

El modo de conteo direccional ascendente/descendente del temporizador GP 2 es totalmente diferente al de los contadores 1 y 3. Esta diferencia estriba en que una vez comenzado el conteo, ya sea incremental o decremental, ignora el valor de periodo y

cuenta hasta el valor máximo en cada caso. Este método tiene su uso en la temporización y conteo de suceso de acontecimientos externos pertenecientes a aplicaciones de control de motores y movimiento y de controladores electrónicos de potencia.

5.8.4.5. Conteo único ascendente/descendente.

En este modo de conteo, el temporizador GP cuenta incrementalmente siguiendo la señal de reloj de entrada preescalada hasta alcanzar el valor de periodo programado. Cuando se alcanza este valor el temporizador empieza a contar decrementalmente hasta alcanzar el valor 0. En el momento que se consigue el valor 0 el propio temporizador pone a 0 el bit 6 del registro TxCON, el cual provoca la detención del conteo.

El valor del periodo del temporizador GP cuando se trabaja en este modo es dos veces el periodo TxPR, siempre y cuando el valor de precarga para el inicio de la cuenta sea 0. De todos modos, el valor de precarga del temporizador puede encontrarse entre 0h y FFFFh.

Si el valor de precarga del temporizador es mayor que el del registro de periodo, entonces el temporizador contará hasta FFFFh, se reiniciará a 0, y continuará su operación como si el valor de precarga hubiera sido 0. Por otra parte, si el valor de precarga coincidiera con el del registro de periodo, el temporizador contaría de forma descendente hasta 0 y concluiría el periodo en ese instante. Si el valor inicial del temporizador se encuentra entre 0 y el valor del periodo, el temporizador contará ascendentemente hasta llegar al valor de periodo y después descontará hasta llegar al valor 0 donde se detendrá.

Todas las señales “flag” de advertencia de alguna ocurrencia funcionan de igual manera que lo han hecho en los modos de conteo anteriores. Sólo hay que tener en cuenta para este modo que debido a que el alcance del valor de periodo se conseguirá a mitad del ciclo de conteo, la señal de aviso de periodo no se producirá al final de la cuenta si no a la mitad de esta.

Este modo de operación se podrá repetir cuantas veces se quiera mediante la introducción de un “1” en el bit 6 del registro TxCON, cada vez que se detenga el ciclo.

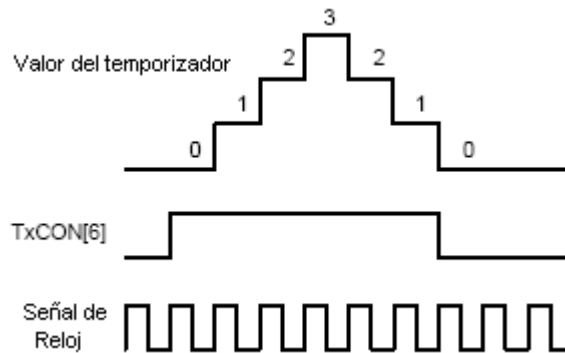


Figura 5.23 - Conteo único ascendente/descendente con TxPR = 3.

5.8.4.6. Conteo continuo ascendente/descendente.

El modo de conteo continuo ascendente/descendente es en esencia el mismo que el modo anterior (conteo único) pero repetidos múltiples veces consecutivas y de forma autónoma.

El periodo del temporizador será dos veces el del ciclo programado en TxPR, excepto el primer periodo en el caso de que el temporizador se haya precargado con un valor mayor que 0.

El valor de precarga del temporizador puede ser cualquiera entre 0h y FFFFh. Si el valor inicial es mayor que el del registro de periodo, el temporizador contará hasta FFFFh, descontará hasta llegar al valor 0 y volverá a realizar el conteo incremental partiendo del valor 0 como si este hubiera sido el valor de precarga del temporizador.

Si el valor de precarga del temporizador coincide con el del registro de periodo, el temporizador comenzará directamente a contar decrementalmente hasta 0 y volverá a comenzar la cuenta ascendente como si el valor de precarga hubiera sido 0.

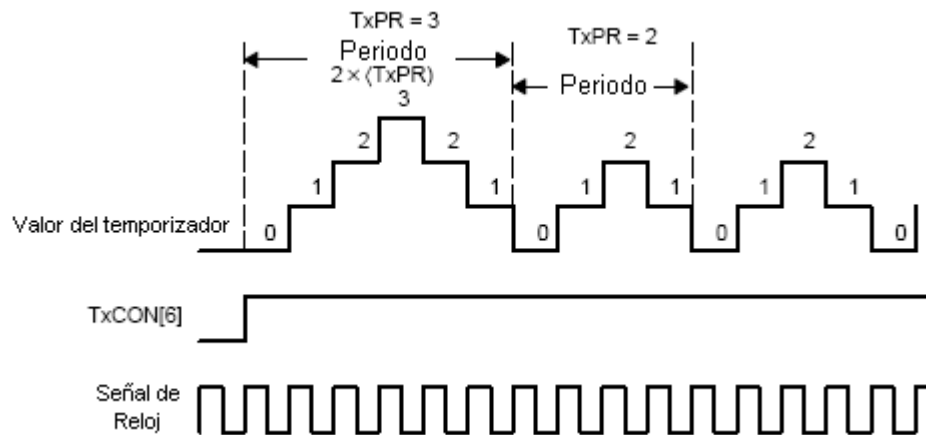


Figura 5.24 - Conteo continuo ascendente/descendente.

Todas las señales indicativas de sucesos se manifiestan de igual forma que lo hacían en los modos anteriores.

La principal utilidad de esta modalidad de conteo es la generación de formas de onda simétricas o centradas mediante la modulación de ancho de pulso (PWM).

5.8.5. Temporizador GP en Operación de Comparación.

Cada temporizador GP lleva relacionado un registro de comparación, TxCMPR y un pin de salida de comparación/PWM. En el caso de que la operación de comparación esté activa, esto es cuando el bit TxCON vale 1, durante el desarrollo de la cuenta del temporizador GP se va realizando la comparación continua con un valor predefinido en su registro de comparación hasta llegar a la coincidencia de valores. Cuando sucede esto se produce el siguiente protocolo de actuación:

-El “flag” indicativo de comparación se activa dos ciclos de reloj de la CPU después de que se produzca la igualdad.

-Si el temporizador GP no se encuentra trabajando en el modo de conteo direccional ascendente/descendente, se produce una transición en la salida del comparador/PWM asociada de acuerdo con la configuración de los bits del registro GPTCON, todo ello con un tiempo de retardo de un ciclo de reloj de CPU después de producirse la coincidencia.

-Si la señal “flag” de comparación ha sido programada en el registro GPTCON para actuar sobre el módulo ADC, esta provocará el comienzo de una conversión A/D justo en el momento que se produzca la coincidencia de los valores de comparación.

Cuando la operación de comparación del temporizador GP está desactivada, no se producirá ninguna de las anteriores actuaciones y la salida del comparador/PWM se encontrará en todo momento en estado de alta impedancia.

5.8.5.1. Temporizador GP para la generación de ondas Simétricas/Asimétricas.

Cuando el temporizador GP se encuentra trabajando en esta tipología, consigue producir formas de onda simétricas o asimétricas según el modo de conteo.

Generación de Ondas Simétricas.

Para que el temporizador GP consiga la producción de una forma de onda simétrica, este se debe encontrar trabajando en el modo de conteo *ascendente/descendente único o continuo*. Cuando esto se produce, la progresión de la salida del generador de onda sufre las siguientes fases:

1. Cambia a 0 antes de que comience la operación de conteo.
2. Permanece invariable hasta que se produce la primera coincidencia de valores entre el temporizador y su registro de comparación.
3. Bascula en la primera coincidencia de la comparación.
4. Permanece invariable hasta que se produce la segunda comparación.
5. Bascula en la segunda coincidencia de comparación.
6. Permanece invariable hasta el final del periodo.
7. Al final del periodo se reinicia a valor 0 si no se produce una segunda coincidencia y el nuevo valor de comparación del siguiente periodo no es 0.

Gráficamente esto ocurre de la siguiente forma:

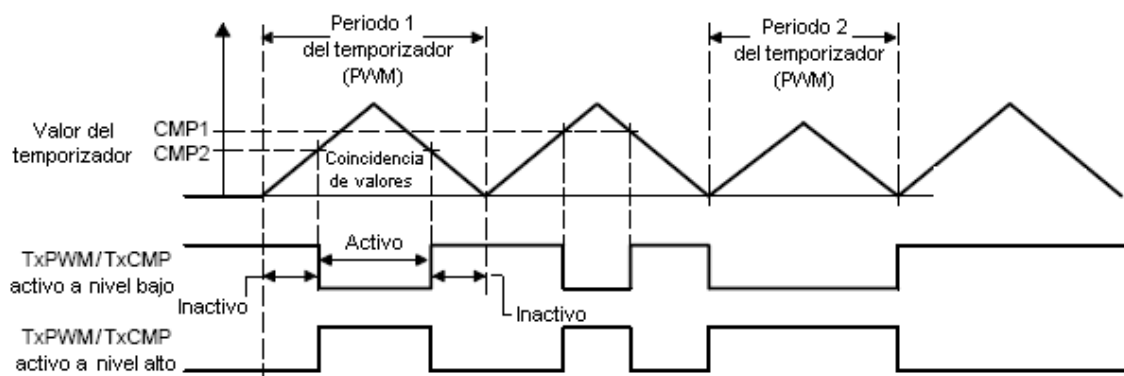


Figura 5.25 – Generación de una onda simétrica mediante un temporizador GP.

Generación de Ondas Asimétricas.

Para que el temporizador GP consiga la producción de una forma de onda asimétrica, este se debe encontrar trabajando en el modo de conteo *ascendente único o continuo*. Cuando esto se produce, la progresión de la salida del generador de onda sufre las siguientes fases:

1. Cambia a 0 antes de que comience la operación de conteo.
2. Permanece invariable hasta que se produce la coincidencia de valores entre el temporizador y su registro de comparación.
3. Bascula en la coincidencia de la comparación.
4. Permanece invariable hasta el final del periodo.
5. Al final del periodo se reinicia a valor 0 si no se produce una segunda coincidencia y el nuevo valor de comparación del siguiente periodo no es 0.

Gráficamente esto ocurre de la siguiente forma:

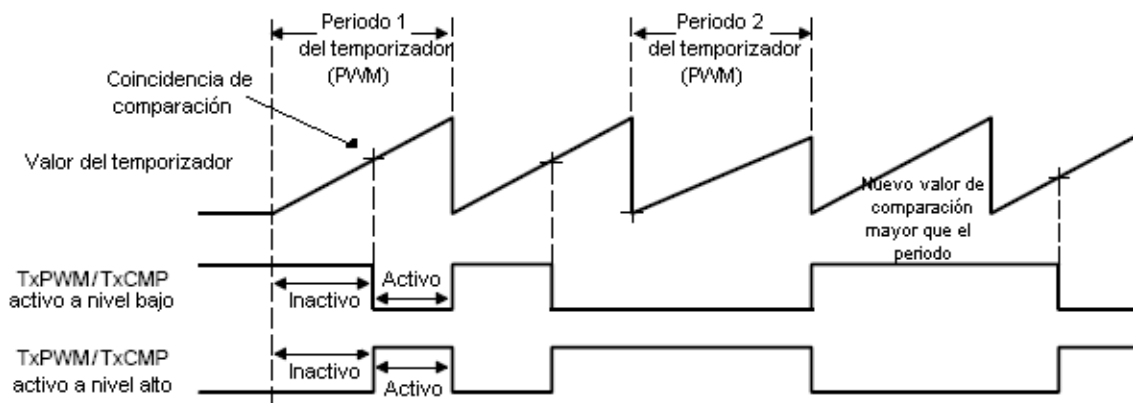


Figura 5.26 – Generación de una onda asimétrica mediante un temporizador GP.

Una de las características más importantes a tener en cuenta en la generación de señales PWM asimétricas es que cuando provocamos un cambio en el registro TxCMPR, este cambio solo afecta a uno de los lados del pulso PWM.

La siguiente fórmula nos da el valor a cargar en el registro TxPR para la generación de señales PWM en este modo de conteo:

$$TxPR = \frac{T_{PWM}}{T_{CLOCK} \cdot TPS} - 1$$

Donde las variables que encontramos significan:

- Tclock : representa el periodo de la señal de reloj y viene expresado en segundos.
- TPS: indica el preescalado del reloj.
- TPWM: es la duración que deseamos que tenga el periodo de nuestra señal PWM.
- TxPR: es el valor del registro de periodo.

5.8.5.2. Salida lógica.

La salida lógica condiciona la salida del generador de forma de onda para formar la última salida de comparación/PWM para controlar el encendido y el apagado de varios elementos de potencia. La salida del comparador/PWM puede ser especificada activa a nivel bajo, activa a nivel alto, forzada al nivel bajo, o forzada al nivel alto mediante la adecuada configuración de los bits del registro GPTCON.

La polaridad de la salida del comparador/PWM es la misma que la salida del generador de forma de onda asimétrica/simétrica asociado, cuando la salida del comparador/PWM está configurada como activa a nivel alto. De forma contraria, la polaridad será la opuesta en el caso de que la salida del comparador/PWM esté configurada como activa a nivel bajo.

La salida del comparador/PWM se pone a 1 (o 0) inmediatamente después de que los bits correspondientes del registro GPTCON sean puestos a uno si el patrón de bits especifica que el estado de la salida del comparador/PWM es forzado a nivel alto (o bajo).

A continuación vemos resumido el comportamiento de la salida del comparador/PWM en diferentes modos de conteo:

--Salida del Comparador/PWM del temporizador GP en los modos de conteo ascendente único y continuo.—

Tiempo en el periodo	Estado de la salida del comparador
Antes de la coincidencia de comparación	Inactivo
En la coincidencia en la comparación	Activado
En la coincidencia de periodo	Desactivado

--Salida del Comparador/PWM del temporizador GP en los modos de conteo direccional ascendente/descendente único y continuo.—

Tiempo en el periodo	Estado de la salida del comparador
Antes de la primera coincidencia de comparación	Inactivo
En la primera coincidencia de comparación	Activado
En la segunda coincidencia de comparación	Desactivado
Después de la segunda coincidencia de comparación	Inactivo

Todas las salidas del comparador/PWM de los temporizadores GP son puestas en estado de alta impedancia cuando se produce alguno de los siguientes sucesos:

- El bit 6 del registro GPTCON es puesto a 0 por software.
- PDPINT es puesto a cero y desenmascarado.
- Se ha producido algún reset.
- Cuando se deshabilita la operación de comparación del temporizador GP.

5.8.5.3. Salida del comparador en el modo de conteo direccional ascendente/descendente.

Cuando un temporizador GP está en el modo de conteo direccional ascendente/descendente, no se produce ningún cambio en su salida de comparación. De la misma manera sucede en las salidas de comparación asociadas con las unidades de comparación completa cuando el temporizador GP1 se encuentra en este modo de conteo. Tampoco se produce ningún cambio en las salidas de comparación asociadas con las unidades de comparación simples cuando el temporizador GP seleccionado para producir su base de señal de reloj se encuentra trabajando en el modo de conteo direccional ascendente/descendente. La configuración de los flags de interrupciones de comparación y la generación de peticiones de interrupción por parte de la comparación no dependen del modo de conteo que esté realizando el temporizador GP.

5.8.5.4. Calculo del tiempo activo/inactivo.

Para los modos de conteo ascendentes, el valor del registro de comparación representa el tiempo transcurrido entre el comienzo de un periodo y la consecución de la primera coincidencia de comparación, o lo que es lo mismo, la longitud de la fase inactiva. Este tiempo transcurrido es igual al periodo de la señal de reloj de entrada escalada multiplicada por el valor del registro TxCMPR. Por lo tanto, la longitud de la fase activa o ancho de pulso de salida, será determinada por un ciclo de tiempo igual a $T_{xPR} - TxCMPR + 1$ ciclos de la señal de reloj de entrada escalada.

Para los modos de conteo direccionales ascendente/descendente, el registro de comparación puede tener un valor diferente para la cuenta ascendente y la descendente. La longitud de la fase activa, esto es, el ancho de pulso de salida para los modos de conteo ascendente/descendente, está formado por $T_{xPR} - TxCMPR_{up} + TxPR - TxCMPR_{dn}$ ciclos de la entrada de reloj escalada, donde $TxCMPR_{up}$ es el valor de la comparación para la cuenta ascendente y $TxCMPR_{dn}$ es el valor de la comparación para la cuenta descendente.

Cuando el valor de TxCMPR es 0, la salida del comparador del temporizador GP está activa para todo el periodo siempre y cuando el temporizador esté en modo de conteo ascendente. Para los modos de conteo ascendente/descendente, la salida de la comparación estará activa al comienzo del periodo si $\text{TxCMPR}_{\text{up}}$ vale 0. La salida permanece activa hasta el final del periodo en el caso de que $\text{TxCMPR}_{\text{dn}}$ valga también 0.

En el caso de los modos de conteo ascendentes, la longitud de la fase activa (el ancho del pulso de salida) es cero cuando el valor del registro TxCMPR es mayor que el de TxPR. Para la cuenta ascendente/descendente, el primer cambio es perdido cuando $\text{TxCMPR}_{\text{up}}$ es mayor o igual que TxPR. De igual forma, se pierde la segunda transición cuando $\text{TxCMPR}_{\text{dn}}$ es mayor o igual que TxPR. La salida del comparador del temporizador GP está inactiva para todo el ciclo completo si ambos $\text{TxCMPR}_{\text{up}}$ y $\text{TxCMPR}_{\text{dn}}$ son iguales o mayores que TxPR para los modos de conteo ascendente/descendente.

5.8.6. Generación de Comparaciones y PWM mediante el uso de Temporizadores GP.

Cada temporizador GP puede ser utilizado independientemente para producir un canal de comparación o de PWM. Por lo tanto con las prestaciones del DSP TMS320C240 podremos generar tres salidas de comparación o de PWM.

5.8.6.1. Generación de la salida de comparación.

Para generar una salida de comparación, hay que elegir el modo de operación de los temporizadores GP adecuado para esta aplicación y seguir los siguientes pasos:

- Configurar el registro TxCMPR para establecer cuando queremos que se produzca la comparación.
- Configurar el registro GPTCON para que se produzca la transición de la salida de comparación en el momento que ocurra la coincidencia de la comparación.
- Cargar TxPR con el valor de periodo deseado en el caso de que no lo contenga ya.
- Cargar TxCNT con el valor inicial del contador que deseemos en el caso de que no lo contenga ya.
- Configurar TxCON para especificar el modo de conteo y la fuente de reloj y comenzar la operación.

5.8.6.2. Generación de PWM.

Para generar PWM con un temporizador GP, primeramente se hace necesario elegir el modo de conteo continuo ascendente o direccional ascendente/descendente. Las formas de onda de “diente de sierra” o asimétricas del PWM son generadas mediante el uso del modo de conteo ascendente. Las formas de onda “centradas” o simétricas del PWM son generadas mediante el uso del modo de conteo continuo

ascendente/descendente. Para configurar un temporizador GP para realizar la función de generación de pulsos PWM hay que llevar a cabo los siguientes pasos:

- Configurar TxPR de acuerdo con el periodo del PWM que deseemos.
- Configurar TxCON para especificar el modo de conteo, la fuente de reloj y el momento de comienzo de la operación
- Cargar TxCMPR con los valores correspondientes con el ancho (ciclos libres) de los pulsos PWM.

Cuando utilizamos el modo de conteo ascendente para generar formas de onda PWM asimétricas, el valor del periodo se obtiene de la división del periodo deseado de PWM entre el periodo de la entrada de reloj del temporizador GP y restando 1 del número resultante. Cuando utilizamos el modo de conteo continuo ascendente/descendente para generar las formas de onda PWM simétricas, el valor del periodo se obtiene dividiendo el periodo de PWM deseado por dos veces el tiempo de periodo de la entrada de reloj del temporizador GP.

5.8.6.3. Reset del temporizador GP.

Cuando se reinician los temporizadores GP se producen los siguientes efectos:

- Todos los bits de los registros de los temporizadores GP, excepto los del registro GPTCON que indican la dirección de conteo, se ponen a valor 0, por tanto se deshabilita el funcionamiento de los temporizadores GP. Los bits de indicación de dirección de conteo son puestos todos a 1.
- Todos los flags de interrupción de los temporizadores se ponen a 0.
- Todos los bits de máscara de las interrupciones de los temporizadores son puestos a 0, por tanto todas las interrupciones de los temporizadores GP son enmascaradas.
- Todas las salidas de comparación de los temporizadores GP son puestos en estado de alta impedancia.

5.8.7. Unidades de comparación.

El módulo de administración de sucesos del DSP TMS320C240 va provisto de tres unidades de comparación completa y tres unidades de comparación simple. Cada una de las unidades de comparación completa tiene asociadas dos salidas de comparación/PWM. Cada una de las unidades de comparación simple tiene asociada una salida de comparación/PWM. La base de reloj para las unidades de comparación completa es generada por el temporizador GP1, mientras que la de las unidades de comparación simple puede ser generada por el temporizador GP1 o 2.

5.8.7.1. Unidades de comparación simple.

Las tres unidades de comparación simple incluyen:

- Tres registros de comparación de 16 bits (SCMPR_x, x=1, 2, 3), cada uno con un registro imagen asociado para lectura y escritura.
- Un registro de control de comparación (COMCON) compartido con las unidades de comparación completa. Este registro puede ser leído y modificado.
- Un registro de control de acción de 16 bits (SACTR) con un registro imagen asociado con capacidad de lectura y escritura.
- Tres generadores de forma de onda simétrica/asimétrica.
- Tres salidas de comparación/PWM denominadas PWM_y/CMP_y donde vale 7, 8 o 9. Cada una de ellas corresponde a cada unidad de comparación simple y poseen polaridad programable.
- Lógica de comparación e interrupción.

La operación de las tres unidades de comparación simple es la misma que la del temporizador GP en modo de comparación excepto por las siguientes restricciones:

- La base de reloj para las unidades de comparación simple puede venir de los temporizadores GP1 o 2.

- Determinados bits del registro COMCON controlan lo siguiente:
 - Habilitado y deshabilitado la operación de comparación simple y las salidas.
 - Selección de la base de reloj para la operación de comparación simple.
- El comportamiento de las salidas de comparación de las unidades de comparación simple está definida individualmente por los bits correspondientes en el registro de control de acciones de la comparación simple SACTR.

En resumen, vemos que la temporización de reloj de las unidades de comparación simple es la misma que la de las salidas de comparación de los temporizadores GP. Hay un flag de interrupción para cada una de las unidades de comparación simple y la configuración de estos flags es la misma que en la operación de comparación del temporizador GP.

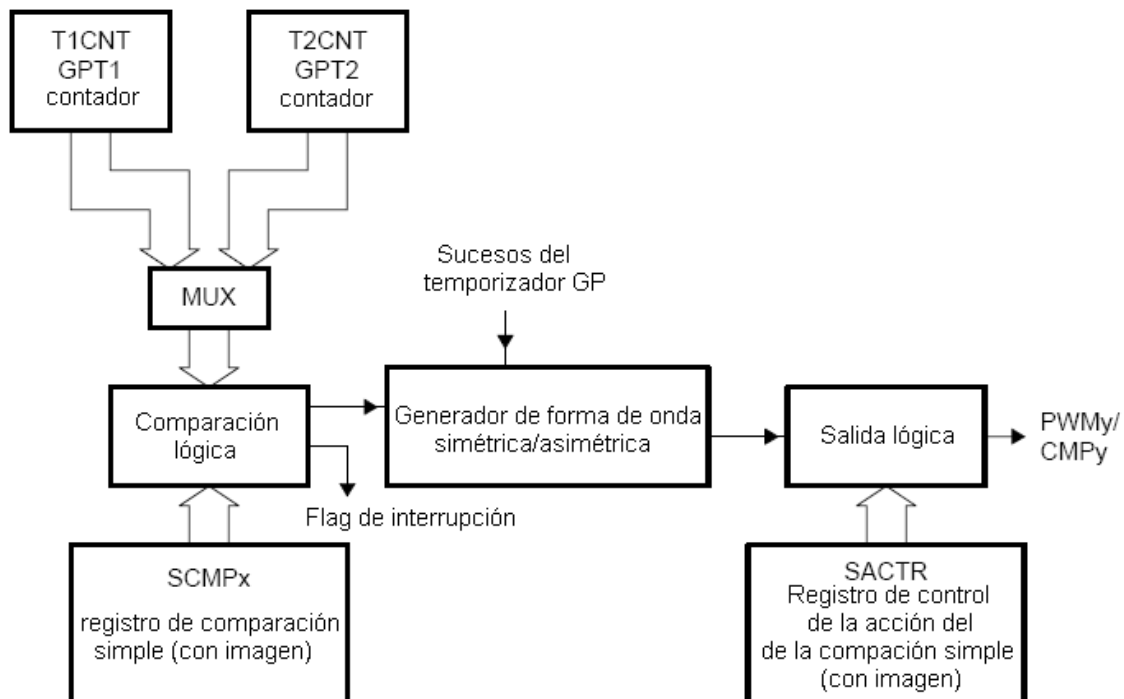


Figura 5.27 – Diagrama de bloques de una Unidad de Comparación simple.

5.8.7.2. Unidades de comparación completa.

Las tres unidades de comparación completa están compuestas por los siguientes elementos:

- Tres registros de comparación de 16 bits (CMPRx, x= 1, 2 o 3), cada uno de los cuales posee un registro imagen asociado para su lectura y escritura.
- Un registro de control de comparación de 16 bits llamado COMCON, el cual puede ser leído y escrito.
- Un registro de control de activación de 16 bits denominado ACTR, con un registro imagen asociado para las acciones de lectura y escritura.
- Seis pines de salida de comparación/PWM (PWM_y/CMP_y, y=1, 2, 3, 4, 5, 6).
- Control e interrupciones lógicas.

La base de tiempo para las unidades de comparación completa y los circuitos PWM asociados son proporcionados por el temporizador GP1. Este temporizador puede encontrarse funcionando en cualquiera de sus seis modos de conteo cuando tenemos activada la operación de comparación. Sin embargo, no se producirá ninguna transición en las salidas de comparación cuando el temporizador GP1 está en el modo de conteo direccional ascendente/descendente.

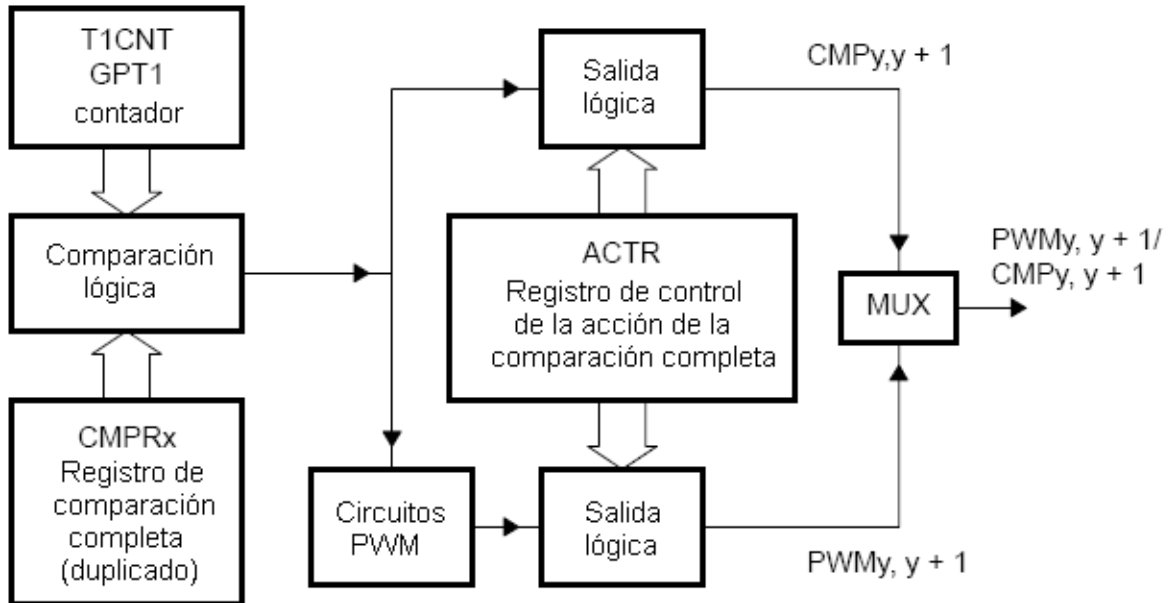


Figura 5.28 – Diagrama de bloques de una Unidad de Comparación completa.

5.8.7.3. Entradas/Salidas de las unidades de comparación completa.

Las entradas de las Unidades de Comparación completa incluyen:

- Señales de control de los registros de control.
- Señales del temporizador GP1 (T1CNT) y de su resto y coincidencia de periodo.
- La señal de Reset.

La salida de una unidad de comparación completa es una señal de coincidencia de comparación. Si la operación de comparación está habilitada, esta señal de coincidencia dispara el flag de interrupción y causa la transición en los dos pines de salida asociados a la unidad de comparación completa. Cuando la operación de comparación completa está deshabilitada, todas las salidas de la comparación/PWM completa son puestas en el estado de alta impedancia.

5.8.7.4. Modos de operación de la comparación completa.

Las unidades de comparación completa pueden realizar dos funciones: modo comparación o modo generación de PWM. La elección entre uno u otro se realizará mediante la configuración de los bits del registro COMCON, los cuales sentencian las siguientes actuaciones:

- Si la comparación completa está habilitada.
- Si las salidas de la comparación completa están habilitadas.
- La condición por la cual los registros de comparación completa son actualizados con los valores de sus registros imagen.
- La condición por la cual el registro de control de acción de la comparación completa es actualizado con el valor del registro imagen.
- Si el modo de vector espacio PWM está habilitado.
- Si cada unidad de comparación completa está en el modo de comparación o de PWM.

5.8.7.5. Modo Comparación.

Cuando el seleccionamos el modo comparación y la comparación completa está habilitada para una unidad de comparación completa, el valor del temporizador GP1 es comparado continuamente con el del registro de comparación y en el caso de producirse una coincidencia, se suceden los siguientes efectos:

- Se produce una transición en las dos salidas de comparación/PWM de la unidad de comparación completa.
- La interrupción de comparación de la unidad de comparación completa es puesta a uno.

El tiempo de cambio de las transiciones de la salida y el disparo de los flags de interrupción es el mismo que en la operación de comparación del temporizador GP. Las

salidas de las unidades de comparación completa en el modo de comparación pueden ser modificadas por la salida lógica.

5.8.7.6. Modo PWM.

Cada unidad de comparación completa puede ser puesta individualmente en el modo PWM. La operación de las unidades de comparación completa en este modo es similar al del temporizador GP en el modo de comparación salvo en que las unidades de comparación completa están controladas por diferentes registros de control y están sujetas a modificaciones por las unidades de tiempo-muerto y el espacio vector PWM lógico.

5.8.7.7. Configuración de los registros para la operación de comparación completa.

La configuración de los registros para la operación de comparación precisa los siguientes pasos:

- Configuración de T1PR.
- Configuración de ACTR.
- Inicialización de CMPRx.
- Configuración de COMCON.
- Configuración de T1CON.

Nota: En la mayoría de los casos convendrá escribir dos veces lo mismo sobre el registro COMCON para asegurarnos una correcta polaridad de las salidas del PWM.

5.8.7.8. Registros de las Unidades de Comparación.

-- Registro de control de comparación. Dirección 74411h --

15	14	13	12	11	10	9	8
CENABL E	CLD1	CLD0	SVENABL E	ACTRL D1	ACTRL D0	FCOMPO E	SCOMPO E
LE-0	LE-0	LE-0	LE-0	LE-0	LE-0	LE-0	LE-0
7	6	5	4	3	2	1	0
SELTM R	SCLD1	SCLD0	SACTRL D1	SACTRL D0	SELCMP 3	SELCMP 2	SELCMP 1
LE-0	LE-0	LE-0	LE-0	LE-0	LE-0	LE-0	LE-0

Nota: L=acceso de lectura, E=acceso de escritura, -0=valor después de reset.

Bit 15 CENABLE: Habilitación de la comparación completa.
 0 = Deshabilita la operación de comparación completa. Todos los registros con imagen (CMPRx, SCMPRx, ACTR, y SACTR) se vuelven transparentes.
 1 = Habilita la operación de comparación.

Bit 14 CLD1,CLD0. Condición de recarga del registro de comparación completa CMPRx.
 00 = Cuando T1CNT = 0 (underflow)
 01 = Cuando T1CNT = 0 o T1CNT = T1PR (underflow o coincidencia de periodo).
 10 = Inmediatamente.
 11 = Reservado. Su contenido es impredecible.

Bit 12 SVENBLE. Habilitación del modo espacio vector PWM. En el modo espacio vector PWM, las seis salidas de comparación se transforman en salidas de PWM. Si SVENBALE = 1, entonces se sobrescriben los bits 0, 1 y 2 de COMCON.
 0 = Deshabilita el modo espacio vector PWM.
 1 = Habilita el modo espacio vector PWM.

Bits 11-10 ACTRLD1, ACTRLD0. Condición de recarga del registro de acción del comparador completo ACTR.

00 = Cuando T1CNT = 0 (underflow)

01 = Cuando T1CNT = 0 o T1CNT = T1PR (underflow o coincidencia de periodo).

10 = Inmediatamente.

11 = Reservado. Su contenido es impredecible.

Bit 9 FCOMPOE. Habilitación de la salida de la comparación completa. Activando PDPINT se produce la puesta a 0 de este bit.

0 = Los pines de salida de la comparación completa son puestos en estado de alta impedancia y son deshabilitados.

1 = Los pines de salida de la comparación completa no son puestos en estado de alta impedancia y no están deshabilitados.

Bit 8 SCOMPOE. Habilitación de la salida de la comparación simple. Activando PDPINT se produce la puesta a 0 de este bit.

0 = Los pines de salida de la comparación simple son puestos en estado de alta impedancia y son deshabilitados.

1 = Los pines de salida de la comparación simple no son puestos en estado de alta impedancia y no están deshabilitados.

Bit 7 SELTMR. Selección de la base de tiempo de la comparación simple.

0 = Temporizador GP1.

1 = Temporizador GP2.

Bits 6-5 SCLD1, SCLD0. Condición de recarga del registro de comparación simple SCMPRx.

00 = Cuando TyCNT = 0 (y = 1 o 2 de acuerdo a SELTMR).

01 = Cuando TyCNT = 0 o TyCNT = TyPR.

10 = Inmediatamente.

11 = Reservado.

Bits 4-3 **SACTRLD1, SACTRLD0.** Condición de recarga del registro de comparación simple SACTR.

00 = Cuando TyCNT = 0 (y = 1 o 2 de acuerdo a SELTMR).

01 = Cuando TyCNT = 0 o TyCNT = TyPR.

10 = Inmediatamente.

11 = Reservado.

Bit 2 **SELCMP3.** Elección de modo para PWM6/CMP6 y PWM5/CMP5 (para la unidad de comparación completa 3).

0 = Modo de comparación.

1 = Modo PWM.

Bit 1 **SELCMP2.** Elección de modo para PWM4/CMP4 y PWM3/CMP3 (para la unidad de comparación completa 2).

0 = Modo de comparación.

1 = Modo PWM.

Bit 0 **SELCMP1.** Elección de modo para PWM2/CMP2 y PWM1/CMP1 (para la unidad de comparación completa 1).

0 = Modo de comparación.

1 = Modo PWM.

Nota: Para activar el modo PWM se necesitan dos escrituras sobre el registro COMCON para asegurar una correcta operación de las unidades de comparación completa:

1. Habilitar el modo PWM sin habilitar el modo de comparación.
2. Habilitar el modo de comparación mediante la puesta a 1 de COMCON[15] sin cambiar el resto de bits.

**-- Registro de control de la acción de la comparación completa (ACTR).
Dirección 7413h --**

Los bits del registro de control de la acción de la comparación completa (ACTR), controlan la acción que tiene lugar en cada uno de los seis pines de salida de la comparación (PWMx/CMPx, x = 1-6) cuando se lleva a cabo la operación de comparación.

15	14	13	12	11	10	9	8
SVRDIR	D2	D1	D0	CMP6ACT	CMP6ACT	CMP5ACT	CMP5ACT
				1	0	1	0
LE-0	LE-0	LE-0	LE-0	LE-0	LE-0	LE-0	LE-0
7	6	5	4	3	2	1	0
CMP4ACT	CMP4ACT	CMP3ACT	CMP3ACT	CMP2ACT	CMP2ACT	CMP1ACT	CMP1ACT
1	0	1	0	1	0	1	0
LE-0	LE-0	LE-0	LE-0	LE-0	LE-0	LE-0	LE-0

Nota: L=acceso de lectura, E=acceso de escritura, -0=valor después de reset.

Bit 15 SVRDIR. Dirección de rotación del vector del PWM. Solo se utiliza en la generación de PWM mediante vectores.

0 = Positivo (CCW)

1 = Negativo (CW)

Bits 14-12 D2-D0. Bits básicos del vector-espacio. Sólo se utilizan en la generación de PWM mediante vectores.

Bits 11-10 CMP6ACT1,CMP6ACT0. Acción en el pin 6 de la salida de la comparación completa (PWM6/CMP6).

<u>Bits 11-10</u>	<u>Modo de comparación</u>	<u>Modo de PWM</u>
00	Hold (detención)	Forzado a nivel bajo
01	Reset	Activo a nivel bajo
10	Set (puesta a uno)	Activo a nivel alto
11	Cambiar	Forzado a nivel alto

Bits 9-8 CMP5ACT1, CMP5ACT0. Acción en el pin 5 de la salida de la comparación completa (PWM5/CMP5).

<u>Bits 9-8</u>	<u>Modo de comparación</u>	<u>Modo de PWM</u>
00	Hold (detención)	Forzado a nivel bajo
01	Reset	Activo a nivel bajo
10	Set (puesta a uno)	Activo a nivel alto
11	Cambiar	Forzado a nivel alto

Bits 7-6 CMP4ACT1, CMP4ACT0. Acción en el pin 4 de la salida de la comparación completa (PWM4/CMP4).

<u>Bits 7-6</u>	<u>Modo de comparación</u>	<u>Modo de PWM</u>
00	Hold (detención)	Forzado a nivel bajo
01	Reset	Activo a nivel bajo
10	Set (puesta a uno)	Activo a nivel alto
11	Cambiar	Forzado a nivel alto

Bits 5-4 **CMP3ACT1, CMP3ACT0.** Acción en el pin 3 de la salida de la comparación completa (PWM3/CMP3).

<u>Bits 5-4</u>	<u>Modo de comparación</u>	<u>Modo de PWM</u>
00	Hold (detención)	Forzado a nivel bajo
01	Reset	Activo a nivel bajo
10	Set (puesta a uno)	Activo a nivel alto
11	Cambiar	Forzado a nivel alto

Bits 3-2 **CMP2ACT1, CMP2ACT0.** Acción en el pin 2 de la salida de la comparación completa (PWM2/CMP2).

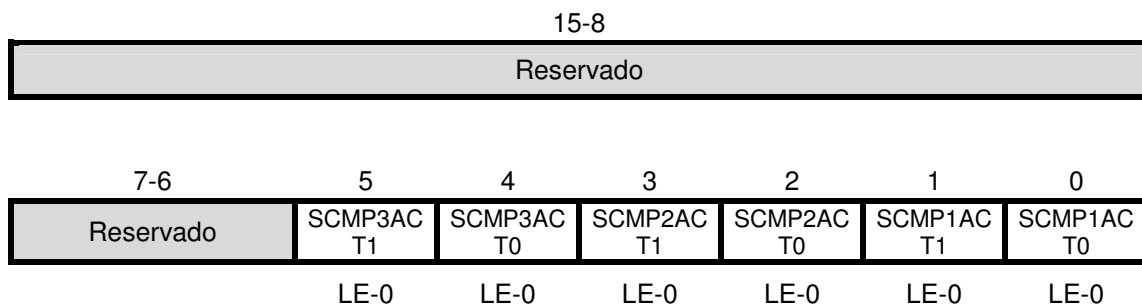
<u>Bits 3-2</u>	<u>Modo de comparación</u>	<u>Modo de PWM</u>
00	Hold (detención)	Forzado a nivel bajo
01	Reset	Activo a nivel bajo
10	Set (puesta a uno)	Activo a nivel alto
11	Cambiar	Forzado a nivel alto

Bits 1-0 **CMP1ACT1, CMP1ACT0.** Acción en el pin 1 de la salida de la comparación completa (PWM1/CMP1).

<u>Bits 7-6</u>	<u>Modo de comparación</u>	<u>Modo de PWM</u>
00	Hold (detención)	Forzado a nivel bajo
01	Reset	Activo a nivel bajo
10	Set (puesta a uno)	Activo a nivel alto
11	Cambiar	Forzado a nivel alto

**-- Registro de control de la acción de la comparación simple (SACTR).
Dirección 7414h --**

La acción de los pines de salida de la comparación simple para una operación de comparación está definida por el registro de 16 bits de control de la acción de comparación simple (SACTR). Este registro tiene almacenamiento doble. La condición que provoca que el registro sea recargado está definida por los bits de COMCON.



Nota: L=acceso de lectura, E=acceso de escritura, -0=valor después de reset.

Bits 15-6 Reservado. Su lectura sólo nos dará el valor 0 y la escritura sobre ellos no tiene ningún efecto.

Bits 5-4 SCMP3ACT1, SCMP3ACT0. Acción en el pin 3 de salida de la comparación simple (PWM9/CMP9).

- 00 = Forzado a nivel bajo.
- 01 = Activo a nivel bajo.
- 10 = Activo a nivel alto.
- 11 = Forzado a nivel alto.

Bits 3-2 SCMP2ACT1, SCMP2ACT0. Acción en el pin 2 de salida de la comparación simple (PWM8/CMP8).

- 00 = Forzado a nivel bajo.
- 01 = Activo a nivel bajo.

10 = Activo a nivel alto.

11 = Forzado a nivel alto.

Bits 1-0 SCMP1ACT1, CMP1ACT0. Acción en el pin 1 de salida de la comparación simple (PWM7/CMP7).

00 = Forzado a nivel bajo.

01 = Activo a nivel bajo.

10 = Activo a nivel alto.

11 = Forzado a nivel alto.

5.8.7.9. Interrupciones de las unidades de comparación.

En los registros EVIFRA y EVIFRC existe un flag de interrupción enmascarable para cada una de las unidades de comparación. Cuando la operación de comparación está habilitada, en el caso de producirse una coincidencia de comparación entonces un flag de interrupción de la unidad de comparación se disparará dos ciclos de reloj de la CPU después de producirse la coincidencia.

5.8.7.10. Reset de las Unidades de Comparación.

Cuando se produce cualquier reset, todos los registros asociados con las unidades de comparación también son reiniciados a valor 0 y todos los pines de salida de la comparación son puestos en estado de alta impedancia.

5.8.8. Circuitos PWM asociados con las Unidades de Comparación Completa.

Los circuitos PWM asociados con las unidades de comparación completa hacen que sea posible el generar seis canales de salida PWM con polaridad y tiempo-muerto programables. Las unidades funcionales que componen estos circuitos son las siguientes:

- Generadores de onda asimétrica/simétrica.
- Unidad de tiempo-muerto (DBU) programable.
- Salida lógica.
- Máquina de estado de vector-espacio de PWM.

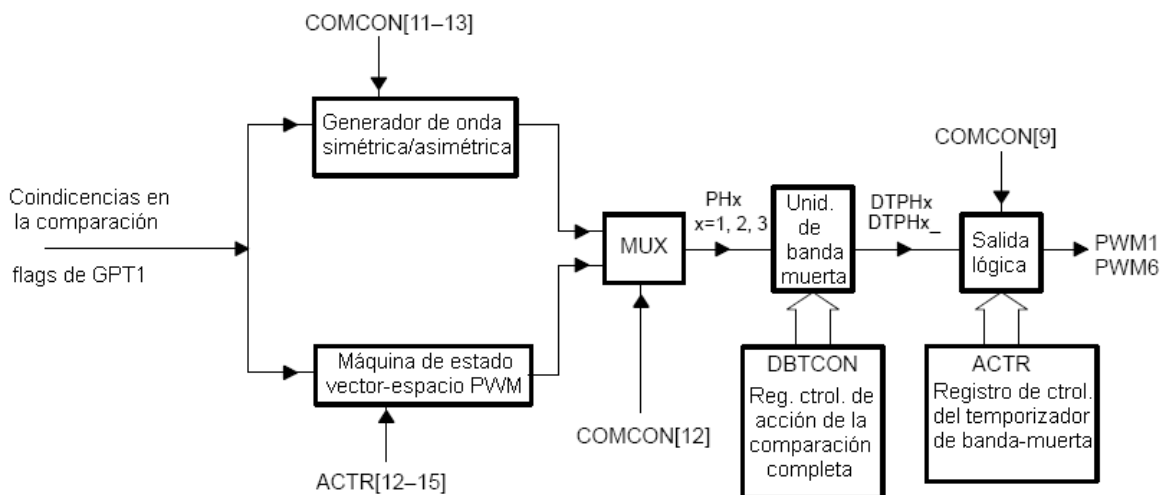


Figura 5.29 – Diagrama de bloques de los circuitos PWM.

Los circuitos PWM están diseñados para minimizar el trabajo de la CPU en la generación de ondas mediante modulación de ancho de pulso (PWM) las cuales son utilizadas para aplicaciones de control de motores. La generación de PWM mediante las unidades de comparación completa y los circuitos asociados al PWM está controlada por los siguientes registros de control:

- T1CON.
- COMCON.
- ACTR.
- DBTCON.

5.8.8.1. Características de la generación de PWM.

La capacidad de generación ondas mediante PWM del Módulo Administrador de Sucesos tiene las siguientes características:

- Nueve salidas independientes de PWM.
- Tiempo-muerto programable para las parejas de salida de PWM asociadas con las unidades de comparación completa de 0-2048 ciclos de reloj de la CPU, o 0-102,4 μ s si el ciclo de reloj de la CPU es de 50 ns.
- Incremento/decremento mínimo de la tiempo-muerto de un ciclo de reloj de la CPU.
- Mínimo ancho de pulso de PWM o mínimo incremento/decremento de un ciclo de reloj de la CPU.
- Resolución máxima de 16 bits del PWM.
- Cambio al vuelo de la frecuencia del PWM debido a los registros dobles de almacenamiento de valor de periodo.
- Cambio al vuelo de los anchos de pulso del PWM debido a los registros dobles de comparación.
- Interrupción de protección de la alimentación de energía.
- Generación mediante PWM programable de formas de onda asimétricas, simétricas y vector-espacio.
- Trabajo mínimo de la CPU debido al autocargado de los registros de comparación y periodo.

5.8.8.2. Unidad de tiempo-muerto programable.

La unidad de tiempo-muerto programable está compuesta por los siguientes elementos:

- Un registro de control de tiempo-muerto de 16 bits (DBTCON).
- Un preescalador de la entrada de reloj: $x/1$, $x/2$, $x/4$, $x/8$.
- Entrada de reloj de la CPU.
- Tres temporizadores de 8 bits para cuenta descendente.
- Lógica de control.

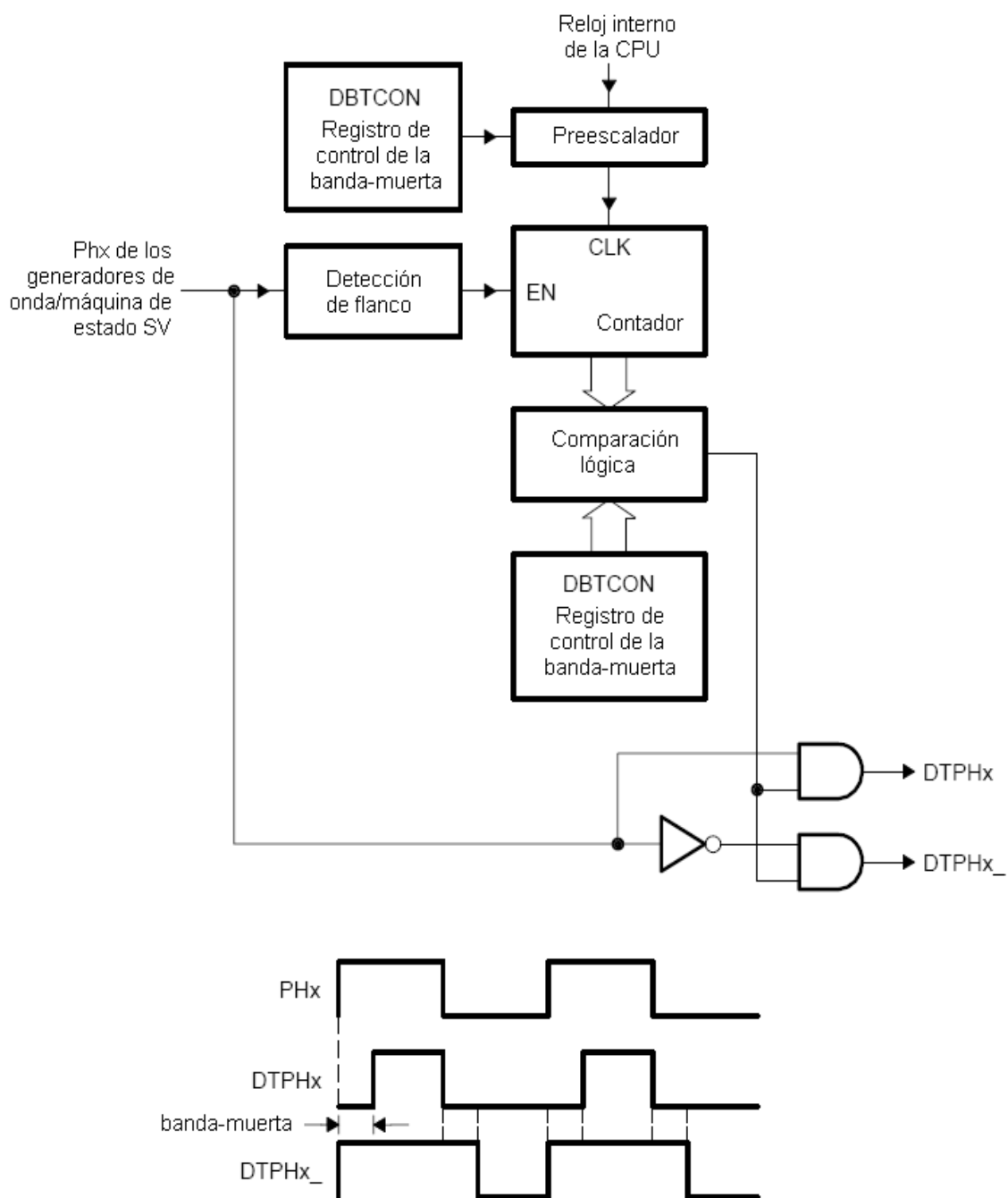


Figura 5.30 – Diagrama de bloques de la Unidad de “tiempo-muerto” ($x = 1, 2$ o 3).

-- Registro de control del temporizador de la unidad de tiempo-muerto (DBTCON). Dirección 7415h --

15	14	13	12	11	10	9	8
DBT7	DBT6	DBT5	DBT4	DBT3	DBT2	DBT1	DBT0
LE-0	LE-0	LE-0	LE-0	LE-0	LE-0	LE-0	LE-0
7	6	5	4	3	2-0		
EDBT3	EDBT2	EDBT1	DBTPS1	DBTPS0	Reservado		
LE-0	LE-0	LE-0	LE-0	LE-0			

Nota: L=acceso de lectura, E=acceso de escritura, -0=valor después de reset.

Bits 15-8 DBT7 (MSB)- DBT0 (LSB). Periodo del temporizador de tiempo-muerto. Estos bits definen el valor del periodo de los tres temporizadores de banda muerta de 8 bits.

Bit 7 EDBT3. Habilitación del temporizador de tiempo-muerto número 3 (para los pines PWM5/CMP5 y PWM6/CMP6 de la unidad 3 de comparación completa).

0 = Deshabilitado.

1 = Habilitado.

Bit 6 EDBT2. Habilitación del temporizador de tiempo-muerto número 2 (para los pines PWM3/CMP3 y PWM4/CMP4 de la unidad 2 de comparación completa).

0 = Deshabilitado.

1 = Habilitado.

Bit 5 EDBT1. Habilitación del temporizador de tiempo-muerto número 1 (para los pines PWM1/CMP1 y PWM2/CMP2 de la unidad 1 de comparación completa).

0 = Deshabilitado.

1 = Habilitado.

Bits 4-3 **DBTPS1, DBTPS0.** Preescalador del temporizador de tiempo-muerto.

$$00 = x/1$$

$$01 = x/2$$

$$10 = x/4$$

$$11 = x/8$$

Donde x es la frecuencia de reloj de la CPU.

Bits 2-0 **Reservado.** La lectura solo nos da valor 0 y la escritura no tiene ningún efecto.

5.8.8.3. Entradas y salidas de la unidad de tiempo-muerto.

Las entradas de la unidad de tiempo-muerto para la generación de ondas asimétricas/simétricas de los unidades de comparación completa 1, 2 y 3 son PH1, PH2 y PH3 respectivamente.

Las salidas de la unidad de tiempo-muerto son DTPH1, DTPH1_, DTPH2, DTPH2_, y DTPH3, y DTPH3_ correspondientes a PH1, PH2 y PH3 respectivamente.

5.8.8.4. Generación de tiempo-muerto.

Por cada señal de entrada PH x , se generan dos señales de salida DTPH x y DTPH x _. Cuando la banda muerta no está habilitada para la unidad de comparación y sus salidas asociadas, las dos señales son exactamente la misma. Cuando la unidad de banda muerta está habilitada para la unidad de comparación, los flancos de transición de las dos señales están separados por un intervalo de tiempo llamado “tiempo-muerto”. Este intervalo de tiempo está determinado por los bits del registro DBTCON. Por ejemplo, si el valor en DBTCON[15-8] es m y el valor en DBTCON[4-3] corresponde al preescalador x/p , entonces el valor del tiempo-muerto es $(p*m)$ ciclos de reloj de la CPU.

En la siguiente tabla se muestra la tiempo-muerto generada por la combinación de los bits en DBTCON. Estos valores están basados en un dispositivo de 50 ns:

DBT7–DBT0 (<i>m</i>) (DBTCON[15–8])	DBTSP1–DBTSP0 (<i>p</i>) (DBTCON[4–3])			
	11 (P = 8)	10 (P = 4)	01 (P = 2)	00 (P = 1)
00h	0	0	0	0
01h	0.40	0.20	0.10	0.05
02h	0.80	0.40	0.20	0.10
03h	1.20	0.60	0.30	0.15
04h	1.60	0.80	0.40	0.20
05h	2.00	1.00	0.50	0.25
06h	2.40	1.20	0.60	0.30
07h	2.80	1.40	0.70	0.35
08h	3.20	1.60	0.80	0.40

Nota: los valores están en μ s.

Tabla x – Ejemplos de generación de tiempo-muerto.

La unidad de tiempo-muerto está diseñada para asegurar que no existe solapamiento entre los periodos de encendido de los elementos más alto y más bajo que son controlados por las dos salidas de comparación/PWM asociadas con cada una de las unidades de comparación completa. Esto asegura que no se producirá ningún solapamiento bajo ninguna condición, incluyendo cuando el usuario a cargado un valor de tiempo-muerto mayor que el del ciclo libre, y cuando el ciclo libre es del 100% o del 0%. Como resultado, las salidas de comparación/PWM asociadas con una unidad de comparación completa no pasan a un estado de inactividad al final de un periodo cuando la tiempo-muerto está habilitada para la unidad de comparación completa. Por último señalar que el tiempo muerto es deshabilitado cuando una unidad de comparación completa está en el modo de comparación.

5.8.9. Salida Lógica.

El circuito de salida lógica para las unidades de comparación simple y completa determina la polaridad y/o la acción que se debe producir en un suceso de coincidencia en la comparación para las salidas PWMx/CMPX ($x = 1-9$). Las salidas asociadas con cada unidad de comparación completa pueden ser especificadas activas a nivel bajo, activas a nivel alto, forzadas a nivel bajo, o forzadas a nivel alto cuando la unidad de comparación completa está en el modo PWM (lo mismo ocurre con las salidas asociadas con una unidad de comparación simple y los temporizadores GP). Pueden ser especificadas para mantener, poner a uno, poner a cero, o para cambiar cuando la unidad de comparación está en el modo de comparación. La polaridad y/o la acción de las salidas de comparación/PWM de la comparación simple o completa pueden ser programadas mediante la configuración adecuada de los bits de los registros ACTR y SACTR.

Los seis pines de salida de la comparación/PWM completa o los tres de la comparación/PWM simple pueden ser puestos en el estado de alta impedancia siguiendo cualquiera de las siguientes acciones:

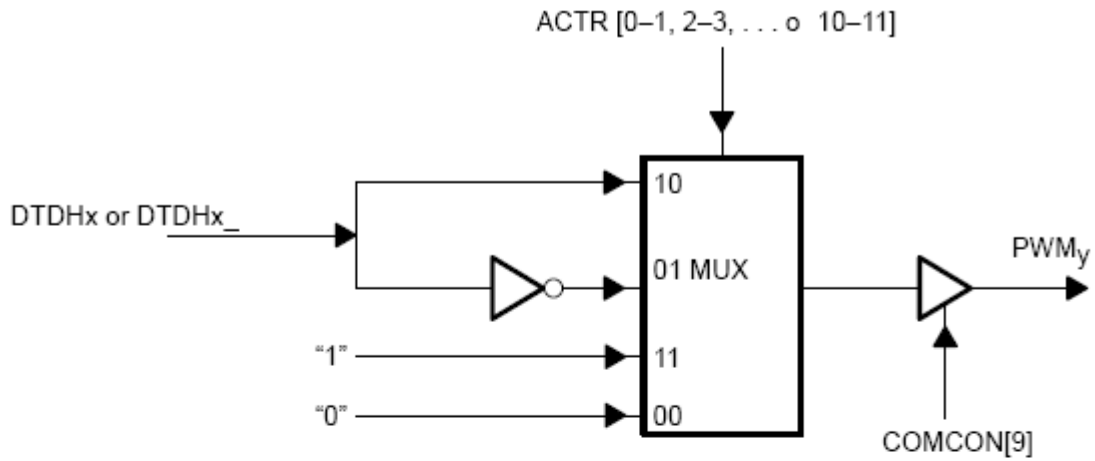
- Reiniciando (puesta a cero) mediante software los bits COMCON[9] y COMCON[8].
- Poniendo PSPINT a nivel bajo mediante hardware cuando PDPINT está desenmascarado.
- Mediante cualquier acción de reset del sistema.

Las entradas para la salida lógica de las unidades de comparación simple y completa están compuestas por las siguientes señales:

- DTPH1, DTPH1_, DTPH2, DTPH2_, DTPH3, y DTPH3_ provenientes de las señales de la unidad de tiempo-muerto y coincidencia de la comparación completa.
- Salidas provenientes del generador de forma de onda asimétrica/simétrica que incorpora la unidad de comparación.
- Los bits de ACTR y SACTR.

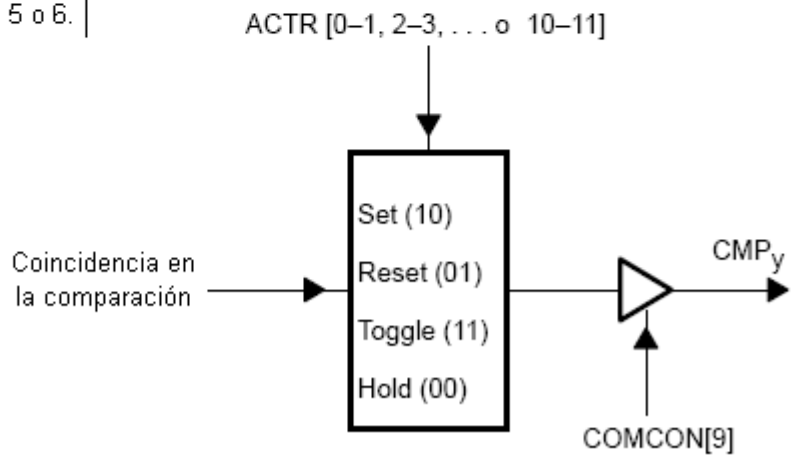
▪ PDPINT Y Reset.

Las salidas del circuito de salida lógica para las unidades de comparación simple y completa son dadas por PWMx/CMPx (x = 1-9).



Salida lógica para el modo PWM

$\left\{ \begin{array}{l} x = 1, 2 \text{ o } 3 \\ y = 1, 2, 3, 4, 5 \text{ o } 6. \end{array} \right.$



Salida lógica para el modo de comparación

Figura 5.31 – Diagrama de bloques de la Salida Lógica.

5.8.10. Generación de ondas mediante PWM.

5.8.10.1. Señales PWM.

Una señal de ancho de pulso modulado (PWM) es una secuencia de pulsos los cuales tienen un ancho variable. Los pulsos son repartidos a lo largo de un periodo de tiempo definido sólo habiendo un pulso en cada uno de estos tiempos. Esta cantidad de tiempo es denominada el periodo del PWM y su inversa es la frecuencia del PWM. Los anchos de los pulsos PWM están determinados o modulados de pulso a pulso de acuerdo a otra secuencia de valores deseados, lo que es lo mismo, la señal de modulación.

En el sistema de control de un motor, las señales PWM son usadas para controlar el tiempo que están cerrados o abiertos los interruptores de potencia que proporcionan la energía deseada a las escobillas del motor. La forma y la frecuencia de la fase de las corrientes y las tensiones y la cantidad de energía administrada al motor, controla la velocidad y par deseados en el motor. La tensión o corriente que alimentará al motor vendrá comandada por la señal modulada por el PWM. La frecuencia de la señal modulada es por lo general mucho menor que la frecuencia del PWM.

5.8.10.2. Generación de la señal PWM.

Para generar una señal PWM, se necesita un temporizador apropiado que repita un periodo de conteo que sea igual al periodo del PWM. Un registro de comparación mantiene los valores de modulación. El valor del registro de comparación es comparado constantemente con el valor del temporizador contador. Cuando los valores coinciden, se produce una transición (de nivel bajo a alto o viceversa) en la salida asociada. Cuando se produce una segunda coincidencia entre los valores o cuando se alcanza el final del periodo de un temporizador, se produce otra transición en la salida asociada. De esta manera, es generado un pulso de salida de forma que la duración de su nivel alto o bajo es proporcional al valor que hay en el registro de comparación. Este proceso se repite para cada periodo del temporizador con diferentes valores de modulación en el

registro de comparación. Como resultado de todo este proceso, al final obtenemos una señal PWM en la salida asociada.

5.8.10.3. Tiempo-muerto.

En muchas aplicaciones de automoción/motores y de electrónica de potencia, se colocan dos elementos de potencia en serie en una rama del convertidor de potencia. Para evitar un solapamiento de las ondas, los periodos de encendido de los dos elementos no deben solaparse. Por tanto, a veces se necesitan un par de salidas PWM no solapantes para encender o apagar correctamente los dos elementos. A veces se inserta un tiempo muerto (“dead band”) entre el apagado de un transistor y el encendido del otro transistor. Este retraso permite el apagado completo de un transistor antes de llevar a cabo el encendido del siguiente. El tiempo de retraso necesario está determinado por las características de encendido y apagado de los transistores de potencia y las características de carga específicas de cada aplicación.

5.8.10.4. Generación de salidas PWM mediante el Módulo Administrador de Sucesos.

Cada una de las tres unidades de comparación juntas con el temporizador GP1, la unidad de tiempo-muerto, y la salida lógica del módulo EV pueden ser usadas para generar un par de salidas PWM con polaridad y tiempo-muerto programables. Hay seis salidas de PWM asociadas con las tres unidades de comparación en el módulo EV. Estas seis salidas pueden ser utilizadas para controlar un motor de alterna trifásico o un motor de corriente continua sin escobillas. La flexibilidad del control del comportamiento de la salida por parte del registro de control de acción de la comparación completa (ACTR) también hace que sea sencillo el controlar motores síncronos o asíncronos en un amplio abanico de aplicaciones.

Las tres unidades de comparación simple junto con los temporizadores GP 1 y 2 pueden generar otras tres salidas PWM en el caso de que la tiempo-muerto no sea necesaria o sea generada por circuitos externos al DSP. Cada unidad de comparación de

cada temporizador GP puede generar una salida de PWM basada en su propio temporizador.

5.8.10.5. Generación de PWM asimétrico y simétrico.

Ambas formas de onda asimétricas y simétricas pueden ser generadas por cualquier unidad de comparación en el módulo EV. Además, las tres unidades de comparación juntas pueden generar salidas PWM trifásicas y simétricas. La generación de PWM mediante las unidades de comparación simples es similar a la generación de PWM mediante las unidades de comparación de los temporizadores GP, excepto que los diferentes registros de control son usados y cada temporizador GP 1 o 2 pueden ser elegidos como base de tiempo.

5.8.10.6. Configuración de los registros para la generación de PWM.

Los tres tipos de generación de ondas PWM con las unidades de comparación completa y los circuitos asociados requieren la configuración de los mismos registros del módulo EV. El proceso de configuración para la generación de PWM implica la consecución de los siguientes pasos:

- 1) Configurar y cargar ACTR.
- 2) Configurar y cargar DBTCON si se van a utilizar las bandas muertas.
- 3) Inicializar CMPRx.
- 4) Configurar y cargar COMCON para habilitar la operación de comparación.
- 5) Configurar y cargar CONCON para habilitar la operación de comparación.
- 6) Configurar y cargar T1CON para comenzar la operación.
- 7) Rescribir CMPRx con nuevos valores determinados.

5.8.10.7. Generación de forma de onda PWM Asimétrica.

Las señales asimétricas o de “diente de sierra” del PWM están caracterizadas por pulsos modulados los cuales no están centrados con respecto al periodo del PWM. Además el ancho de cada pulso sólo puede ser cambiado hacia uno de sus lados.

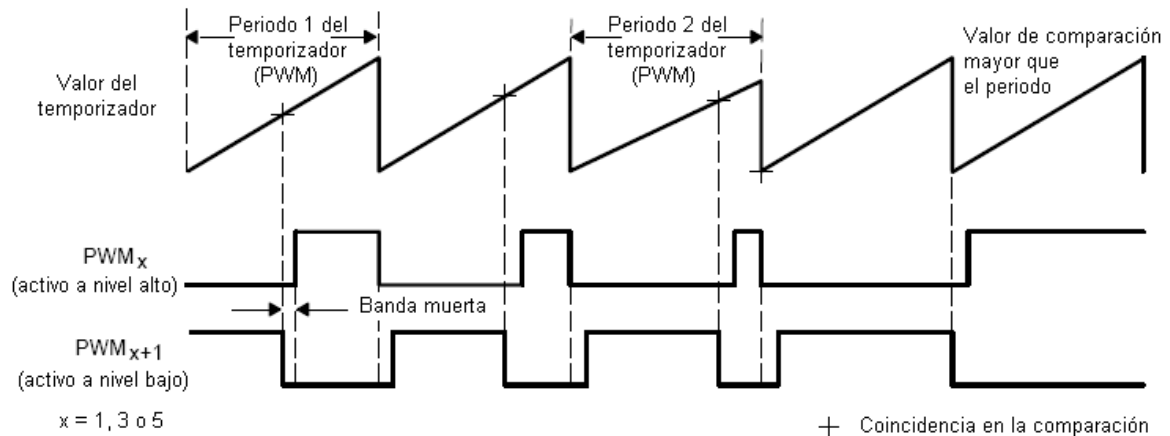


Figura 5.32 – Generación de ondas PWM asimétricas mediante Unidades de Comparación Completa y Circuitos PWM.

Para generar una señal PWM asimétrica con una unidad de comparación completa, el temporizador GP1 debe estar puesto en el modo de conteo continuo ascendente. Su registro de periodo debe estar cargado con un valor correspondiente al periodo de muestreo deseado del PWM. Entonces, el COMCON debe ser configurado para habilitar la operación de comparación, configurar los pines de salida seleccionados para ser salidas del PWM, y habilitar las salidas. Si la tiempo-muerta está habilitada, el valor deseado para la tiempo-muerta debe ser escrito en los 8 bits mas significativos de DBTCON como el periodo del PWM para los temporizadores de 8 bits del tiempo-muerta.

Mediante la configuración adecuada mediante software del registro ACTR, una señal PWM normal pueden ser generada en una salida asociada con una unidad de comparación completa mientras que la otra se mantiene a nivel bajo (apagado) o alto (encendido) al principio, en la mitad o al final del periodo del PWM. Tal flexibilidad de control mediante software de las salidas del PWM es particularmente útil en las aplicaciones de control de motores con bastantes holguras.

Después de que haya comenzado a funcionar el temporizador GP1, los registros de comparación son reescritos cada periodo del PWM con valores de comparación nuevamente determinados para ajustar el ancho de las salidas del PWM que controlan el encendido y apagado de los elementos de potencia. Dado que los registros de comparación están doblados, se pueden escribir nuevos valores sobre ellos en cualquier momento durante el tiempo del periodo. Por la misma razón, los nuevos valores pueden ser escritos en los registros de acción y periodo en cualquier momento para cambiar el periodo del PWM o para forzar cambios en la definición de la salida del PWM.

5.8.10.8. Generación de forma de onda PWM Simétrica.

Una señal PWM centrada o simétrica está caracterizada por pulsos modulados que están centrados con respecto a cada periodo del PWM. La ventaja de la señal PWM simétrica con respecto a la asimétrica es que posee dos zonas inactivas de la misma duración las cuales están situadas al comienzo y al final de cada periodo PWM. Esta simetría produce menos armónicos en la fase de la corriente de los motores de alterna que las señales PWM.

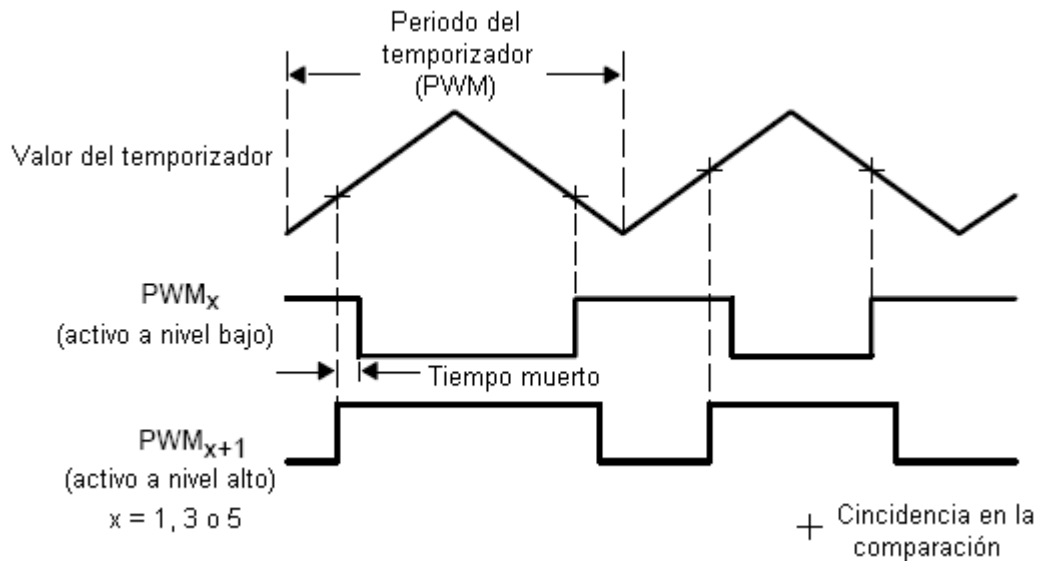


Figura 5.33 – Generación de ondas PWM simétricas mediante Unidades de Comparación Completa y Circuitos PWM.

La generación de una onda PWM simétrica mediante el uso de una unidad de comparación completa es similar a la generación de una onda PWM asimétrica. La diferencia radica en que el temporizador GPI debe estar funcionando en el modo de conteo continuo ascendente/descendente.

Normalmente hay dos coincidencias en la comparación durante el periodo PWM en la generación de ondas simétricas PWM: una durante la cuenta ascendente antes de la coincidencia de periodo y otra durante la cuenta descendente después de la coincidencia de periodo. Un valor de comparación nuevo puede convertirse en efectivo después de la coincidencia del periodo (recargado en el periodo), haciendo posible avanzar o retrasar el segundo pico de un pulso PWM. Una aplicación de esta capacidad es la modificación de la forma de onda PWM que compensa sobre la marcha los errores causados por el tiempo-muerto en el control de motores de corriente alterna.

Dado que los registros de comparación están doblados, se pueden escribir nuevos valores sobre ellos en cualquier momento durante el tiempo del periodo. Por la misma razón, los nuevos valores pueden ser escritos en los registros de acción y periodo en cualquier momento para cambiar el periodo del PWM o para forzar cambios en la definición de la salida del PWM.

5.8.11. PWM Vector-espacio.

El termino PWM vector-espacio se refiere a un esquema especial de interruptores para los seis transistores de potencia de un convertidor de potencia de 3 fases. Este genera una distorsión de armónicos mínima para las corrientes en las escobillas de un motor de alterna trifásico. Además también consigue un uso más eficiente de la tensión de alimentación que el método tradicional de modulación sinusoidal.

5.8.11.1. Inversor de potencia trifásico.

La estructura de un inversor de potencia trifásico típica es el que se muestra en la figura 5.34.

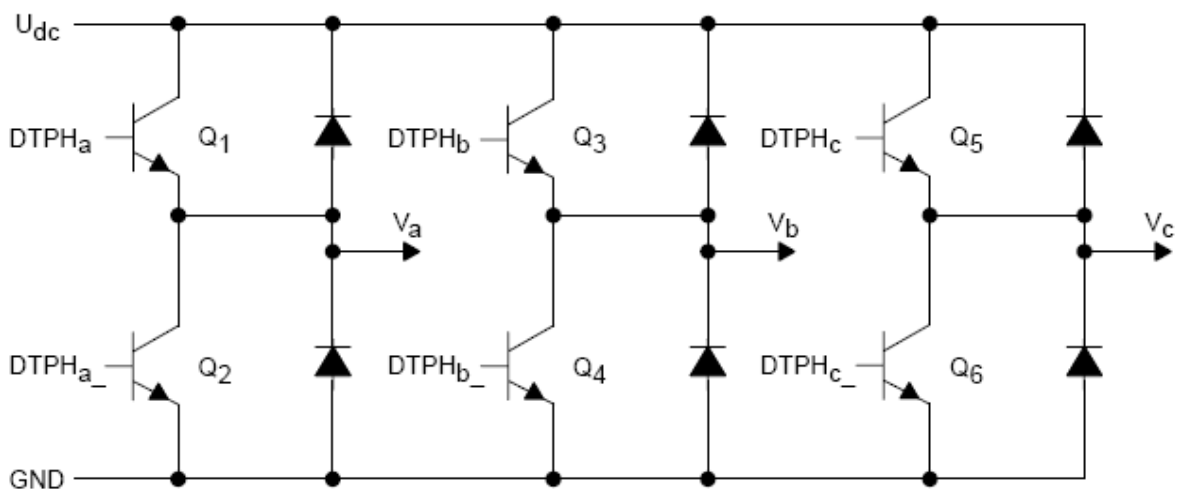


Figura 5.34 – Inversor de potencia trifásico típico.

En el esquema observamos tres variables llamadas V_a , V_b y V_c , las cuales son las tensiones de salida aplicadas a las escobillas del motor. Los seis transistores de potencia son controlados por $DTPH_x$ y $DTPH_{x_}$, donde $x = a, b$ y c . Cuando el transistor más arriba es puesto en conducción ($DTPH_x = 1$), el transistor de más abajo se pone en corte ($DTPH_{x_} = 0$). De esta manera, los estados de conducción y corte de los transistores más arriba (Q_1, Q_3 y Q_5) o lo que es lo mismo, el estado de $DTPH_x$ es suficiente para evaluar la tensión U_{out} aplicada al motor.

5.8.11.2. Patrón de encendido de un Inversor de potencia y los Vectores Espacio básicos.

Cuando uno de los transistores de más arriba de la rama está conduciendo, la tensión V_x ($x=a, b$ o c) aplicada a la fase correspondiente a la escobilla del motor es igual a la tensión de alimentación U_{dc} . Cuando está en corte, la tensión aplicada es 0. El encendido y apagado de los transistores de más arriba (DTPHx, $x = a, b$ o c) tiene ocho combinaciones posibles:

a	b	c	$V_{a0}(U_{dc})$	$V_{b0}(U_{dc})$	$V_{c0}(U_{dc})$	$V_{ab}(U_{dc})$	$V_{bc}(U_{dc})$	$V_{ca}(U_{dc})$
0	0	0	0	0	0	0	0	0
0	0	1	-1/3	-1/3	2/3	0	-1	1
0	1	0	-1/3	2/3	-1/3	-1	1	0
0	1	1	-2/3	1/3	1/3	-1	0	1
1	0	0	2/3	-1/3	-1/3	1	0	-1
1	0	1	1/3	-2/3	1/3	1	-1	0
1	1	0	1/3	1/3	-2/3	0	1	-1
1	1	1	0	0	0	0	0	0

Nota: 0 = corte y 1 = conducción.

Se pueden dibujar las fases de las tensiones correspondientes a las ocho combinaciones en el plano d-q mediante la realización de una transformación d-q. Esto es equivalente a una proyección ortogonal de los tres vectores (a, b y c) dentro del plano perpendicular al vector (1,1,1), el plano d-q. Esto produce seis vectores no nulos y dos vectores nulos. Los vectores no nulos forman los ejes de un hexágono. El ángulo entre dos vectores adyacente es de 60° , con los dos vectores nulos en el origen. Los ocho vectores son denominados *vectores espacio básicos* y son nombrados como $U_0, U_{60}, U_{120}, U_{180}, U_{300}, O_{000}$ y O_{111} . La misma transformación puede ser aplicada al vector de tensión demandada U_{out} de un motor.

El método de PWM vector-espacio aproxima el vector de tensión del motor U_{out} usando una combinación de estos ocho patrones de encendido y apagado de los seis transistores de potencia.

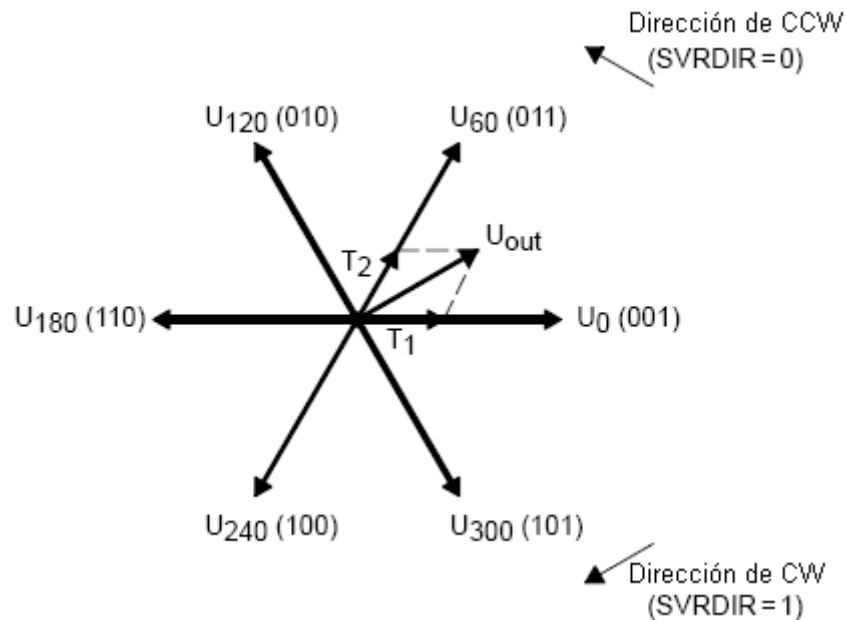


Figura 5.35 – Desfase de las salidas de tensión de los 6 transistores de potencia.

La figura muestra la proyección de los vectores y la proyección deseada del vector de alimentación del motor U_{out} . Los ejes d y q del plano d - q corresponden a los ejes ortogonales horizontal y vertical del estator de un motor AC.

La representación binaria de dos vectores básicos adyacentes sólo difiere en un bit. Esto es debido a que solo uno de los transistores de más arriba cambia su estado cuando el patrón de encendido/apagado cambia de U_x a U_{x+60} o de U_{x+60} a U_x . Además, tener en cuenta que los vectores nulos O_{000} y O_{111} no administran ninguna tensión al motor.

5.8.11.3. Aproximación de la tensión del motor mediante Vectores de Espacio básicos.

El vector de alimentación del motor U_{out} se encontrará en uno de los seis sectores según el momento en que nos fijemos. Por eso, para cualquier periodo del PWM, este vector puede ser aproximado por la suma de las componentes de otros dos vectores que sean adyacentes a dos vectores básicos:

$$U_{out} = \frac{T_1}{T_p} U_x + \frac{T_2}{T_p} U_{x+60} + \frac{T_0}{T_p} (O_{000} \text{ o } O_{111})$$

$$T_0 = T_p - T_1 - T_2$$

La aproximación que refleja la ecuación de arriba significa que los transistores de más arriba deben tener un patrón de encendido y apagado correspondiente a U_x y U_{x+60} para la duración T_1 y T_2 respectivamente con el objetivo de aplicar la tensión U_{out} al motor. Incluyendo los vectores nulos ayudan a equilibrar los periodos de encendido y apagado de los transistores y así su disipación de potencia.

5.8.11.4. Generación de onda vector-espacio PWM mediante el Administrador de Sucesos.

-Mediante Software.

Para generar las salidas de vector-espacio PWM correspondientes a un periodo el software de usuario debe realizar las siguientes actuaciones:

- Configurar ACTR para definir la polaridad de los pines de salida de la comparación completa.
- Configurar COMCON para habilitar la operación de comparación y el modo es vector-espacio PWM y establecer la condición de recarga para poner a valor cero los registros ACTR y CMPRx.
- Poner el temporizador GP1 en el modo de conteo continuo ascendente/descendente para comenzar la operación.

Después de estos paso, entonces el programa deberá realizar lo siguiente:

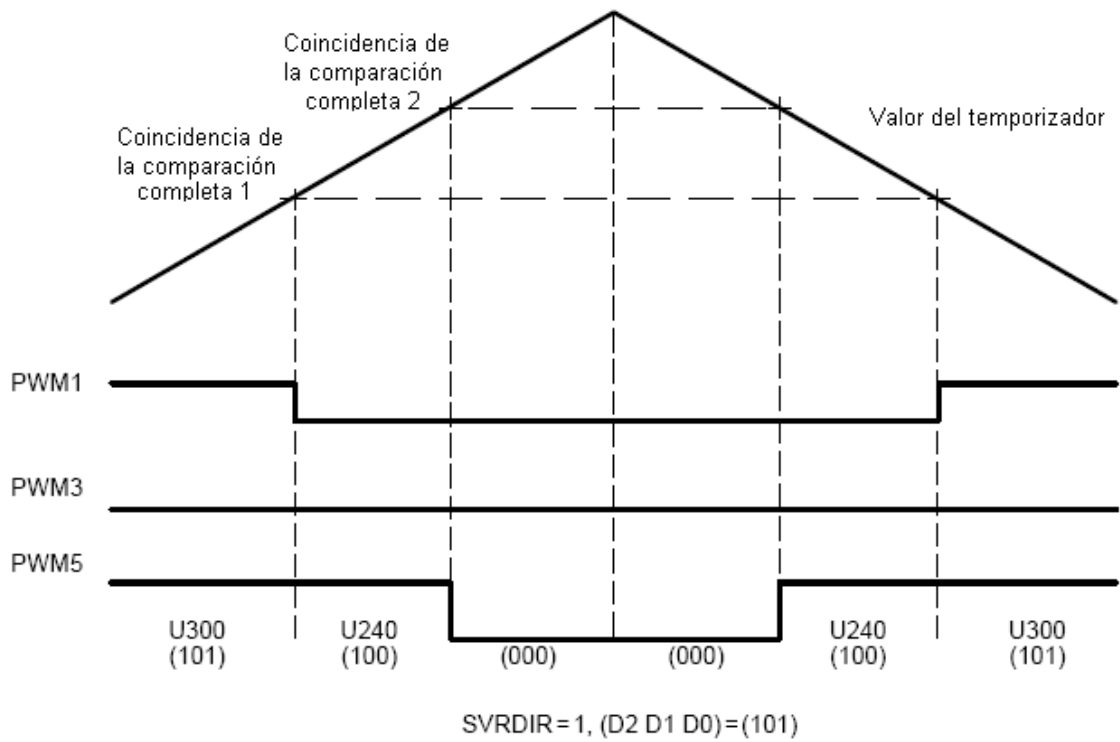
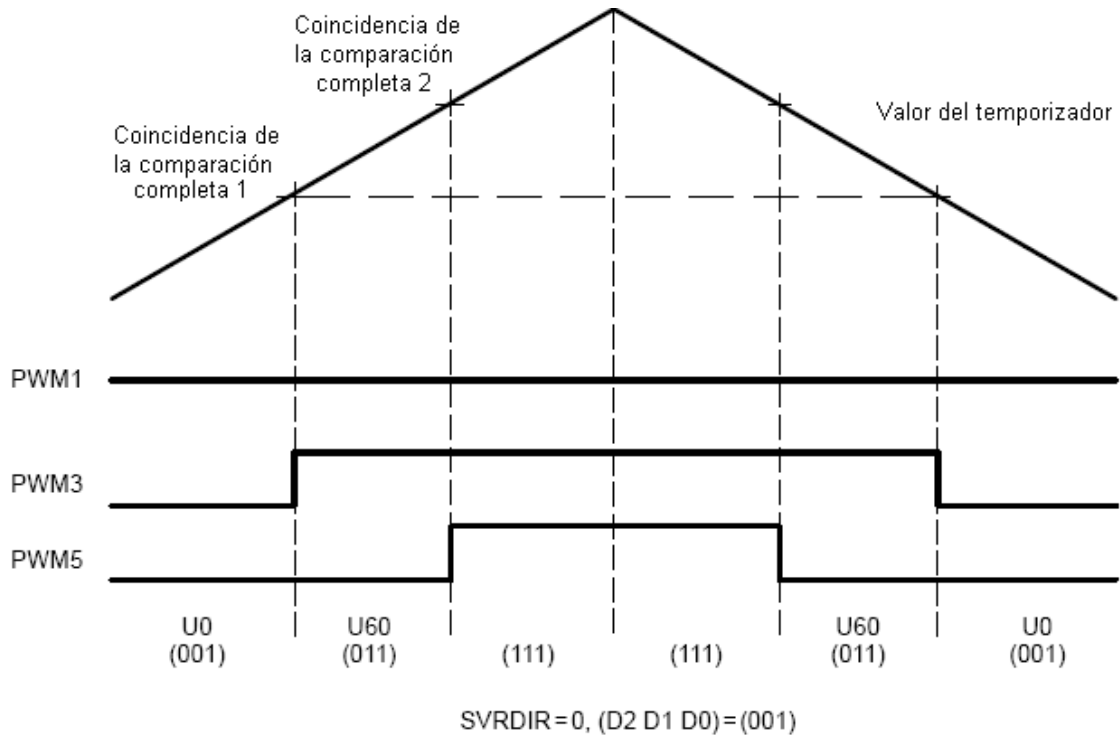
- Determinar la tensión U_{out} para ser aplicada en las fases del motor en el plano d-q.
- Descomponer U_{out} .
- Hacer lo siguiente para cada periodo de PWM:
 - Determinar los dos vectores adyacentes U_x y U_{x+60} .
 - Determinar los parámetros T_1 , T_2 y T_0 .
 - Escribir el patrón de encendido y apagado correspondiente a U_x en ACTR[14-12] y 0 en ACTR[15], o el patrón de U_{x+60} en ACTR[14-12] y 1 en ACTR[15].
 - Poner $T_1/2$ en CMPR1 y $(T_1/2 + T_2/2)$ en CMPR2 si ACTR[15] es 0, o poner $T_2/2$ en CMPR1 y $(T_1/2 + T_2/2)$ en CMPR2 si ACTR[15] es 1.

-Mediante Hardware.

Para generar las salidas de vector-espacio PWM correspondientes a un periodo el hardware del Módulo de Administración de Sucesos (EMM) debe realizar las siguientes actuaciones:

- Al principio de cada periodo, poner en las salidas del PWM el nuevo patrón U_y definido por ACTR[14-12].
- En la primera coincidencia de comparación durante la cuenta ascendente entre CMPR1 y el temporizador GP1, cambiar las salidas del PWM según el patrón de U_{y+60} si ACTR[15] es 0, o según el patrón de U_y si ACTR[15] es 1. $U_{0-60} = U_{300}$; $U_{360+60}=U_{60}$.
- En la segunda coincidencia de comparación durante la cuenta ascendente entre CMPR2 y el temporizador GP1 en $(T1/2 + T2/2)$, cambia las salidas del PWM al patrón (000) o (111), los cuales difieren del segundo patrón en un bit.
- En la primera coincidencia de comparación entre CMPR2 y el temporizador GP1 durante la cuenta descendente, cambia las salidas PWM al segundo patrón de salida.
- En la segunda coincidencia de comparación entre CMPR1 y el temporizador GP1 durante la cuenta descendente, cambia las salidas del PWM al primer patrón de salida.

Como resultado de la indistinta utilización de un método u otro para la generación de ondas PWM, obtenemos una onda la cual es simétrica respecto a su semiperiodo.



Nota: las salidas del PWM están activas a nivel alto.

Figura 5.36 – Ondas de vector-espacio PWM simétricas.

Otros sucesos a tener en cuenta en la generación de ondas vector-espacio PWM es que para su generación sólo se utilizan dos registros de comparación completa. El tercer registro de comparación completa, sin embargo, es constantemente comparado con el temporizador GP1. Cuando se produce una coincidencia en la comparación, el flag de interrupción correspondiente salta. Por lo tanto el registro de comparación que no está siendo utilizado para la generación de salida vector-espacio PWM puede ser todavía utilizado para temporizar sucesos producidos en una determinada aplicación. También, debido al retraso extra introducido por la máquina de estado, las transiciones de las salidas de las unidades de comparación completa, son retrasadas dos ciclos de reloj de la CPU en el modo espacio-vector PWM.

Y finalmente muy importante tener en cuenta los límites de utilización de la generación de onda mediante espacio-vector PWM. Las salidas de las tres unidades de comparación completa se vuelven inactivas cuando ambos registros de comparación completa CMPR1 y CMPR2 son cargados con el valor cero en el modo de vector-espacio PWM. En general, es la responsabilidad del operador el asegurarse de que en el modo espacio-vector PWM se cumple que $(CMPR1) \leq (CMPR2) \leq (T1PR)$, de no ser así no se puede asegurar cual puede ser el comportamiento de las salidas.

5.8.12. Unidades de Captura.

Las Unidades de Captura permiten registrar las transiciones que se dispongan en sus pines de entrada. Hay cuatro unidades de captura, de las cuales cada una está asociada a un pin de entrada de captura. Cada unidad de captura puede elegir al temporizador GP2 o 3 como su base de tiempo. El valor del temporizador GP2 o 3 es capturado y guardado en la correspondiente pila FIFO de dos niveles de profundidad cuando una transición especificada es detectada en un pin de entrada de captura CAPx.

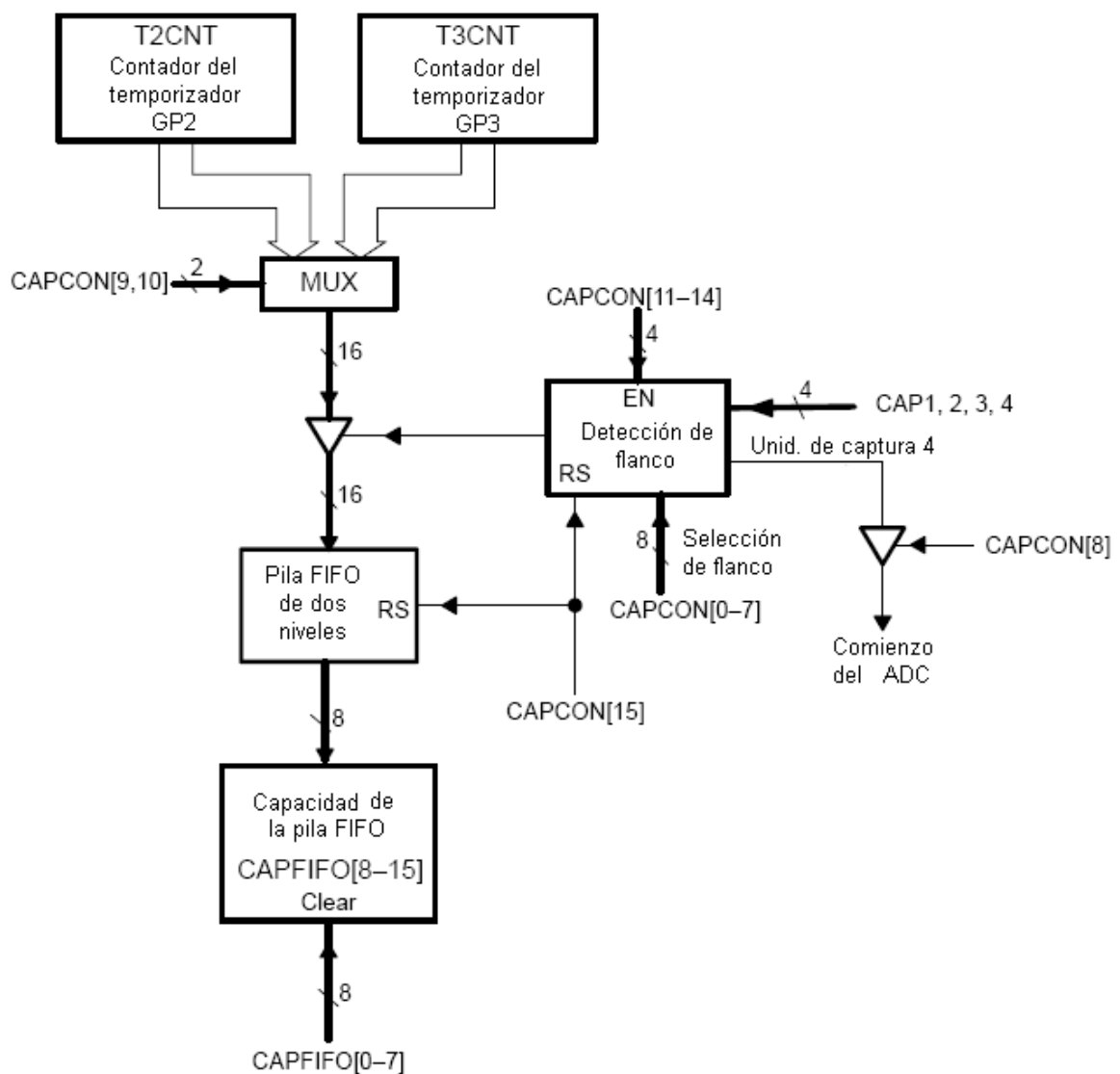


Figura 5.37 – Diagrama de Bloques de las Unidades de Captura.

Los elementos que componen las Unidades de Captura son los siguientes:

- Un registro de control de la captura de 16 bits CAPCON.
- Un registro del estado de la pila FIFO de la captura de 16 bits CAPFIFO (los ocho bits MSB sólo pueden ser leídos y los ocho bits LSB sólo pueden ser escritos).
- Libertad de elegir el temporizador GP 2 o el 3 como base de tiempo.
- Cuatro pilas FIFO de 16bits y 2 niveles de profundidad, una para cada unidad de captura.
- Cuatro pines de disparo-Schmitt de entrada de captura CAP1, CAP2, CAP3 y CAP4, un pin de entrada por cada unidad de captura. Todas las entradas están sincronizadas con el reloj de la CPU. Para que una transición sea capturada, la entrada debe ser mantenida en su nivel actual para encontrar dos flancos ascendentes del reloj de la CPU. Los pines de entrada CAP1 y CAP2 pueden ser usados también como entradas QEP para un circuito de codificación de pulsos cuadrados.
- Detección del tipo de transición especificada por el usuario ya sea esta flanco ascendente, flanco descendente o por nivel.
- Cuatro flags enmascarables, uno para cada unidad de captura.

5.8.12.1. Operación de las Unidades de Captura.

- **Selección de la base de tiempo para la captura:** Ambos temporizadores GP2 y GP3 pueden ser elegidos por las unidades de captura 1 y 2 o por las 3 y 4. De esta manera, dos temporizadores GP pueden ser usados a la misma vez, uno para cada par de unidades de captura.

La operación de captura no afecta a la operación de cualquier temporizador GP o las operaciones de comparación/PWM asociadas con un temporizador GP.

- **Operación de captura:** Una vez que es habilitada una unidad de captura, una transición especificada que se produzca en los pines de entrada asociados provoca lo siguiente:
 1. El valor del contador del temporizador GP elegido es almacenado en la pila FIFO correspondiente.
 2. El flag de interrupción correspondiente es disparado.
 3. Después, los bits de estado correspondientes en CAPFIFO son ajustados para reflejar el nuevo estado de la pila FIFO cada vez que el valor del contador es capturado en la pila FIFO.

Todas las unidades de captura son borradas cuando se introduce un cero en la entrada de RESET.

- **Configuración de las unidades de captura:** Para que unidad de captura funcione correctamente debemos llevar a cabo la siguiente configuración de sus registros:
 1. Inicializar el registro CAPFIFO mediante el borrado de los bits de estado apropiados.
 2. Seleccionar el temporizador GP en uno de sus modos de operación.
 3. Configurar el registro de comparación del temporizador GP asociado o su registro de periodo si es necesario.
 4. Configurar CAPCON.

5.8.12.2. Registros de las Unidades de Captura.

La operación de las Unidades de Captura está controlada por dos registros de control de 16 bits, CAPCON y CAPFIFO. Los registros T2CON Y T3CON también son necesarios para la operación de captura ya que la base de tiempo para los circuitos de captura es administrada por los temporizadores GP 2 o 3. Al igual que todos los otros registros del EV, estos registros están todos mapeados.

-- Registro de control de la captura (CAPCON). Dirección 7420h --

15	14-13	12	11	10	9	8
CAPRES	CAPQEPN	CAP3EN	CAP4EN	CAP34T SEL	CAP12T SEL	CAP4TO ADC
E-0	LE-0	LE-0	LE-0	LE-0	LE-0	LE-0
7-6	5-4	3-2	1-0			
CAP1EDGE	CAP2EDBE	CAP3EDGE	CAP4EDGE			
LE-0	LE-0	LE-0	LE-0			

Nota: L=acceso de lectura, E=acceso de escritura, -0=valor después de reset.

Bit 15 **CAPRES.** Reset de la captura.

Este es un bit de sólo escritura. Cualquier operación de lectura sobre él sólo dará valor 0. Escribiendo un 0 sobre este bit se borran todos los registros de captura y del QEP. Sin embargo, no es necesario escribir un 1 sobre este bit para habilitar la función de captura.

0 = Borra todos los registros de las unidades de captura y del circuito QEP.

1 = No hace nada.

Bits 14-13 **CAPQEPN.** Control de las unidades de captura 1 y 2 y del circuito QEP.

00 = Deshabilita las unidades de captura 1 y 2 y el circuito QEP (Las pilas FIFO mantienen su contenido).

01 = Habilita las unidades de captura 1 y 2, deshabilita el circuito QEP.

10 = Reservado.

11 = Habilita el circuito QEP, deshabilita las unidades de captura 1 y 2 (los bits 4-7 y 9 son ignorados).

Bit 12 **CAP3EN.** Control de la Unidad de Captura 3.

0 = Deshabilita la unidad de captura 3 (la pila FIFO de la unidad de captura 3 mantiene su valor).

1 = Habilita la unidad de captura 3.

Bit 11 **CAP4EN.** Control de la Unidad de Captura 4.

0 = Deshabilita la unidad de captura 4 (la pila FIFO de la unidad de captura 3 mantiene su valor).

1 = Habilita la unidad de captura 4.

Bit 10 **CAP34TSEL.** Selección del temporizador GP para las unidades de captura 3 y 4.

0 = Elige el temporizador GP2.

1 = Elige el temporizador GP3.

Bit 9 **CAP12TSEL.** Selección del temporizador GP para las unidades de captura 1 y 2.

0 = Elige el temporizador GP2.

1 = Elige el temporizador GP3.

Bit 8 **CAP4TOADC.** Suceso de la unidad de captura 4 comienza el ADC.

0 = No pasa nada.

1 = Comienza el ADC cuando el flag de interrupción CAP4INT es disparado.

Bits 7-6 **CAP1EDGE.** Control de la detección del nivel de la señal para la unidad de captura 1.

00 = No se realiza la detección.

01 = Detecta el flanco de subida.

10 = Detecta el flanco de bajada.

11 = Detecta ambos flancos.

Bits 5-4 **CAP2EDGE.** Control de la detección del nivel de la señal para la unidad de captura 2.

00 = No se realiza la detección.

01 = Detecta el flanco de subida.

10 = Detecta el flanco de bajada.

11 = Detecta ambos flancos.

Bits 3-2 **CAP3EDGE.** Control de la detección del nivel de la señal para la unidad de captura 3.

00 = No se realiza la detección.

01 = Detecta el flanco de subida.

10 = Detecta el flanco de bajada.

11 = Detecta ambos flancos.

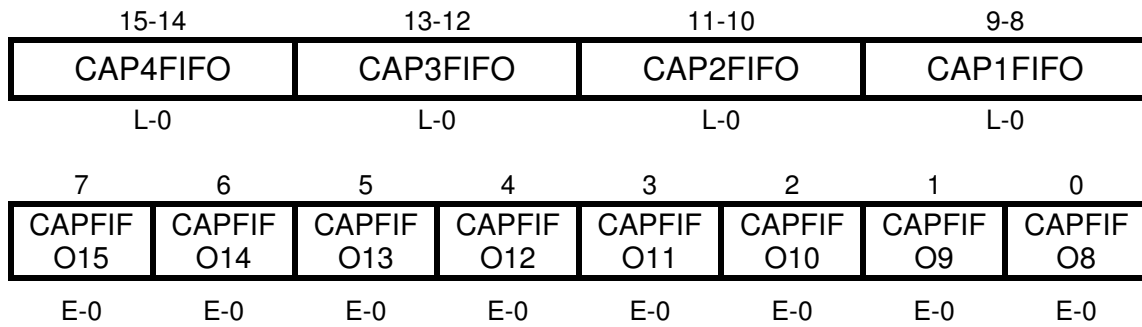
Bits 1-0 **CAP4EDGE.** Control de la detección del nivel de la señal para la unidad de captura 4.

00 = No se realiza la detección.

01 = Detecta el flanco de subida.

10 = Detecta el flanco de bajada.

11 = Detecta ambos flancos.

-- Registro de estado del FIFO de la captura (CAPFIFO). Dirección 7422h --

Nota: L=acceso de lectura, E=acceso de escritura, -0=valor después de reset.

Bits 15-14 CAP4FIFO. Estado del CAP4FIFO.

00 = Vacío.

01 = Tiene una entrada.

10 = Tiene dos entradas.

11 = Tiene dos entradas y captura otra. La primera entrada se pierde.

Bits 13-12 CAP3FIFO. Estado del CAP3FIFO.

00 = Vacío.

01 = Tiene una entrada.

10 = Tiene dos entradas.

11 = Tiene dos entradas y captura otra. La primera entrada se pierde.

Bits 11-10 CAP2FIFO. Estado del CAP2FIFO.

00 = Vacío.

01 = Tiene una entrada.

10 = Tiene dos entradas.

11 = Tiene dos entradas y captura otra. La primera entrada se pierde.

Bits 9-8 CAP1FIFO. Estado del CAP1FIFO.

00 = Vacío.

01 = Tiene una entrada.

10 = Tiene dos entradas.

11 = Tiene dos entradas y captura otra. La primera entrada se pierde.

Bit 7 **CAPFIFO15.** Borrado del bit 15 de CAP4FIFO.

0 = No hace nada.

1 = Se borra el bit número 15.

Bit 6 **CAPFIFO14.** Borrado del bit 14 de CAP4FIFO.

0 = No hace nada.

1 = Se borra el bit número 14.

Bit 5 **CAPFIFO13.** Borrado del bit 13 de CAP3FIFO.

0 = No hace nada.

1 = Se borra el bit número 13.

Bit 4 **CAPFIFO12.** Borrado del bit 12 de CAP3FIFO.

0 = No hace nada.

1 = Se borra el bit número 12.

Bit 3 **CAPFIFO11.** Borrado del bit 11 de CAP2FIFO.

0 = No hace nada.

1 = Se borra el bit número 11.

Bit 2 **CAPFIFO10.** Borrado del bit 10 de CAP2FIFO.

0 = No hace nada.

1 = Se borra el bit número 10.

Bit 1 **CAPFIFO9.** Borrado del bit 9 de CAP1FIFO.

0 = No hace nada.

1 = Se borra el bit número 19.

Bit 0 **CAPFIFO8.** Borrado del bit 8 de CAP1FIFO.

0 = No hace nada.

1 = Se borra el bit número 8.

5.8.12.3. Pilas FIFO de las Unidades de Captura.

Cada unidad de captura posee una pila FIFO de dos niveles de profundidad. El registro del nivel más alto de cualquiera de las pilas FIFO es un registro de sólo lectura el cual siempre contiene el valor de contador más viejo capturado por la correspondiente unidad de captura. Por lo tanto, un acceso de lectura a la pila FIFO de una unidad de captura siempre produce el valor más viejo de contador en la pila. Cuando el valor de contador más viejo en la cima del registro de la pila FIFO está listo, el valor de contador más reciente en el registro del fondo de la pila, si no ninguno, es puesto en el registro de la cima. A continuación se explica como es el proceso completo de movimiento dentro de los niveles de la pila:

- 1) **Primera captura:** El valor del contador del temporizador GP seleccionado es capturado por una unidad de captura cuando una transición especificada se produce en su pin de entrada. Es escrito en el registro de la cima de la pila si la pila está vacía. Al mismo tiempo, los bits correspondientes al estado son puestos a 01. Los bits de estado son reiniciados a 0 si se produce un acceso de lectura sobre la pila FIFO antes de que se produzca otra captura.
- 2) **Segunda captura:** Si otra captura se produce antes de que el valor de contador previo sea leído, el nuevo valor de contador se coloca en el

registro del fondo. Los bits de estado correspondientes son pues tos a 10. Cuando la pila FIFO es leída antes de otra captura, el valor más viejo de contador en el registro de la cima es leído, el valor de contador más reciente en el registro del fondo es elevado hasta el registro de la cima, y los bits de estado correspondientes se ponen a 01.

- 3) **Tercera captura:** Si se produce una captura cuando ya hay dos valores de contador en la pila FIFO, el valor de contador más viejo en el registro de la cima de la pila es expulsado y perdido. Lo siguiente, el valor de contador en el registro del fondo de la pila es colocado en el registro de la cima, el valor de contador más recientemente capturado es escrito en el registro del fondo, y los bits de estado son puestos a 11 para indicar que se han perdido uno o más de uno de los valores del contador más viejos.

5.8.13. Circuito de cuadratura de pulso de encóder.

Dentro del Módulo Administrador de Sucesos (EMM) encontramos otra aplicación destinada a la adquisición de datos externos administrados por un encoder, es el *circuito de cuadratura de pulso de encoder (QEP)*. Cuando el circuito QEP está activo, decodifica y cuenta los pulsos cuadrados codificados que entran por los pines CAP1/QEP1 y CAP2/QEP2. Esta aplicación se utiliza principalmente para obtener datos de posición y velocidad angular de un motor mediante la aplicación de un encóder óptico.

Los dos pines de entrada anteriormente definidos son compartidos también con las unidades de captura 1 y 2. Por tanto la manera en la que se turnará el uso de los pines entre las dos aplicaciones diferentes se hará mediante la configuración de los bits del registro CAPCON.

Para la sincronización del tiempo de muestreo con el de la velocidad de entrada de los datos se hace basándose el tiempo de desarrollo de los temporizadores GP 2, 3 o los dos conjuntamente para conseguir un temporizador de 32 bits. Esta selección se realiza mediante la configuración de los bits de T2CON y T3CON. Para ello, el temporizador elegido, o los dos en conjunto para lo modalidad de 32 bits deben ser programados para trabajar en modo direccional ascendente/descendente utilizando al circuito QEP como fuente de reloj.

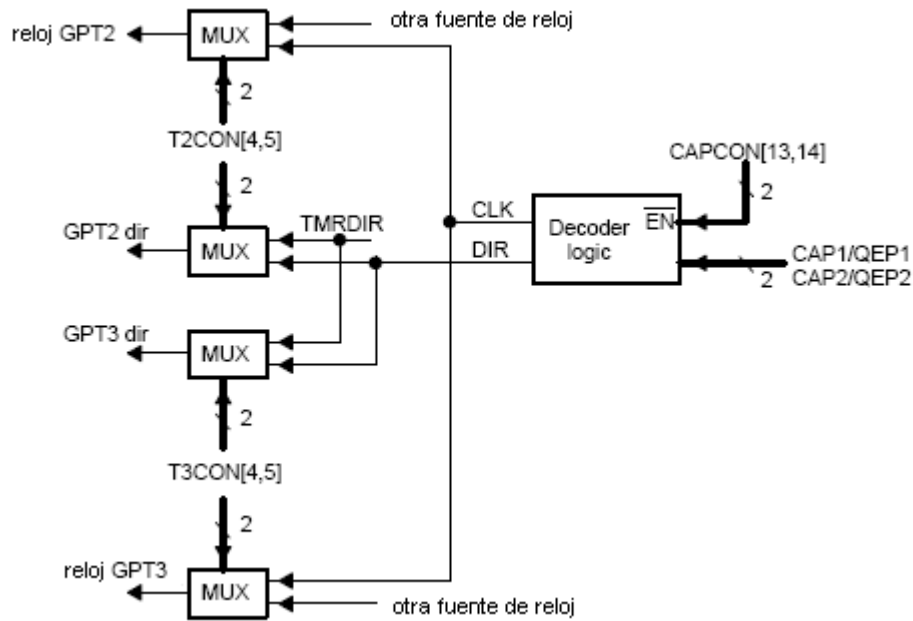


Figura 5.38 – Diagrama de Bloques del circuito de cuadratura de pulso de encoder (QEP).

5.8.13.1. Operación de decodificación del QEP.

Los pulsos cuadrados codificados están distribuidos en dos secuencias de pulsos con frecuencias variables y desfasadas entre sí un cuarto de periodo (90°). En el caso de que esta aplicación se utilice en la comprobación del giro de un motor, esta doble medida puede ser utilizada para saber cuál es el sentido de giro del eje de este. Por otra parte, la posición y la velocidad de giro se medirán simplemente mediante el conteo del número de pulsos producido por el encoder.

La lógica de detección de dirección del circuito QEP determina que secuencia va adelantada. Entonces genera una señal de dirección como la entrada de dirección para el temporizador seleccionado. El temporizador seleccionado cuenta ascendentemente si la entrada CAP1/QEP1 es la secuencia adelantada y cuenta descendentemente si CAP2/QEP2 es la secuencia adelantada.

Ambos niveles alto y bajo de los pulsos de dos entradas de codificación de pulsos son contados por el circuito QEP. Por lo tanto la frecuencia del reloj generado

por el QEP y que alimenta al temporizador GP es cuatro veces el de la secuencia en la entrada. Este reloj de onda cuadrada está conectado a la entrada de reloj del temporizador GP seleccionado o el temporizador de 32 bits.

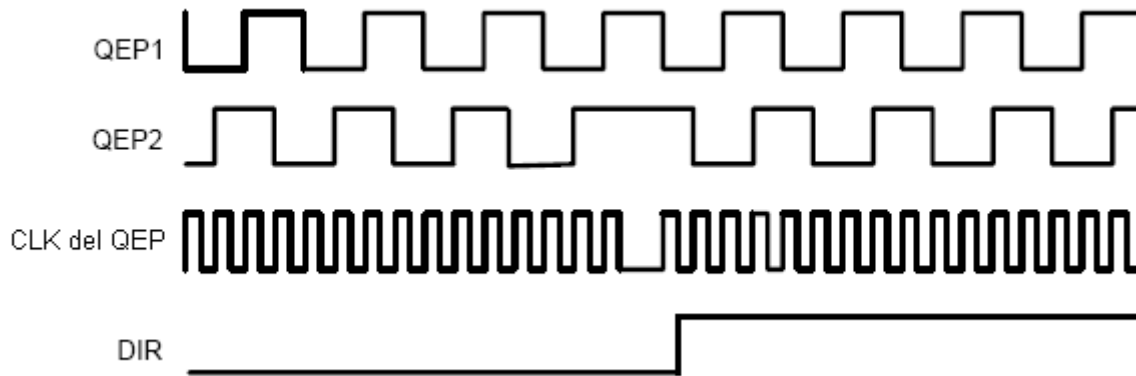


Figura 5.39 – Ejemplo de codificación de Pulsos cuadrados y decodificación de un Reloj y su dirección.

5.8.13.2. Conteo del QEP.

El temporizador GP elegido siempre empieza a contar a partir del valor actual de su contador. Un valor deseado puede ser cargado en el contador del temporizador GP seleccionado antes de habilitar la operación del QEP. Cuando el circuito QEP es elegido como fuente de reloj, el temporizador seleccionado ignora los pines de entrada de TMRDIR y TMRCLK.

Es importante remarcar que el modo de conteo direccional ascendente/descendente del temporizador GP elegido usando el circuito QEP como fuente de reloj es diferente al modo de conteo direccional ascendente/descendente normal. Cuando el temporizador elegido para la operación de QEP cuenta ascendentemente hasta el valor de periodo, el temporizador GP continúa contando incrementalmente hasta que cambie la dirección de conteo. Cuando el temporizador cuenta ascendentemente hasta FFFFh (o FFFF FFFFh), entonces pasa al valor 0 si la

dirección de conteo es ascendente. Por otro lado, cuando el temporizador cuenta descendentemente hasta 0, el temporizador pasa a FFFFh (o FFFF FFFFh) si la dirección de conteo es descendente.

Los flags de periodo, resto, accarreo e interrupción de comparación del temporizador GP con el circuito QEP como fuente de reloj, son generadas en los sucesos respectivos. No se produce ninguna transición sin embargo en la salida de la comparación del temporizador GP seleccionado u otra unidad de comparación que use su temporizador como base de tiempo.

5.8.13.3. Configuración de los registros para el circuito QEP.

Para arrancar el circuito QEP hay que llevar a cabo la siguiente configuración:

- 1) Configurar T2CON o T3CON para poner los temporizador GP 2, 3 o 2 y 3 en el modo de conteo direccional ascendente/descendente o el de 32 bits tomando los circuitos QEP como fuente de reloj. Habilita el temporizador seleccionado.
- 2) Configurar CAPCON para habilitar el circuito QEP.

5.8.14. Interrupciones del Módulo Administrador de Sucesos.

Las interrupciones del EV son generadas por el Módulo Administrador de Sucesos y transmitidas a la CPU mediante sus entradas de interrupción. Las interrupciones del EV consisten básicamente en interrupciones externas enmascarables y no enmascarables. El núcleo del C240 posee seis interrupciones externas enmascarables (INT1-INT6) y una no enmascarable (NMI). La prioridad decrece de INT1 a INT6, con NMI teniendo la mayor prioridad e INT6 teniendo la prioridad más baja. Cada interrupción corresponde a un bit del registro de flags de interrupciones del núcleo (IFR), y cada interrupción enmascarable corresponde a un bit del registro de interrupciones enmascarable del núcleo (IMR). Una interrupción enmascarable es enmascarada (lo cual no genera una interrupción en el núcleo) cuando el bit correspondiente en IMR es 0. El núcleo también tiene un bit de enmascarado de interrupción global (INTM) en el registro de estado ST0. Cuando INTM es puesto a 1, todas las interrupciones son enmascaradas.

Por su parte, el manejo de las interrupciones del núcleo del C240 se realiza de forma que cuando se produce una transición de la entrada de una interrupción al núcleo pasando de nivel alto a bajo, el bit de flag correspondiente a la interrupción en IFR es puesto a 1. Se genera una interrupción sobre el procesador por parte de este bien en el caso de que:

- Este esté enmascarado.
- Las interrupciones globales estén permitidas (INTM = 0).
- Ninguna otra interrupción desenmascarada de mayor prioridad esté pendiente, esto quiere decir que no se haya disparado ningún flag de una interrupción de mayor prioridad.

El flag es puesto a cero mediante hardware una vez que el núcleo lleva a cabo una petición de interrupción. Un flag de interrupción puede ser también puesto a cero por el software de usuario escribiendo un 1 sobre ese bit.

5.8.14.1. Grupos de interrupciones.

Las interrupciones del EV están organizadas en tres grupos, denominados grupo A, B y C:

- *Grupo A:* Realiza la petición de interrupciones al núcleo mediante INT2.
- *Grupo B:* Realiza la petición de interrupciones al núcleo mediante INT3.
- *Grupo C:* Realiza la petición de interrupciones al núcleo mediante INT4.

Existe un registro de flags de interrupciones para cada grupo de interrupciones del EV denominados EVIFRA, EVIFRB y EVIFRC. También hay un registro enmascarable para las interrupciones para cada grupo: EVIMRA, EVIMRB y EVIMRC. Se produce el enmascarado de un flag en EVIFRx (x=A, B o C) si el bit correspondiente en EVIMRx es 0.

Hay un registro de vector de interrupciones de 8 bits (EVIVRx, x = A, C o D) asociado con cada grupo de interrupciones del EV. El registro de vector de interrupciones correspondiente puede ser leído por una rutina de servicio de la interrupción (ISR) cuando una petición de interrupción llevada a cabo por el grupo de interrupciones es aceptado por el núcleo. El valor o vector contenido en el registro de vector de interrupciones identifica cual de las interrupciones enmascaradas pendientes del grupo tiene la mayor prioridad.

Grupo	Interrupción	Prioridad dentro del grupo	Vector (ID)	Fuente/Descripción
A	PDPINT	1 (más alta)	0020h	Interrupción de protección de la alimentación
	CMP1INT	2	0021h	Interrupción de comparación de la Unidad 1 de comparación completa
	CMP2INT	3	0022h	Interrupción de comparación de la Unidad 2 de comparación completa
	CMP3INT	4	0023h	Interrupción de comparación de la Unidad 3 de comparación completa
	SCMP1INT	5	0024h	Interrupción de comparación de la Unidad 1 de comparación simple
	SCMP2INT	6	0025h	Interrupción de comparación de la Unidad 2 de comparación simple
	SCMP3INT	7	0026h	Interrupción de comparación de la Unidad 3 de comparación simple
	T1PINT	8	0027h	Interrupción de periodo del temporizador GP1
	T1CINT	9	0028h	Interrupción de comparación del temporizador GP1
	T1UFINT	10	0029h	Interrupción de vacío del temporizador GP1
T1OFINT	11(más baja)	002Ah	Interrupción de desbordamiento del temporizador GP1	
B	T2PINT	1 (más alta)	002Bh	Interrupción de periodo del temporizador GP21
	T2CINT	2	002Ch	Interrupción de comparación del temporizador GP2
	T2UFINT	3	002Dh	Interrupción de vacío del temporizador GP2
	T2OFINT	4	002Eh	Interrupción de desbordamiento del temporizador GP2
	T3PINT	5	002Fh	Interrupción de periodo del temporizador GP3
	T3CINT	6	0030h	Interrupción de comparación del temporizador GP3
	T3UFINT	7	0031h	Interrupción de vacío del temporizador GP3
	T3OFINT	8 (más baja)	0032h	Interrupción de desbordamiento del temporizador GP3
C	CAP1INT	1 (más alta)	0033h	Interrupción de la Unidad de Captura 1
	CAP2INT	2	0034h	Interrupción de la Unidad de Captura 2
	CAP3INT	3	0035h	Interrupción de la Unidad de Captura 3
	CAP4INT	4 (más baja)	0036h	Interrupción de la Unidad de Captura 4

Tabla x- Interrupciones del Administrador de Sucesos.

5.8.14.2. Generación de interrupciones.

Cuando en el módulo EMM se produce una interrupción, se dispara el flag de interrupción correspondiente de uno de los registros de flags de interrupción del EV . Se realiza una petición de interrupción a la CPU por parte de un grupo de interrupciones del EV si un flag de interrupción ha sido disparado y desenmascarado en el grupo de interrupciones a nivel del EV, y la interrupción correspondiente de la CPU es desenmascarada al nivel de la CPU.

5.8.14.3. Vectores de interrupción.

El vector de interrupción de un grupo de interrupciones del EV debe ser leído después de que una petición de interrupción hacia el núcleo haya sido generada por el grupo. Cuando esto ocurre, el vector de interrupción (ID) correspondiente al flag de interrupción con la prioridad más alta entre los flags disparados, es cargada en el acumulador. El flag es borrado cuando es leído su vector de interrupciones. Sin embargo, un flag de interrupción puede ser también puesto a cero mediante la escritura de un 1 sobre el bit del flag de interrupción.

Un cero es devuelto cuando el registro de vector de interrupciones del EV de un grupo es leído y ningún flag de interrupción del grupo es disparado o desenmascarado. Esto protege de no producir errores por tomar interrupciones perdidas por interrupciones del EV.

En el caso de que exista más de una interrupción por parte del mismo grupo, los flags de interrupción en EVIFx deben ser borrados únicamente por medio de la lectura del registro EVIRx. Leyendo EVIRx borra automáticamente los flags de EVIFx.

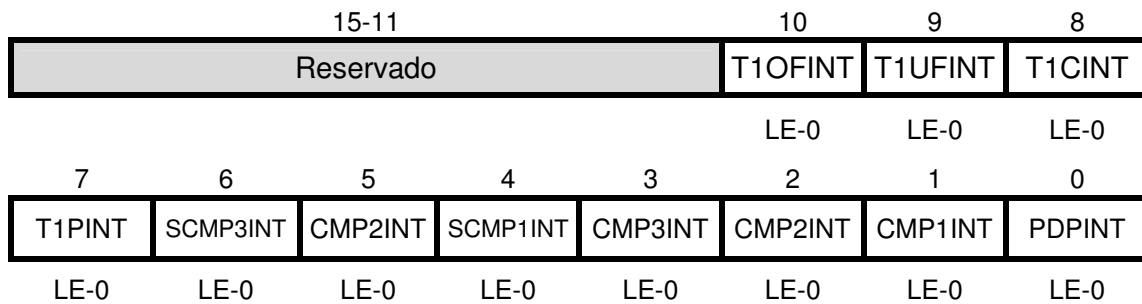
5.8.14.4. Manejo de las interrupciones.

Después de recibir una petición de interrupción del EV, el registro EVIVRx puede ser cargado en el acumulador y desplazado hacia la izquierda uno o varios bits. Después, se puede añadir al acumulador una dirección de offset. Una instrucción BACC puede ser utilizada para ramificarse hasta una entrada en una tabla. Otra ramificación surge de la tabla y va hacia la rutina de servicio de interrupción (ISR) para una fuente específica. Este proceso provoca una latencia de interrupción típica de 20 ciclos de la CPU desde que se genera una interrupción hasta que la primera instrucción en el ISR para la fuente específica es alcanzado. Esta latencia puede ser reducida a un mínimo de ocho ciclos de CPU si solo una interrupción es permitida en un grupo de interrupciones del EV. Si el espacio de memoria no es crítico, la latencia puede ser reducida a 16 ciclos de la CPU sin la limitación de permitir sólo una interrupción por grupo de interrupciones del EV.

5.8.14.5. Registros de los flags de interrupción del EV.

Todos los registros de los flags de interrupción del EV son de 16 bits y están mapeados. Los bits no usados toman el valor 0 cuando son leídos mediante software y no producen ningún efecto al tratar de escribir sobre ellos. Dado que los registros EVIFRx son legibles, la ocurrencia de una interrupción puede ser monitorizada mediante software eligiendo el bit apropiado de EVIFRx cuando la interrupción está enmascarada.

-- Registro A de los flags de interrupción del EV (EVIFRA). Dirección 742Fh. --



Nota: L=acceso de lectura, E=acceso de escritura, -0=valor después de reset.

Bits 15-14 Reservado. La lectura da 0 y la escritura no produce ningún resultado.

Bit 10 Flag T1OFINT. Interrupción de desbordamiento del temporizador GP1.

- Lectura: 0 = El flag es puesto a cero.
- 1 = El flag es disparado.
- Escritura 0 = Ningún efecto.
- 1 = Reset del flag.

Bit 9 Flag T1UFINT. Interrupción de vacío del temporizador GP1.

- Lectura: 0 = El flag es puesto a cero.
- 1 = El flag es disparado.

Escritura 0 = Ningún efecto.
 1 = Reset del flag.

Bit 8 **T1CINT.** Interrupción de comparación del temporizador GP1.

Lectura: 0 = El flag es puesto a cero.
 1 = El flag es disparado.
Escritura 0 = Ningún efecto.
 1 = Reset del flag.

Bit 7 **T1PINT.** Interrupción de periodo del temporizador GP1.

Lectura: 0 = El flag es puesto a cero.
 1 = El flag es disparado.
Escritura 0 = Ningún efecto.
 1 = Reset del flag.

Bit 6 **SCMP3INT.** Interrupción de la comparación simple 3.

Lectura: 0 = El flag es puesto a cero.
 1 = El flag es disparado.
Escritura 0 = Ningún efecto.
 1 = Reset del flag.

Bit 5 **SCMP2INT.** Interrupción de la comparación simple 2.

Lectura: 0 = El flag es puesto a cero.
 1 = El flag es disparado.
Escritura 0 = Ningún efecto.
 1 = Reset del flag.

Bit 4 **SCMP1INT.** Interrupción de la unidad de comparación simple 1.

Lectura: 0 = El flag es puesto a cero.

1 = El flag es disparado.
Escritura 0 = Ningún efecto.
1 = Reset del flag.

Bit 3 **CMP3INT.** Interrupción de la comparación completa 3.

Lectura: 0 = El flag es puesto a cero.
1 = El flag es disparado.
Escritura 0 = Ningún efecto.
1 = Reset del flag.

Bit 2 **CMP2INT.** Interrupción de la comparación completa 2.

Lectura: 0 = El flag es puesto a cero.
1 = El flag es disparado.
Escritura 0 = Ningún efecto.
1 = Reset del flag.

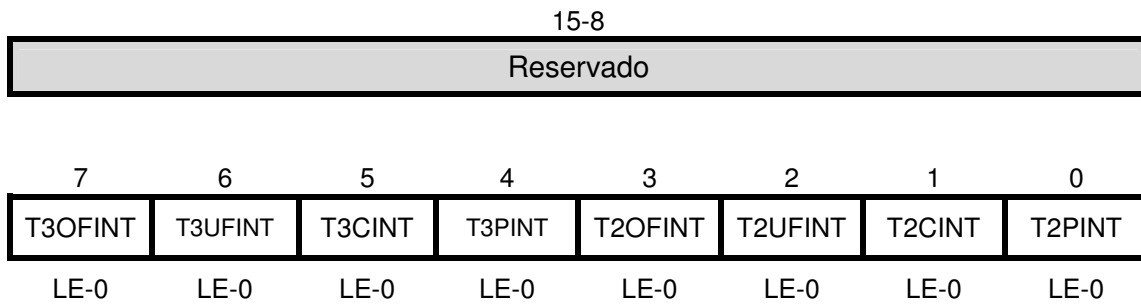
Bit 1 **CMP1INT.** Interrupción de la unidad de captura completa 1.

Lectura: 0 = El flag es puesto a cero.
1 = El flag es disparado.
Escritura 0 = Ningún efecto.
1 = Reset del flag.

Bit 0 **PDPINT.** Interrupción de protección de la alimentación.

Lectura: 0 = El flag es puesto a cero.
1 = El flag es disparado.
Escritura 0 = Ningún efecto.
1 = Reset del flag.

-- Registro B de los flags de interrupción del EV (EVIFRB). Dirección 7430h. --



Nota: L=acceso de lectura, E=acceso de escritura, -0=valor después de reset.

Bits 15-8 Reservado. La lectura da 0 y la escritura no produce ningún efecto.

Bit 7 Flag T3OFINT. Interrupción de desbordamiento del temporizador GP3.

Lectura: 0 = El flag es puesto a cero.
 1 = El flag es disparado.
 Escritura 0 = Ningún efecto.
 1 = Reset del flag.

Bit 6 Flag T1UF3NT. Interrupción de vacío del temporizador GP3.

Lectura: 0 = El flag es puesto a cero.
 1 = El flag es disparado.
 Escritura 0 = Ningún efecto.
 1 = Reset del flag.

Bit 5 T3CINT. Interrupción de comparación del temporizador GP3.

Lectura: 0 = El flag es puesto a cero.
 1 = El flag es disparado.
 Escritura 0 = Ningún efecto.
 1 = Reset del flag.

Bit 4 T3PINT. Interrupción de periodo del temporizador GP3.

Lectura: 0 = El flag es puesto a cero.

1 = El flag es disparado.

Escritura 0 = Ningún efecto.

1 = Reset del flag.

Bit 3 **T2OFINT.** Interrupción de desbordamiento del temporizador GP2.

Lectura: 0 = El flag es puesto a cero.

1 = El flag es disparado.

Escritura 0 = Ningún efecto.

1 = Reset del flag.

Bit 2 **T2UFINT.** Interrupción de vacío del temporizador GP2.

Lectura: 0 = El flag es puesto a cero.

1 = El flag es disparado.

Escritura 0 = Ningún efecto.

1 = Reset del flag.

Bit 1 **T2CINT.** Interrupción de comparación del temporizador GP2.

Lectura: 0 = El flag es puesto a cero.

1 = El flag es disparado.

Escritura 0 = Ningún efecto.

1 = Reset del flag.

Bit 0 **T2PINT.** Interrupción de periodo del temporizador GP2.

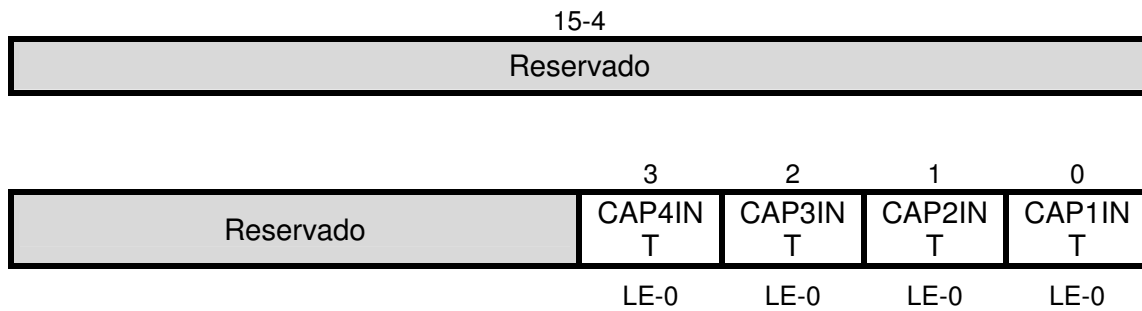
Lectura: 0 = El flag es puesto a cero.

1 = El flag es disparado.

Escritura 0 = Ningún efecto.

1 = Reset del flag.

-- Registro B de los flags de interrupción del EV (EVIFRB). Dirección 7430h. --



Nota: L=acceso de lectura, E=acceso de escritura, -0=valor después de reset.

Bits 15-4 Reservado. La lectura da 0 y la escritura no produce ningún efecto.

Bit 3 Flag CAP4INT. Interrupción de la captura 4.

Lectura: 0 = El flag es puesto a cero.
 1 = El flag es disparado.
 Escritura 0 = Ningún efecto.
 1 = Reset del flag.

Bit 2 Flag CAP3INT. Interrupción de la captura 3.

Lectura: 0 = El flag es puesto a cero.
 1 = El flag es disparado.
 Escritura 0 = Ningún efecto.
 1 = Reset del flag.

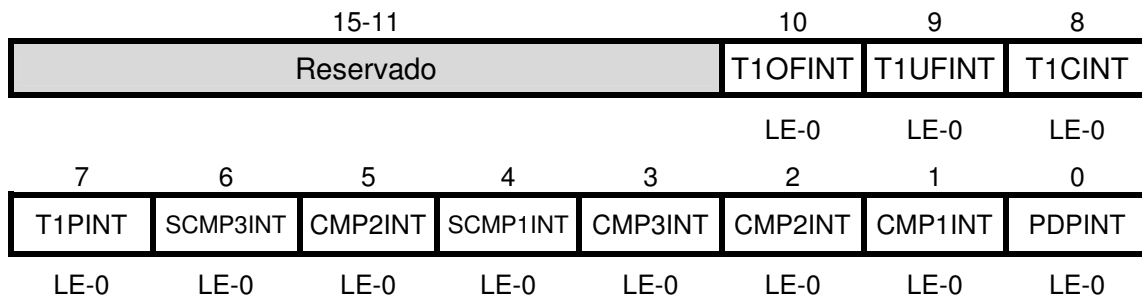
Bit 1 Flag CAP2INT. Interrupción de la captura 2.

Lectura: 0 = El flag es puesto a cero.
 1 = El flag es disparado.
 Escritura 0 = Ningún efecto.
 1 = Reset del flag.

Bit 0 **Flag CAP1INT.** Interrupción de la captura 1.

Lectura: 0 = El flag es puesto a cero.
 1 = El flag es disparado.
 Escritura 0 = Ningún efecto.
 1 = Reset del flag.

-- Registro A de máscara de las interrupciones del EV (EVIMRA). Dirección 742Ch. --



Nota: L=acceso de lectura, E=acceso de escritura, -0=valor después de reset.

Bits 15-11 **Reservado.** La lectura da 0 y la escritura no produce ningún resultado.

Bit 10 **T1OFINT.**

0 = Deshabilitado.
 1 = Habilitado.

Bit 9 **T1UFINT.**

0 = Deshabilitado.

1 = Habilitado.

Bit 8 T1CINT.

0 = Deshabilitado.

1 = Habilitado.

Bit 7 T1PINT.

0 = Deshabilitado.

1 = Habilitado.

Bit 6 SCMP3INT.

0 = Deshabilitado.

1 = Habilitado.

Bit 5 SCMP2INT.

0 = Deshabilitado.

1 = Habilitado.

Bit 4 SCMP1INT.

0 = Deshabilitado.

1 = Habilitado.

Bit 3 CMP3INT.

0 = Deshabilitado.

1 = Habilitado.

Bit 2 CMP2INT.

0 = Deshabilitado.

1 = Habilitado.

Bit 1 CMP1INT.

0 = Deshabilitado.

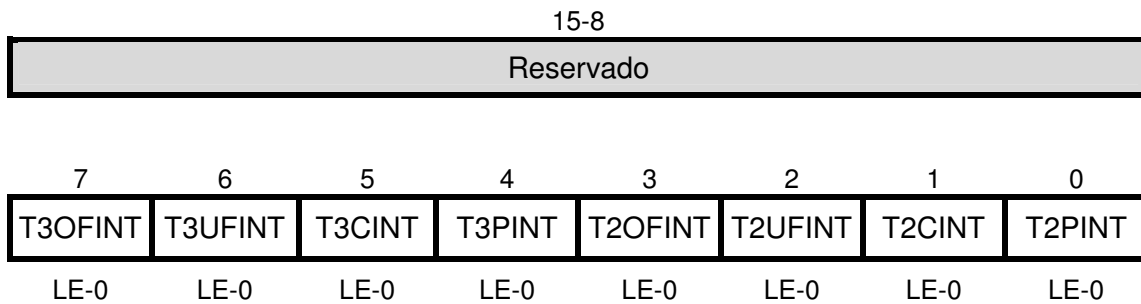
1 = Habilitado.

Bit 0 PDPINT.

0 = Deshabilitado.

1 = Habilitado.

-- Registro B de mascara de las interrupciones del EV (EVIMRB). Dirección 742Dh. --



Nota: L=acceso de lectura, E=acceso de escritura, -0=valor después de reset.

Bits 15-8 Reservado. La lectura da 0 y la escritura no produce ningún efecto.

Bit 7 T3OFINT.

0 = Deshabilitado.

1 = Habilitado.

Bit 6 T3UFINT.

0 = Deshabilitado.

1 = Habilitado.

Bit 5 T3CINT.

0 = Deshabilitado.

1 = Habilitado.

Bit 4 T3PINT.

0 = Deshabilitado.

1 = Habilitado.

Bit 3 T2OFINT.

0 = Deshabilitado.

1 = Habilitado.

Bit 2 **T2UFINT.**

0 = Deshabilitado.

1 = Habilitado.

Bit 1 **T2CINT.**

0 = Deshabilitado.

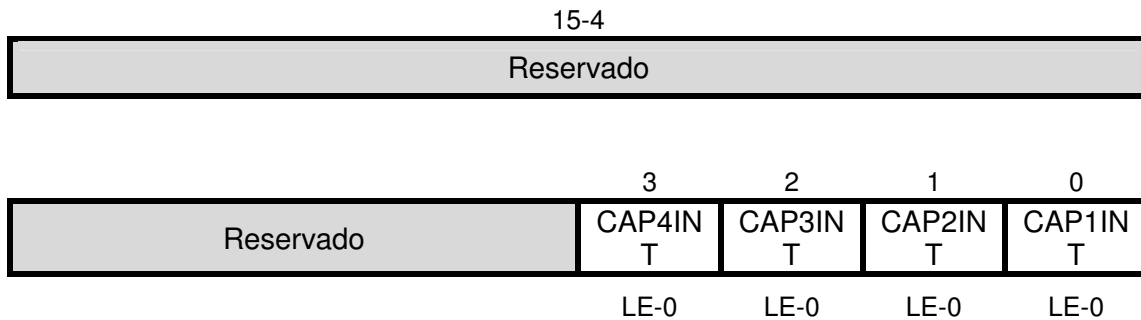
1 = Habilitado.

Bit 0 **T2PINT.**

0 = Deshabilitado.

1 = Habilitado.

-- Registro C de mascara de las interrupciones del EV (EVIMRC). Dirección 742Eh. --



Nota: L=acceso de lectura, E=acceso de escritura, -0=valor después de reset.

Bits 15-4 Reservado. La lectura da 0 y la escritura no produce ningún efecto.

Bit 3 CAP4INT.

0 = Deshabilitado.

1 = Habilitado.

Bit 2 CAP3INT.

0 = Deshabilitado.

1 = Habilitado.

Bit 1 CAP2INT.

0 = Deshabilitado.

1 = Habilitado.

Bit 0 CAP1INT.

0 = Deshabilitado.

1 = Habilitado.

-- Registro A de vector de interrupciones del EV (EVIVRA). Dirección 7432h. --

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	D5	D4	D3	D2	D1	D0
L-0	L-0	L-0	L-0	L-0	L-0	L-0	L-0	L-0	L-0	L-0	L-0	L-0	L-0	L-0	L-0

Nota: L=acceso de lectura, E=acceso de escritura, -0=valor después de reset.

Bits 15-6 Reservado. La lectura da 0 y la escritura no produce ningún efecto.

Bits 5-0 D5-D0. Vector (ID) del flag que tiene la mayor prioridad de entre las interrupciones que han saltado y los flags de interrupción desenmascarados de EVIFRA. Valdrán 0 si no ha saltado ningún flag ni ha sido desenmasacarado en EVIFRA.

-- Registro B de vector de interrupciones del EV (EVIVRB). Dirección 7433h. --

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	D5	D4	D3	D2	D1	D0
L-0	L-0	L-0	L-0	L-0	L-0	L-0	L-0	L-0	L-0	L-0	L-0	L-0	L-0	L-0	L-0

Nota: L=acceso de lectura, E=acceso de escritura, -0=valor después de reset.

Bits 15-6 Reservado. La lectura da 0 y la escritura no produce ningún efecto.

Bits 5-0 D5-D0. Vector (ID) del flag que tiene la mayor prioridad de entre las interrupciones que han saltado y los flags de interrupción desenmascarados de EVIFRB. Valdrán 0 si no ha saltado ningún flag ni ha sido desenmasacarado en EVIFRB.

-- Registro C de vector de interrupciones del EV (EVIVRC). Dirección 7434h. --

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	D5	D4	D3	D2	D1	D0
L-0	L-0	L-0	L-0	L-0	L-0	L-0	L-0	L-0	L-0	L-0	L-0	L-0	L-0	L-0	L-0

Nota: L=acceso de lectura, E=acceso de escritura, -0=valor después de reset.

Bits 15-6 Reservado. La lectura da 0 y la escritura no produce ningún efecto.

Bits 5-0 D5-D0. Vector (ID) del flag que tiene la mayor prioridad de entre las interrupciones que han saltado y los flags de interrupción desenmascarados de EVIFRC. Valdrán 0 si no ha saltado ningún flag ni ha sido desenmasacarado en EVIFRC.