

Capítulo 2
TMS320C240.

Índice

2. TMS320C240

- 2.1. Serie de controladores DSP TMS320C24x
- 2.2. Controlador DSP TMS320C240
- 2.3. Estudio Físico del C240
- 2.4. Definición de los pines del TMS320C240
- 2.5. Hojas de Características

Capítulo 2

TMS320C240.

2.1 Serie de controladores DSP TMS320C24x.

La aparición de esta serie de controladores DSP ha supuesto la oportunidad de potenciar las aplicaciones de Control Digital de Motores mediante el uso de avanzados algoritmos que consiguen un mejor rendimiento y reducen la cantidad de elementos necesarios para la implementación hardware.

Los controladores DSP nos permiten realizar una amplia gama de aplicaciones y proyectos:

- Diseño de robustos controladores para una nueva generación de motores de bajo coste, tales como los de inducción por corriente alterna, acoplamiento magnético permanente con corriente continua, y motores paso a paso.
- Control total sobre la variación de la velocidad en motores sin escobillas, los cuales son más baratos de construir y tienen una mayor fiabilidad.
- Ahorro de energía mediante el control de la variación de velocidad, ahorrando hasta un 25% de la energía utilizada por los controladores de velocidad fijos.

- Disminución del consumo de combustible, incremento del rendimiento, y eliminación del fluido hidráulico en los sistemas electrónicos de manejo de la energía (EPS) en aplicaciones del automóvil.
- Reducción de los costes de fabricación y mantenimiento mediante la eliminación del fluido hidráulico en los sistemas electrónicos de frenado aplicados al automóvil.
- Una operación más eficiente y silenciosa junto con una menor generación de fuerzas de torsión, consiguiendo una menor pérdida de energía, menor vibración, y mayor vida útil de los actuadores.
- Eliminación o reducción de las tablas de estándares mediante el calculo polinómico en tiempo real, con la consecuente reducción del coste del sistema.
- Uso de avanzados algoritmos que pueden reducir el número de sensores requeridos en un sistema.
- Control del disparo en inversores modulados (PWM).
- Control de sistemas multimotor con un solo procesador.

Los controladores DSP TMS320C24x están diseñados para solucionar las necesidades propias de las aplicaciones de control. Mediante la integración conjunta de un procesador DSP de alto rendimiento y de los periféricos, y todo ello implementado en un solo elemento, se consigue que la serie de DSPs **C24x** se convierta en una buena alternativa frente a los microcontroladores tradicionales y los diseños multichip de gran coste.

Con una capacidad de procesado de 20 millones de instrucciones por segundo (MIPS), los controladores DSP C24x ofrecen una significativa ventaja de rendimiento sobre los microcontroladores y microprocesadores tradicionales de 16 bits.

El núcleo de 16 bits de coma fija de los DSP C24x le permite a los diseñadores de elementos analógicos una solución digital que no sacrifica la precisión y rendimiento de sus sistemas. De hecho, el rendimiento del sistema puede incluso ser mejorado mediante el uso de avanzados algoritmos de control para su aplicación en el control adaptativo, filtrado Kalman, y control de estado. La serie de controladores DSP C24x ofrece una amplia programabilidad con una gran fiabilidad en los resultados. Esto

supone una ventaja sobre los sistemas de control analógicos, los cuales se encuentran fuertemente condicionados por el medio hardware sufriendo desajustes y pérdida de precisión debido al desgaste natural de los componentes.

La unidad central de proceso o CPU de gran velocidad de la cual va provista la serie C24x, permite a los diseñadores de aplicaciones digitales poder procesar algoritmos en tiempo real en vez de tener que aproximar los resultados mediante la comparación con los datos predefinidos en una tabla. La lista de instrucciones de los controladores DSP, la cual incluye instrucciones para el procesado de señal así como también funciones para el control de propósito general, todo ello unido con los equipamientos de desarrollo disponibles para los C24x, consigue una reducción del tiempo dedicado al desarrollo y proporciona la misma facilidad de uso que los microcontroladores tradicionales de 8 y 16 bits. Además, la generalidad de la lista de instrucciones permite que un mismo programa pueda ser descargado y ejecutado sobre distintas series de DSPs pertenecientes a la marca Texas Instruments.

La arquitectura de la serie C24x se ajusta perfectamente al control de procesado de señales. Está basada en un tamaño de palabra de 16 bits con registros de 32 bits para el almacenaje de resultados intermedios, y posee dos desplazadores implementados en hardware disponibles para intercalar números independientemente de la CPU. Esta combinación minimiza los errores de truncado y saturación, e incrementa el poder de procesado para funciones adicionales.

Los controladores DSP C24x disfrutan de una lista de periféricos funcionales ya existentes que permiten operar sobre las diferentes series de DSPs pertenecientes a cada categoría de la marca Texas Instruments. Esta librería de periféricos de señal digital y mixta incluyen:

- Temporizadores.
- Puertos para la comunicación serie (SCI, SPI).
- Convertidores de señal Analógica a Digital (ADC).
- Administrador de Sucesos (EV).

- Protecciones del sistema, tales como detección de Voltaje bajo y temporizador Watchdog.

2.2 Controlador DSP TMS320C240.

El TMS320C240 es el primer dispositivo estándar que formó parte de la serie de controladores DSP C24x. Este establece el estándar de controlador digital para motores encapsulado en un solo chip. El C240 puede ejecutar 20 millones de instrucciones por segundo (MIPS). Casi todas las instrucciones implementadas en este controlador se ejecutan en un ciclo simple de 50 ns. Este alto rendimiento permite la ejecución en tiempo real de algoritmos de control muy complejos, tales como el control adaptativo y filtros Kalman.

El DSP C240 contiene en su arquitectura las características necesarias para el procesamiento de señal de alta velocidad y las funciones de control digital, y además incluye los periféricos necesarios para proporcionar la solución en un solo circuito integrado para las aplicaciones de control de motores. El C240 se fabrica utilizando la tecnología microscópica CMOS, consiguiendo un rango de disipación de potencia muy bajo. También va provisto de varios modos de apagado para mayor ahorro de energía.

Algunas de las aplicaciones que se benefician del avanzado poder de procesamiento del DSP C240 son:

- Impulsores de motores industriales.
- Inversores de corriente y controladores.
- Sistemas de automoción, tales como el manejo electrónico de la energía, antibloqueo de frenos, y control de la climatización.
- Control de inyección y turbos en motores.
- Impresoras, copadoras, y otros productos de oficina.
- Controladores de sistemas de almacenado masivo de información.
- Robótica y máquinas de Control Numérico (CNC).

Para tener la capacidad de operar como el centralizador de un sistema, un DSP debe tener unos componentes de entrada y salida integrados así como otros periféricos. El administrador de sucesos(EV) del C240 es totalmente diferente a cualquier otro implementado en un DSP. Este periférico para aplicaciones optimizadas, conjuntamente

con el núcleo o procesador de alto rendimiento del DSP, permite el uso de avanzadas técnicas de control con un resultado de alta precisión y alta eficiencia en el control completo de la variación de velocidad de todos los tipos de motores.

En el Administrador de sucesos se han incluido funciones especiales para la modulación del ancho de pulso (PWM) de las señales de disparo de los transistores en circuitos inversores, tales como una función programable de “tiempo-muerto” y un vector que registra el estado de los disparos (PWM) para motores trifásicos, el cual produce una máxima eficiencia en el encendido de los transistores de potencia. Tres temporizadores independientes, cada cual con su propio registro de comparación, proporcionan la generación de formas de onda tanto simétricas como asimétricas para los disparos.

Dos de las cuatro entradas de captura son conexiones directas para las señales cuadradas generadas por los pulsos de un encóder óptico.

A continuación se exponen las principales características del controlador DSP TMS320C240:

Núcleo del C240.

- Unidad aritmético-lógica central (CALU) de 32 bits.
- Acumulador de 32 bits.
- Multiplicador paralelo de 16x16 bits con una capacidad de producción de 32 bits.
- Tres desplazadores de escala.
- Ocho registros auxiliares (AR#) de 16 bits con una unidad aritmética propia para el direccionamiento indirecto de memoria de datos.

Memoria.

- 544 palabras de 16 bits de memoria RAM integrada de doble acceso para datos y programa.
- 16K palabras de 16 bits de memoria ROM integrada.
- 224K palabras de 16 bits para el máximo espacio de memoria direccionable (64K palabras de espacio para programa, 64K palabras de espacio para datos, 64K palabras para espacio de Entradas/Salidas, y 32K palabras de espacio global).
- Modulo interfaz de memoria externa con un generador de estados de espera por software, un bus de direcciones de 16 bits, y un bus de datos de 16 bits.
- Soporte de estados de espera por hardware.

La memoria interna de datos, programas y entradas/salidas del C240 se organiza según la figura 2.1.

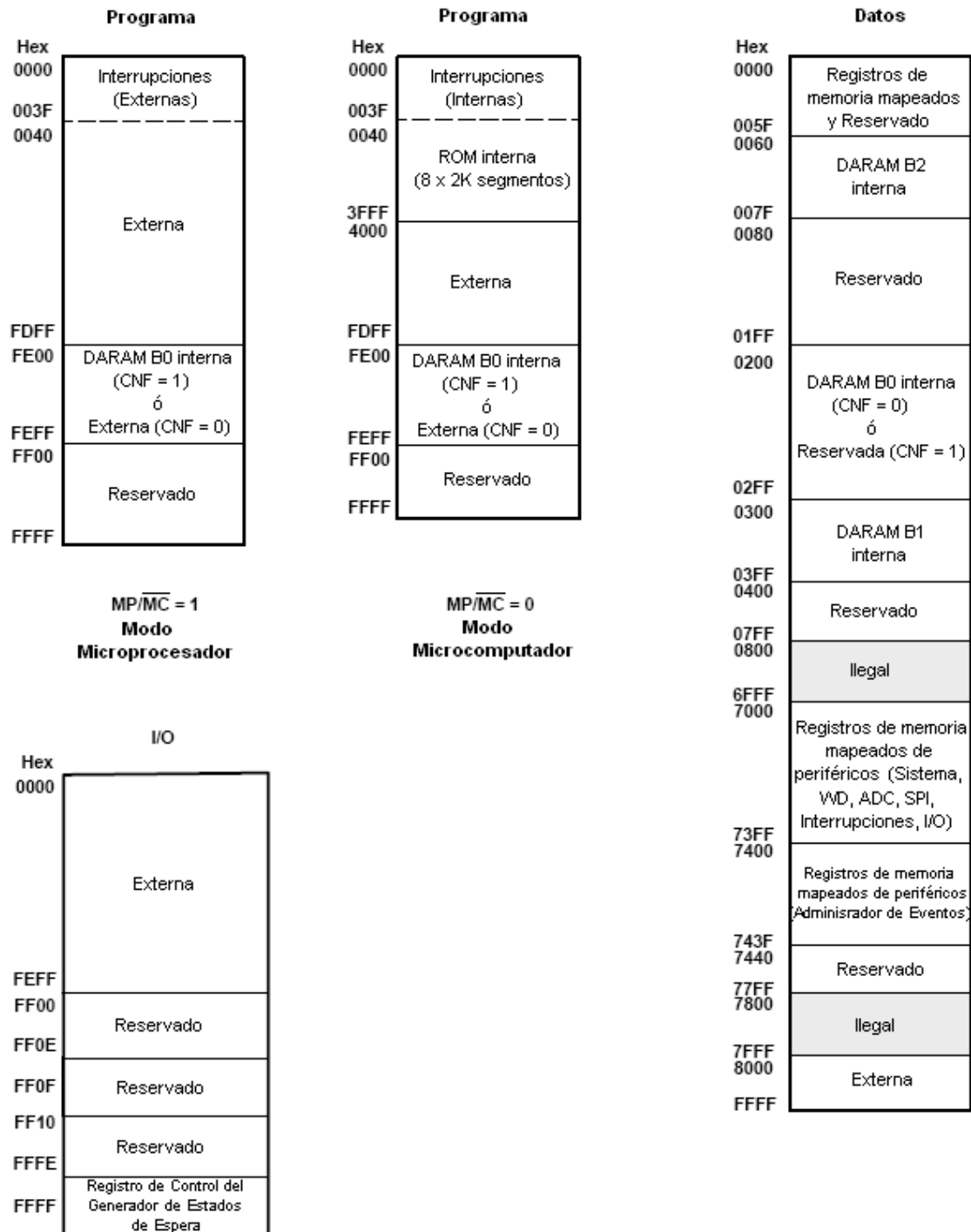


Figura 2.1 - Mapa de la memoria interna del C240.

Control de programa.

- Cuatro niveles “pipe line” de operación.
- Pila hardware de 8 niveles.
- Seis interrupciones externas: interrupción de protección de la alimentación de energía, reset, NMI, y tres interrupciones enmascarables.

Lista de instrucciones.

- Compatibilidad de código fuente con las generaciones de DSPs de coma fija ‘C2x, ‘C2xx, y ‘C5x pertenecientes a la familia TMS320.
- Operación de repetición en una única instrucción.
- Instrucciones de multiplicación o acumulación en un simple ciclo de reloj.
- Instrucciones de movimiento de bloques de memoria para la gerencia de programa y datos.
- Capacidad de direccionamiento puesto en un índice.

Energía.

- Tecnología CMOS estática.
- Cuatro modos de apagado para reducir el consumo de energía.

Emulación. Estándar IEEE 1149.1 prueba de acceso del puerto que se intercomunica con la lógica de emulación integrada.

Velocidad. 50ns (20 MIPS) de tiempo de ciclo por instrucción. La mayoría de instrucciones requieren un solo ciclo para su ejecución.

Administrador de sucesos (Event Manager).

- Doce canales de comparación/modulación de ancho de pulso (PWM), siendo nueve de ellos independientes.
- Tres temporizadores de 16 bits de propósito general con seis modos de temporización, incluyendo conteo ascendente continuo y conteo ascendente/descendente continuo.
- Tres unidades de comparación completa de 16 bits con capacidad para producir “tiempos-muertos”.
- Tres unidades simples de comparación de 16 bits.
- Cuatro unidades de captura, dos de las cuales tienen capacidad de interfaz de cuadratura de pulso de encóder.

Convertidor analógico-digital dual de 10 bits (ADC).28 pines de entrada/salida multiplexados y programables individualmente.Módulo temporizador Watchdog (“Perro Guardián”) con interrupción propia en tiempo real.Módulo de reloj basado en señal Interna/Externa (PLL).Interfaz de comunicaciones serie (SCI).Interfaz serie para periféricos (SPI).Herramientas de desarrollo disponibles.

- Compilador TI ANSI C, ensamblador/enlazador, depurador de fuente C y entorno de programación/simulación C Code Composer Studio.
- Amplia gama de productos para emulación: auto-emulación XDS510PP.
- Módulo de Evaluación (EVM) con emulación por puerto JTAG.
- Productos para el control de motores por parte de otras marcas colaboradoras.

Todos los elementos anteriores de los que va provisto el C240 se interrelacionan entre ellos y con la CPU conforme muestra la figura 2.2.

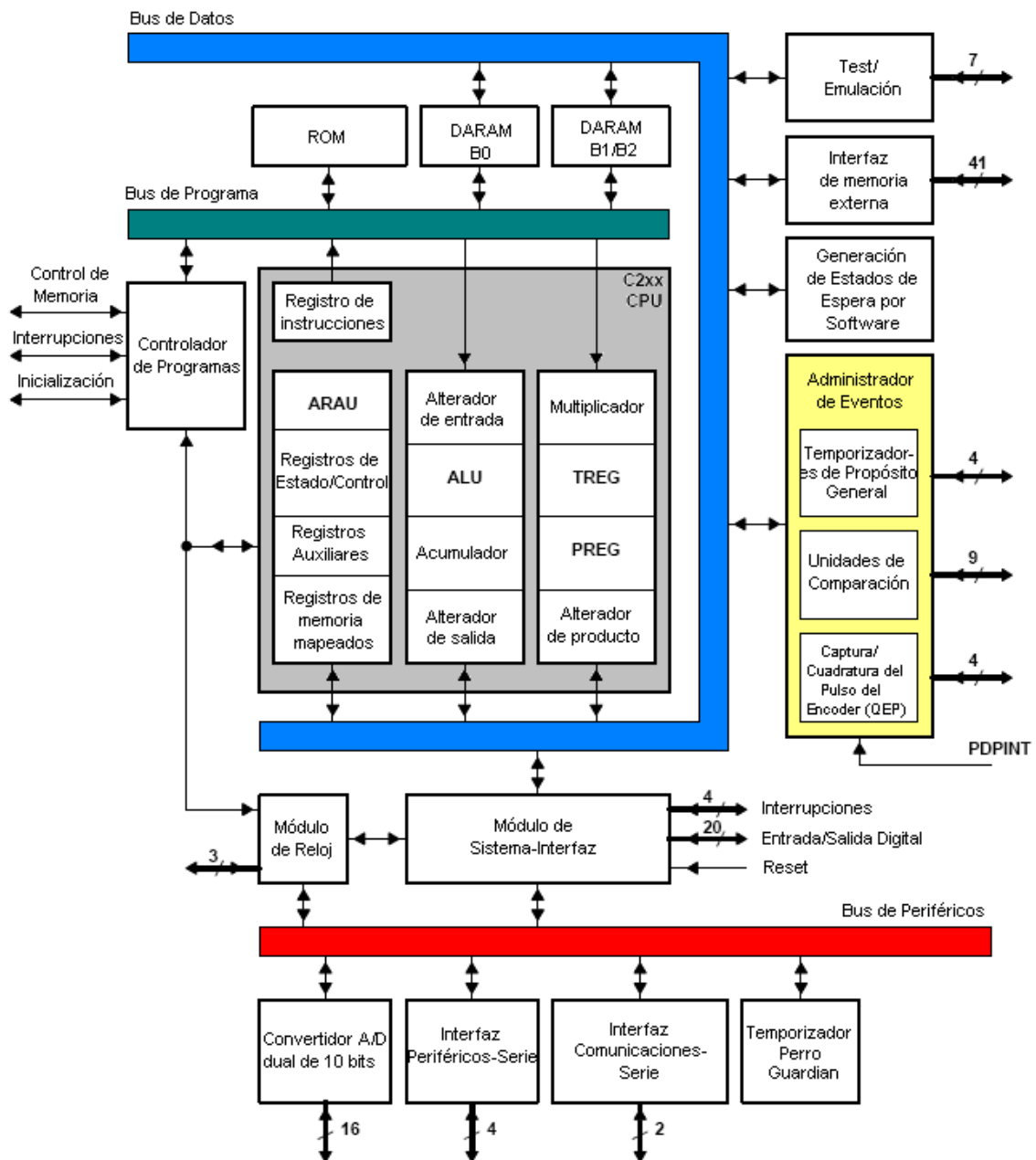


Figura 2.2 - Arquitectura interna del C240.

2.3 Estudio Físico del C240.

El DSP TMS320C240 se presenta físicamente en un encapsulado cuadrado del tipo BQFP revestido de plástico y que va provisto de 132 patillas.

Las dimensiones y forma del dispositivo son las indicadas en la figura 2.3.

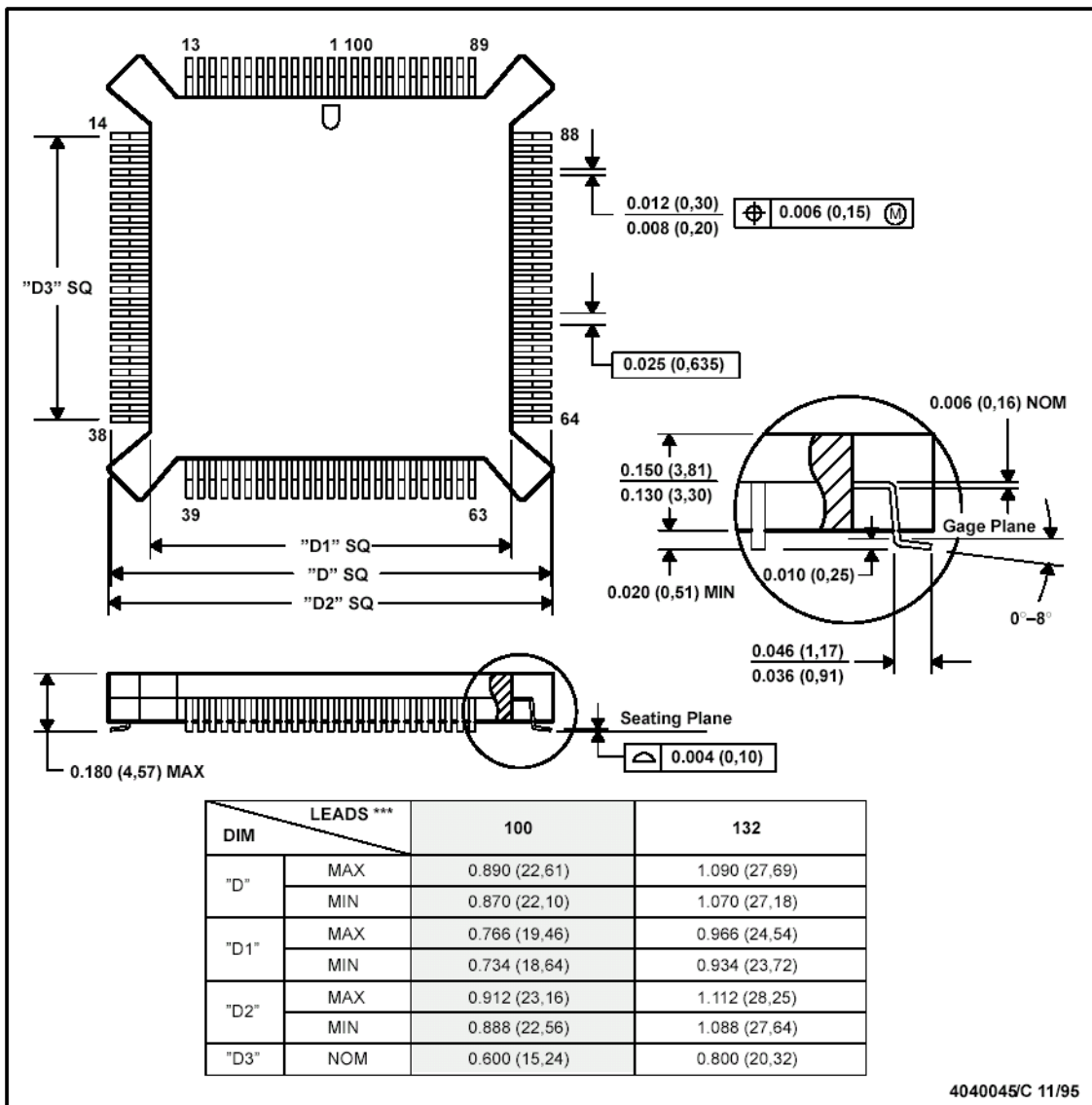


Figura 2.3 - Presentación física del C240.

A continuación se muestra un esquema dónde aparecen nombradas todas las patillas del C240:

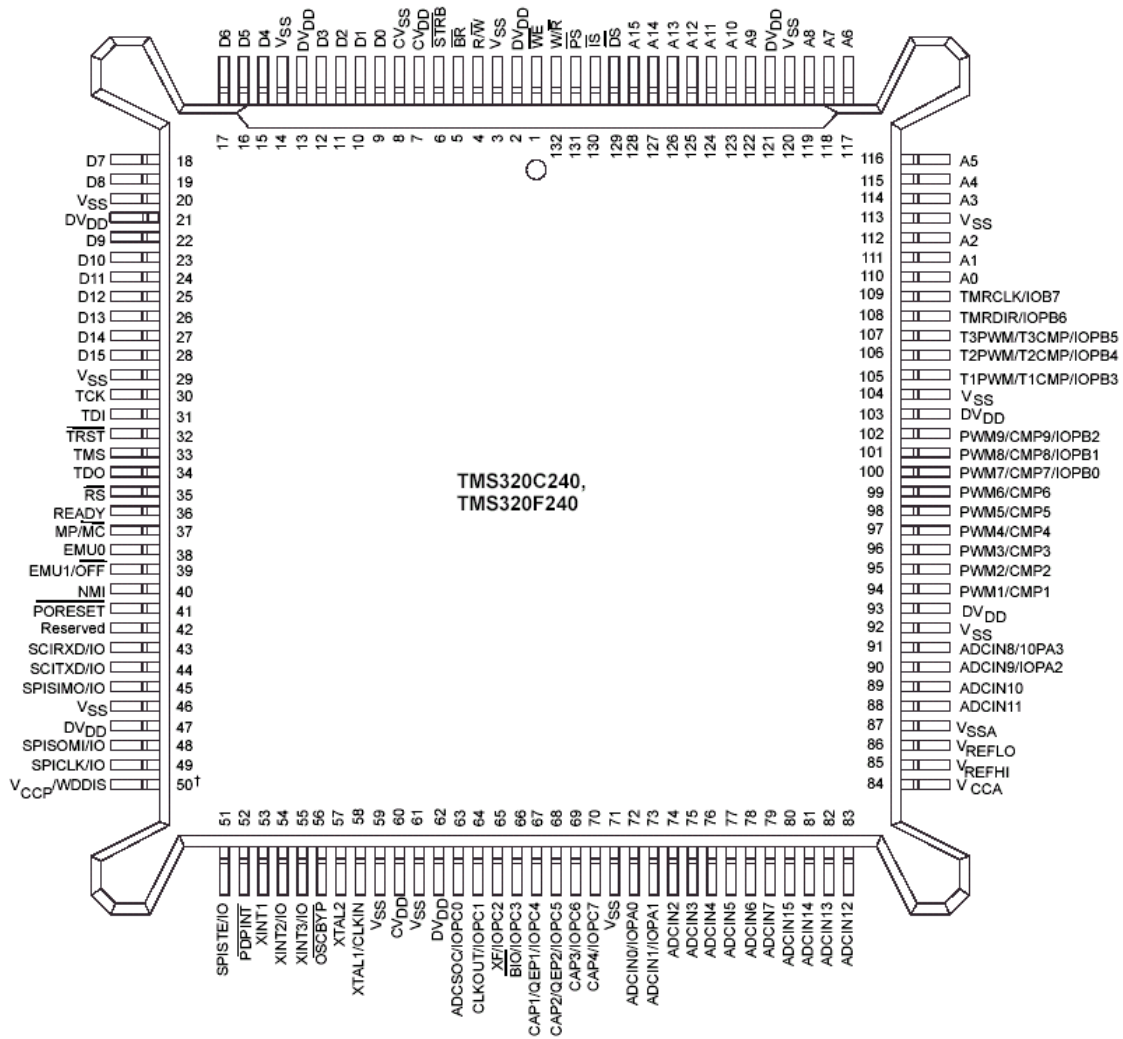


Figura 2.4 - Asignación de pines en el C240.

En la anterior figura se mostraba la disposición externa de los pines en el C240, pero se puede hacer un estudio más profundo sobre esta disposición indicando qué pines son los que acceden a cada parte de la arquitectura interior del DSP. Esto se puede observar en la figura 2.5.

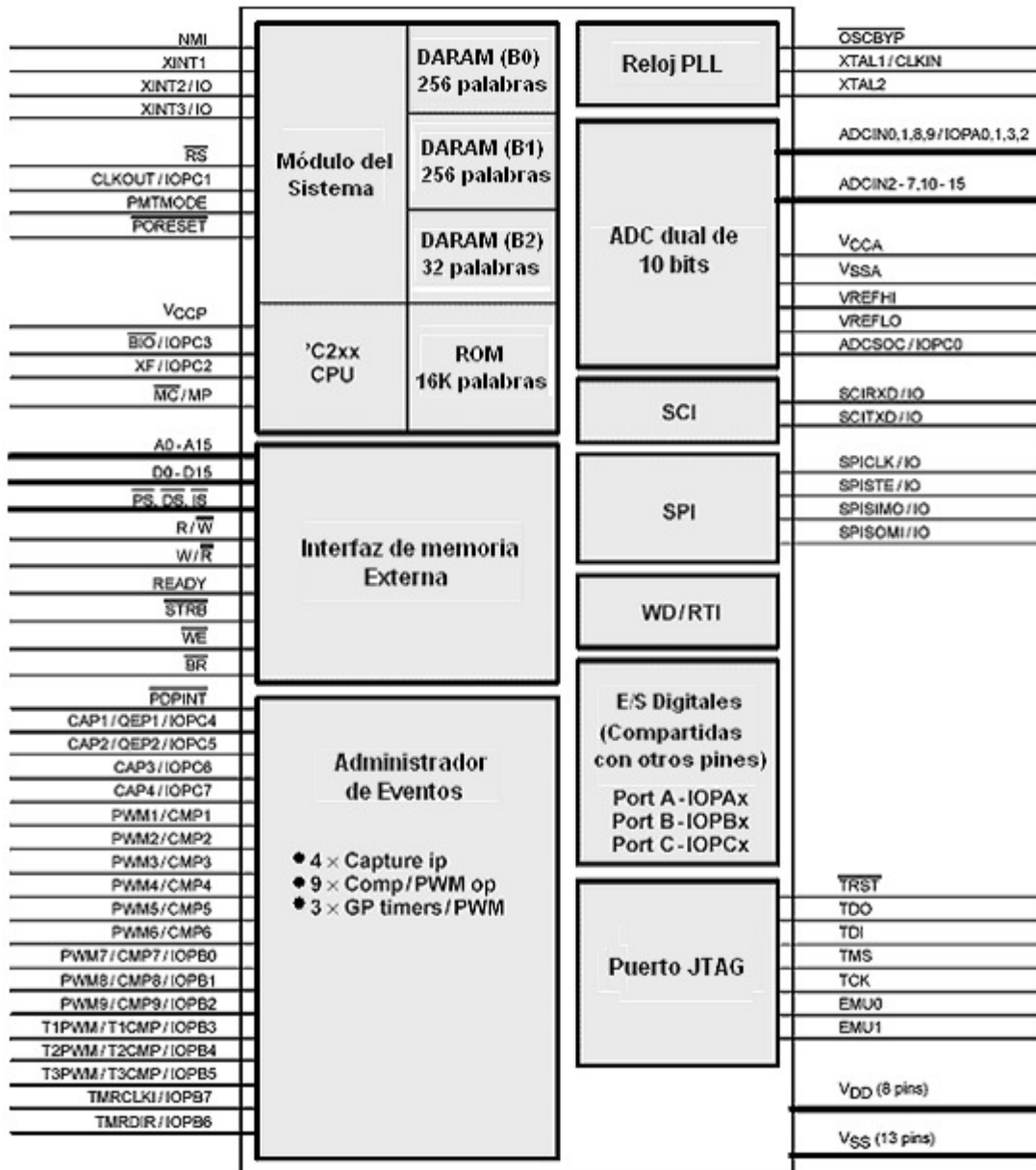


Figura 2.5 - Relación entre los pines exteriores y la arquitectura interna del C240.

2.4 Definición de los pines del TMS320C240

Nombre	Número	Tipo	Descripción
A0 (LSB) A1 A2 A3 A4 A5 A6 A7 A8 A9 A10 A11 A12 A13 A14 A15 (MSB)	110 111 112 114 115 116 117 118 119 122 123 124 125 126 127 128	O/Z	Bus de direcciones paralelo con longitud desde A0 (LSB) hasta A15 (MSB). Multiplexado con la dirección de memoria externa de datos/programa o entrada/salida. Se coloca en estado de alta impedancia cuando EMU1/OFF se encuentra en nivel lógico bajo. Mantienen sus estados previos en los modos de apagado.
D0 (LSB) D1 D2 D3 D4 D5 D6 D7 D8 D9 D10 D11 D12 D13 D14 D15 (MSB)	9 10 11 12 15 16 17 18 19 22 23 24 25 26 27 28	I/O/Z	Bus paralelo para datos con longitud desde D0 (LSB) hasta D15 (MSB). Multiplexado para transferir datos entre el TMS320C240 y una memoria externa de datos/programa y un espacio de entrada/salida. Se coloca en estado de alta impedancia cuando no está comunicando, cuando está en modo de apagado, cuando se ha confirmado el reset, o cuando EMU1/OFF está en nivel lógico bajo.
\overline{DS} \overline{PS} \overline{IS}	129 131 130	O/Z	Selección de datos, programa, y espacio de Entrada/Salida. Siempre se encuentra en nivel lógico alto a menos que se haya establecido en nivel lógico bajo para la comunicación con un espacio externo particular. Se ponen en estado de alta impedancia durante el reset, apagado, y cuando el EMU1/OFF está en estado lógico bajo.
READY	36	I	Entrada de datos disponibles. Indica que un dispositivo externo está preparado para completar la transacción a través del bus. Si el dispositivo no está preparado (READY está a nivel bajo), el procesador espera un ciclo de reloj y comprueba el READY otra vez.

R/\overline{W}	4	O/Z	Señal de lectura/escritura. Indica la dirección de transferencia durante la comunicación con un dispositivo externo. Por defecto está en modo de lectura (nivel alto), a menos que se haya introducido un nivel bajo para realizar una operación de escritura. Queda puesto en nivel de alta impedancia durante el reset, apagado, y cuando EMU1/OFF se encuentra a nivel lógico bajo.
$\overline{\text{STRB}}$	6	O/Z	Señal de Strobe. Siempre se encuentra en nivel lógico alto a menos que se establezca como bajo para indicar un ciclo externo del bus. Queda puesto en nivel de alta impedancia durante el reset, apagado, y cuando EMU1/OFF se encuentra a nivel lógico bajo.
$\overline{\text{WE}}$	1	O/Z	Habilitación de escritura. El flanco de bajada del WE indica que el dispositivo está conduciendo el bus de datos exterior (D15-D0). Los datos pueden ser truncados por un dispositivo externo en el flanco de subida del WE. WE está activo en todos los programas externos, datos, y escrituras de Entrada/Salida. WE se dispone en estado de alta impedancia después de un reset y cuando EMU1/OFF está a nivel lógico bajo.
$\overline{\text{W/R}}$	132	O/Z	Señal de Escritura/Lectura. Esta señal es una forma invertida de Lectura/Escritura y puede conectarse directamente a la salida habilitada para dispositivos externos. W/R se coloca activa en estado lógico alto después de un reset y cuando EMU1/OFF está a nivel lógico bajo.
$\overline{\text{BR}}$	5	O/Z	Señal de petición de Bus. BR es afirmado durante el acceso del espacio externo de memoria de datos globales. Puede ser usado para ampliar el espacio de direcciones de la memoria de datos hasta 32K palabras. BR se coloca en estado de alta impedancia durante el reset, modo de apagado y cuando EMU1/OFF está a nivel lógico bajo.
WDDIS	50	I	Funciona como un inhibidor hardware del Watchdog. El temporizador del Watchdog se deshabilita cuando se pone una tensión de 5v en la patilla WDDIS y se le da el valor 1 al bit 6 del registro WDCR.

Entradas del Convertidor Analógico/Digital (No compartidas)			
ADCIN2	74	I	Entradas analógicas del primer Convertidor Analógico/Digital (ADC).
ADCIN3	75	I	
ADCIN4	76	I	
ADCIN5	77	I	
ADCIN6	78	I	
ADCIN7	79	I	
ADCIN10	89	I	
ADCIN11	88	I	
ADCIN12	83	I	
ADCIN13	82	I	
ADCIN14	81	I	
ADCIN15	80	I	
Pines de bits de E/S y funciones compartidas			
ADCIN0/IOPA0	72	I/O	E/S digital bidireccional. Entrada analógica para el primer Convertidor Analógico/Digital (ADC). ADCIN0/IOPA0 es configurada como una entrada digital por todos los resets de los dispositivos.
ADCIN1/IOPA1	73	I/O	E/S digital bidireccional. Entrada analógica para el primer Convertidor Analógico/Digital (ADC). ADCIN1/IOPA1 es configurada como una entrada digital por todos los resets de los dispositivos.
ADCIN9/IOPA2	90	I/O	E/S digital bidireccional. Entrada analógica para el segundo Convertidor Analógico/Digital (ADC). ADCIN9/IOPA2 es configurada como una entrada digital por todos los resets de los dispositivos.
ADCIN8/IOPA3	91	I/O	E/S digital bidireccional. Entrada analógica para el segundo Convertidor Analógico/Digital (ADC). ADCIN8/IOPA3 es configurada como una entrada digital por todos los resets de los dispositivos.
PWM7/CMP7/IOPB	100	I/O/Z	E/S digital bidireccional. Pin de salida simple para el comparador/PWM. El estado del pin está determinado por el comparador/PWM simple y el control de acción simple (SACTR). <u>Queda</u> en estado de alta impedancia cuando el PDPINT no enmascarado se activa a nivel bajo. PWM7/COMP7/IOPB0 es configurada por todos los resets de los dispositivos como una entrada digital.

PWM8/CMP8/IOPB1	101	I/O/Z	E/S digital bidireccional. Pin simple para salida de la comparación/PWM2. El estado en el cual se encuentra determinado es por el compardor/PWM simple y el SACTR. <u>Se pasa</u> a nivel de alta impedancia cuando el PDINT no enmascarado se encuentra a nivel bajo. El PWM8/CMP8/IOPB1 es configurado como un dispositivo de entrada digital por todos los resets digitales.
PWM9/CMP9/IOPB2	102	I/O/Z	E/S digital bidireccional. Pin simple para salida de comparación/PWM3. El estado en el cual se encuentra es determinado por el compardor/PWM simple y el SACTR. <u>Pasa</u> a nivel de alta impedancia cuando el PDINT no enmascarado se activa a nivel bajo. El PWM9/CMP9/IOPB2 es configurado como un dispositivo de entrada digital por todos los resets digitales.
T1PWM/T1CMP/IOPB3	105	I/O/Z	E/S digital bidireccional. Salida de comparación del Temporizador 1. <u>Pasa a</u> estado de alta impedancia cuando el PDPINT no enmascarado se activa a nivel bajo. Este pin es configurado como una entrada digital por todos los resets del dispositivo.
T2PWM/T2CMP/IOPB4	106	I/O/Z	E/S digital bidireccional. Salida de comparación del Temporizador 2. <u>Pasa a</u> estado de alta impedancia cuando el PDPINT no enmascarado se activa a nivel bajo. Este pin es configurado como una entrada digital por todos los resets del dispositivo.
T3PWM/T3CMP/IOPB5	107	I/O/Z	E/S digital bidireccional. Salida de comparación del Temporizador 3. <u>Pasa a</u> estado de alta impedancia cuando el PDPINT no enmascarado se activa a nivel bajo. Este pin es configurado como una entrada digital por todos los resets del dispositivo.
TMRDIR/IOPB6	108	I/O	E/S digital bidireccional. Dirección de señal para los temporizadores. Se selecciona el conteo en dirección ascendente si este pin está a nivel bajo, o conteo en dirección descendente si se encuentra a nivel alto. Este pin es configurado como una entrada digital por todos los resets del dispositivo.
TMRCLK/IOPB7	109	I/O	E/S digital bidireccional. Entrada de reloj externa para los temporizadores de propósito general. Este pin es configurado como una entrada digital por todos los resets del dispositivo.

ADCSOC/IOPC0	63	I/O	Señal externa para indicar el comienzo de la conversión ADC de la entrada. Este pin es configurado como una entrada digital por todos los resets del dispositivo.
CAP1/QEP1/IOPC4	67	I/O	E/S digital bidireccional. Entrada para la Captura 1 o QEP 1. Este pin es configurado como una entrada digital por todos los resets del dispositivo.
CAP2/QEP/IOPC5	68	I/O	E/S digital bidireccional. Entrada para la Captura 2 o QEP 2. Este pin es configurado como una entrada digital por todos los resets del dispositivo.
CAP3/IOPC6	69	I/O	E/S digital bidireccional. Entrada para la Captura 3. Este pin es configurado como una entrada digital por todos los resets del dispositivo.
CAP4/IOPC7	70	I/O	E/S digital bidireccional. Entrada para la Captura 4. Este pin es configurado como una entrada digital por todos los resets del dispositivo.
XF/IOPC2	65	I/O	E/S digital bidireccional. Salida externa del señalizador (flag) (señal programable y truncable mediante software). El XF se utiliza como un pin de salida de propósito general para mandar señales a otros procesadores en las configuraciones multiprocesador. Este pin actúa como una salida externa de señalización (flag) provocada por todos los resets del dispositivo.
— BIO/IOPC3	66	I/O	E/S digital bidireccional. Entrada de control de rama. Si BIO está a nivel bajo, la CPU ejecuta una rama. Si BIO no está siendo usado debería ponerse a nivel alto. Este pin es configurado por todos los resets del dispositivo como una entrada de control de rama .
CLKOUT/IOPC1	64	I/O	E/S digital bidireccional. La salida de reloj se selecciona mediante los bits CLKSRC del registro SYSCR. Este pin es configurado por el reset de la alimentación como una salida de reloj del DSP.

Pines de comunicación serie y bits de E/S			
SCITXD/IO	44	I/O	Puerto serie SCI asíncrono para la transmisión de datos, o E/S bidireccional de propósito general. Este pin es manejado como una entrada digital por todos los resets del dispositivo.
SCIRXD/IO	43	I/O	Puerto serie SCI asíncrono para la recepción de datos, o E/S bidireccional de propósito general. Este pin es manejado como una entrada digital por todos los resets del dispositivo.
SPISIMO/IO	45	I/O	Entrada de esclavo del SPI, salida de maestro, o E/S bidireccional de propósito general. Este pin es manejado como una entrada digital por todos los resets del dispositivo.
SPISOMI/IO	48	I/O	Salida de esclavo del SPI, entrada de maestro, o E/S bidireccional de propósito general. Este pin es manejado como una entrada digital por todos los resets del dispositivo.
SPICLK/IO	49	I/O	Reloj del SPI, o E/S bidireccional de propósito general. Este pin es manejado como una entrada digital por todos los resets del dispositivo.
SPISTE/IO	51	I/O	Habilitación de la transmisión del SPI al esclavo (opcional), o E/S bidireccional de propósito general. Este pin es manejado como una entrada digital por todos los resets del dispositivo.
Señales de comparación			
PWM1/CMP1 PWM2/CMP2 PWM3/CMP3 PWM4/CMP4 PWM5/CMP5 PWM6/CMP6	94 95 96 97 98 99	O/Z	Comparación de unidades o salidas de PWM. El estado de estos pines está determinado por el comparador/PWM y el registro de control de acción completa (ACTR). CMP1-COMP6 se ponen en estado de alta impedancia cuando el PDPINT no enmascarado se activa a nivel bajo, y cuando el reset (RS) es activado.
Señales varias y de interrupción			
RS	35	I/O	Entrada de reset. Produce que el TMS320C240 detenga la ejecución del programa y ponga el PC (Contador de Programa) a 0. Cuando se excita la patilla RS con un nivel alto, la ejecución comienza en la dirección 0h de la memoria de programa. RS afecta a varios registros y bits de estado.

MP/MC	37	I	Selección de MP/MC (microprocesador/microcomputador). Si está a nivel bajo, se selecciona la memoria interna de programa. Si está a nivel alto, se selecciona la memoria externa de programa.
NMI	40	I	Interrupción no enmascarable. Cuando este pin es activado, el dispositivo es interrumpido sin reparar en el estado del bit INTM perteneciente al registro de estado 0. NMI tiene polaridad programable.
PORESET	41	I	Entrada para el reset del encendido. PORESET provoca que el TMS320C240 interrumpa la ejecución y ponga el PC a valor 0. Cuando PORESET es alimentado con un nivel lógico alto, la ejecución comienza en la localización 0h de la memoria de programa. PORESET afecta (o pone a cero) los mismos registros y bits de estado que el RS. Además, PORESET inicializa los registros de control del PLL.
XINT1	53	I	Interrupción externa de usuario número 1.
XINT2/IO	54	I/O	Interrupción externa de usuario número 2. Este pin es manejado como una entrada digital por todos los resets del dispositivo.
XINT3/IO	55	I/O	Interrupción externa de usuario número 3. E/S bidireccional y de propósito general. Este pin es manejado como una entrada digital por todos los resets del dispositivo.
PDPINT	52	I	Interrupción enmascarable dedicada a la protección de la alimentación. Si PDPINT no está enmascarada y se activa a nivel bajo, el temporizador de comparación de salidas se pone inmediatamente en estado de alta impedancia.
Señales de Reloj			
XTAL2	57	O	Pin de salida del oscilador PLL. XTAL2 está conectado a una de las patillas de un cristal de referencia cuando el dispositivo está en modo PLL (CLKMD[1:0]=1x, CKCR0.7:6). Este pin puede dejarse desconectado en el modo oscilador libre (OSCBYP≤V _{IL}). Este pin se pone en estado de alta impedancia cuando EMU1/OFF está activo a nivel bajo.

XTAL1/CLKIN	58	I/Z	Pin de entrada del oscilador PLL. Cuando XTAL1/CLKIN está conectado a una de las patillas de un cristal de referencia, el dispositivo está en modo PLL (CLKMD[1:0]=1x, CKCR0.7:6), o si se encuentra conectado a una fuente de pulsos externa, estará en el modo de oscilador libre ($OSC_{BYP} \leq V_{IL}$).
\overline{OSC}_{BYP}	56	I	Selecciona el modo oscilador libre si está a nivel bajo.
Señales de alimentación			
CV_{SS}	8	I	Tierra de referencia lógica para el núcleo o procesador.
V_{SS}	3 14 20 29 46 59 61 71 92 104 113 120	I	Tierra de referencia lógica digital.
V_{SSA}	87	I	Tierra de referencia analógica.
DV_{DD}	2 13 21 47 62 93 103 121	I	Tensión de alimentación lógica para las E/S digitales.
CV_{DD}	7 60	I	Tensión de alimentación lógica para el núcleo o procesador digital.
V_{CCA}	84	I	Tensión de alimentación analógica.
V_{refHi}	85	I	Tensión analógica de referencia alta para el ADC (Convertidor Analógico Digital).
V_{refLO}	86	I	Tensión analógica de referencia baja para el ADC (Convertidor Analógico Digital).

Señales de comprobación.			
TCK	30	I	Reloj de comprobación de JTAG. Esta es normalmente una señal de reloj de funcionamiento libre con un ciclo de trabajo del 50%. Los cambios en las señales de entrada (TMS y TDI) del puerto de comprobaciones (TAP), registro de instrucciones, o registros seleccionados de comprobación de datos del núcleo del C240 en el flanco de subida del TCK. Los cambios en la señal de salida (TDO) del TAP se producen en el flanco de bajada del TCK.
TDI	31	I	Comprobación de la entrada de datos por el puerto JTAG. El TDI es procesado en el registro seleccionado (programa o datos) en un flanco ascendente del TCK.
TDO	34	O/Z	Comprobación de la salida de datos por el puerto JTAG. El contenido del registro seleccionado (programa o datos) es sacado del TDO en el flanco de bajada del TCK. TDO se encuentra en estado de alta impedancia cuando se introduce un nivel lógico bajo en el OFF.
TMS	33	I	Selección del modo prueba del JTAG. Esta entrada serie de control es registrada en el controlador TAP cuando se produce un flanco ascendente del TCK.
$\overline{\text{TRST}}$	32	I	Prueba de reinicio del JTAG con apagado interno. Cuando la señal $\overline{\text{TRST}}$ se pone a nivel alto, le permite el control de las operaciones del DSP al sistema de pruebas. Si esta señal se encuentra a nivel bajo, el dispositivo trabajará en su modo funcional, y las señales de comprobación serán ignoradas.
EMU0	38	I/O/Z	Pin 0 del emulador. Cuando $\overline{\text{TRST}}$ está a nivel bajo, este pin debe encontrarse en nivel alto para que se active la condición OFF. Cuando $\overline{\text{TRST}}$ está a nivel alto, este pin es usado como una interrupción utilizada por el sistema de emulación.

EMU1/ $\overline{\text{OFF}}$	39	I/O/Z	Pin 1 del emulador. Deshabilita todas las salidas. Cuando $\overline{\text{TRST}}$ está a nivel alto, este pin se usa como una interrupción del sistema de emulación y se define como <u>una</u> entrada/salida de escaneo del JTAG. Cuando $\overline{\text{TRST}}$ está a nivel bajo, este pin se configura como OFF. Cuando la señal EMU1/OFF está puesta a nivel bajo, pone todas las salidas en estado de alta impedancia. Es importante tener en cuenta que OFF se usa exclusivamente para operaciones de comprobación y emulación (no para aplicaciones de multiprocesado).
Reservado	42	I	Este pin no se encuentra conectado internamente.
Nota: I = Entrada, O = Salida, Z = Alta impedancia			

2.5 Hoja de Características.

El DSP TMS320C240 posee una hoja de características o “datasheet”, suministrada por el fabricante, en la cual se exponen un rango de valores de tensiones, corrientes y temperaturas de trabajo del dispositivo. Habrá que respetar estos valores para que se consiga el buen rendimiento del DSP y no se produzca, llegado el caso extremo, su destrucción,.

Valores máximos para trabajo a temperatura ambiente.

Rango de Tensiones de Alimentación, V_{DD}	-0.3 V a 7 V
Rango de Tensiones de entradas.....	-0.3 V a 7 V
Rango de Tensiones de salidas.....	-0.3 V a 7 V
Rango de Temperaturas al aire libre, T_A :	
Versión L	0 °C a 70 °C
Versión A	-40 °C a 85 °C
Versiones S, Q	-40 °C a 125 °C
Rango de Temperaturas de almacenamiento	-55 °C a 150 °C

Condiciones de trabajo recomendadas.

		MIN	HOM	MAX	UNID
V_{DD}	Tensión de alimentación	4.5	5	5.5	V
V_{SS}	Señal de tierra	0			V
V_{IH}	Tensión de entrada a nivel alto	XTAL1/CLKIN	3	$V_{DD} + 0.3$	V
		PORESET, NMI, \overline{RS} , y \overline{TRST}	2.2	$V_{DD} + 0.3$	
		Demás entradas	2	$V_{DD} + 0.3$	
V_{IL}	Tensión de entrada a nivel bajo	XTAL1/CLKIN	-0.3	0.7	V
		Demás entradas	-0.3	0.8	
I_{OH}	Corriente de salida a nivel alto, $V_{OH} = 2.4$ V	\overline{RS}		-19	mA
		Ver lista completa de pines *		-16	
		Demás salidas		-23	
I_{OL}	Corriente de salida a nivel bajo, $V_{OL} = 0.6$ V	\overline{RS}		8	mA
		Ver lista completa de pines *		7.5	
		Demás salidas		14.5	
T_A	Temperatura de operación al aire libre	Versión L	0	70	°C
		Versión A	-40	85	
		Versiones S, Q	-40	125	
θ_{JA}	Resistencia térmica, unión con el aire				40 °C/W
θ_{JC}	Resistencia térmica, unión con el dispositivo				9.9 °C/W

* IOPA[0:3], SCIRXD/IO, SCITXD/IO, XINT2/IO, XINT3/IO, ADCSOC/OPC0, TMRDIR/OPB6, TMRCLK/OPB7 EMU0, EMU1/OFF

A continuación se exponen las tablas con los resultados de aplicar al C240 diferentes niveles de tensión y corriente, teniendo como constantes la tensión de alimentación de 4.5V y temperatura de trabajo de 150 °C:

Corriente de salida respecto a tensión alta de salida.

	2.4 V	3.0 V	3.5 V	4.0 V
RS	-19 mA	-16 mA	-12 mA	-6 mA
Ver lista completa de pines *	-16 mA	-13.5 mA	-9.5 mA	-5.0 mA
Demás entradas	-23 mA	-18.5 mA	-13 mA	-6.5 mA

* IOPA[0:3], SCIRXD/IO, SCITXD/IO, XINT2/IO, XINT3/IO, ADCSOC/IOPC0, TMRDIR/IOPB6, TMRCLK/IOPB7 EMU0, EMU1/0FF

Caída de corriente de salida respecto a tensión baja de salida.

	0.6 V	0.4 V	0.2 V
RS	8 mA	6 mA	3 mA
Ver lista completa de pines*	7.5 mA	5 mA	2.5 mA
Demás entradas	14.5 mA	10 mA	5.0 mA

* IOPA[0:3], SCIRXD/IO, SCITXD/IO, XINT2/IO, XINT3/IO, ADCSOC/IOPC0, TMRDIR/IOPB6, TMRCLK/IOPB7 EMU0, EMU1/0FF

Características eléctricas para las condiciones de trabajo recomendadas.

PARÁMETRO		CONDICIONES DEL TEST	MIN	TIP	MAX	UNID
V _{OH}	Tensión de salida a nivel alto	Operación 5-V, I _{OH} = MAX	2.4			V
V _{OL}	Tensión de salida a nivel bajo	Operación 5-V, I _{OL} = MAX			0.6	V
I _I	Corriente de entrada (V _I = V _{SS} o V _{DD})	Pin TRST con apagado interno	-10		500	μA
		EMU0, EMU1/0FF, TMS, TCK, y TDI, con encendido interno	-500		10	
		Demás pines de entrada	-10		10	
I _{OZ}	Corriente de salida, estado de alta impedancia	V _O = V _{DD} or 0 V	-5		5	μA
I _{DD}	Corriente de alimentación, modo normal de operación	Operación 5-V, t _c (CO) = 50 ns		80		mA
	Corriente de alimentación, modo de bajo consumo Idle 1	Operación 5-V, t _c (CO) = 50 ns		50		
	Corriente de alimentación, modo de bajo consumo Idle 2	Operación 5-V, t _c (CO) = 50 ns		7		
	Corriente de alimentación, modo de apagado del PLL	Operación 5-V, t _c (CO) = 50 ns		1		
	Corriente de alimentación, modo de apagado de OSC	Operación 5-V, t _c (CO) = 50 ns		400		
C _i	Capacitancia de la entrada			15		pF
C _o	Capacitancia de la salida			15		pF