



Escuela Técnica
Superior
de Ingeniería de
Telecomunicación

PRÁCTICAS DE CIRCUITOS Y FUNCIONES ELECTRÓNICAS

Área de Electrónica

Departamento de Electrónica, Tecnología de

Computadoras y Proyectos

Universidad Politécnica de Cartagena

Autores:

Ginés Doménech Asensi

Vicente Garcerán Hernández

Juan Hinojosa Jiménez

José Alejandro López Alcantud

Juan de la Cruz Martínez-Cabeza de Vaca Alajarín

Isidro Villó Pérez

Juan Zapata Pérez



Universidad
Politécnica
de Cartagena

UNIVERSIDAD POLITÉCNICA DE CARTAGENA

DEPARTAMENTO DE ELECTRÓNICA, TECNOLOGÍA DE COMPUTADORAS Y
PROYECTOS

ÁREA DE ELECTRÓNICA

Prácticas de Circuitos y Funciones Electrónicas

Autores:

Ginés Doménech Asensi

Vicente Garcerán Hernández

Juan Hinojosa Jiménez

José Alejandro López Alcantud

Juan de la Cruz Martínez-Cabeza de Vaca Alajarín

Isidro Villó Pérez

Juan Zapata Pérez

© 2019, Ginés Doménech Asensi, Vicente Garcerán Hernández, Juan Hinojosa Jiménez,
José Alejandro López Alcantud, Juan de la Cruz Martínez-Cabeza de Vaca Alajarín,
Isidro Villó Pérez, Juan Zapata Pérez.

© 2019, Universidad Politécnica de Cartagena

CRAI Biblioteca
Plaza del Hospital, 1
30202, Cartagena
968325908
ediciones@upct.es



Primera edición, 2019
ISBN: 978-84-16325-91-7



Esta obra está bajo una licencia de Reconocimiento-NO comercial-SinObraDerivada (by-nc-nd): no se permite el uso comercial de la obra original ni la generación de obras derivadas.
http://es.creativecommons.org/blog/wp-content/uploads/2013/04/by-nc-u_petit.png

Índice General

Índice de Figuras	xi
Índice de Tablas	xv
Prólogo a las Prácticas de Circuitos y Funciones Electrónicas	xvii
1 Circuito amplificador inversor y no inversor	1
1.1 Introducción	1
1.2 Amplificador inversor	3
1.2.1 Análisis en continua (DC) del amplificador	4
1.2.2 Resistencia de entrada	6
1.2.3 Análisis en alterna (AC) del amplificador	7
1.2.4 Análisis transitorio	9
1.3 Amplificador operacional no inversor	10
2 Circuitos sumadores y convertidores	11
2.1 Introducción	11
2.2 Amplificador sumador	11
2.3 Circuito convertidor V-I	13
2.4 Circuito convertidor I-V	15
3 Circuitos integrador, derivador y diferencial	17
3.1 Introducción	17
3.2 Amplificador integrador	17
3.2.1 Amplificador integrador compensado	19
3.3 Amplificador derivador	21
3.4 Amplificador diferencial	23
3.4.1 Caracterización estática	23
3.4.2 Resistencia de entrada	24
3.4.3 Factor de Rechazo en Modo Común (<i>CMRR</i>)	25
4 Reguladores de tensión en Pspice	27
4.1 Introducción	27
4.2 Simulación de un regulador reductor <i>buck</i> básico	27
4.2.1 Análisis del regulador y estudio de la tensión de salida en función de t_{ON}	27
4.2.2 Estudio de la tensión de salida en función de R_1	29

4.3	Simulación de un regulador elevador <i>boost</i> básico	30
4.3.1	Análisis del regulador y estudio de la tensión de salida en función de t_{ON}	30
4.3.2	Estudio de la tensión de salida en función de R_1	31
4.4	Simulación de un regulador reductor <i>buck</i> con sistema de control en modo tensión	32
5	Caracterización mediante SPICE de puertas TTL y CMOS	33
5.1	Introducción	33
5.2	Simulación de puertas TTL	33
5.2.1	Tabla de verdad de una NAND TTL	33
5.2.2	Característica de transferencia de una NAND TTL	34
5.2.3	Características estáticas de una NAND TTL	34
5.2.4	Potencia media disipada por una NAND TTL	36
5.2.5	Características dinámicas de una NAND TTL	37
5.3	Simulación de puertas CMOS	37
5.3.1	Tabla de verdad de una NAND CMOS	38
5.3.2	Característica de transferencia de una NAND CMOS	38
5.3.3	Características estáticas de una NAND CMOS	39
5.3.4	Potencia media disipada por una NAND CMOS	40
5.3.5	Características dinámicas de una NAND CMOS	40
6	Medidas de características estáticas y dinámicas de puertas lógicas TTL y CMOS	43
6.1	Introducción	43
6.2	Medidas con puertas TTL	44
6.2.1	Tabla de verdad de una puerta NAND de un CI 74LS00	44
6.2.2	Característica de transferencia de una puerta NAND TTL de un CI 74LS00	44
6.2.3	Características estáticas de una puerta NAND TTL de un CI 74LS00	45
6.2.4	Potencia media disipada por una puerta NAND TTL de un CI 74LS00	45
6.2.5	Características dinámicas de una puerta NAND TTL de un CI 74LS00	46
6.3	Medidas con puertas CMOS	47
6.3.1	Característica de transferencia de una puerta NAND CMOS de un CI 74HCT00	47
6.3.2	Características estáticas de una puerta NAND CMOS de un CI 74HCT00	48
6.3.3	Potencia media disipada por una puerta NAND CMOS de un CI 74HCT00	48
6.3.4	Características dinámicas de una puerta NAND CMOS de un CI 74HCT00	48
7	Simulación de funciones lógicas con PSpice	51
7.1	Introducción	51

7.1.1	Riesgos de diseño: Causas y mecanismos de corrección	51
7.2	Implementación de una función combinacional con puertas lógicas AND-OR-NOT	52
7.3	Eliminación de <i>riesgos</i>	53
7.4	Implementación de una función combinacional con puertas lógicas NAND	54
8	Montajes de funciones combinacionales no aritméticas	55
8.1	Introducción	55
8.2	<i>Display</i> de 7 segmentos	55
8.3	Implementación de un decodificador BCD/7 segmentos con un CI específico: 74LS48	57
8.4	Implementación de un decodificador BCD/7 segmentos con multiple- xores	57
8.5	Implementación de un decodificador BCD/7 segmentos con puertas NAND	58
9	Síntesis de funciones lógicas aritméticas	61
9.1	Introducción	61
9.2	Semisumador	61
9.3	Sumador completo	63
9.4	Restador completo	64
10	Síntesis Secuencial I: Biestables y Temporizador	67
10.1	Introducción	67
10.2	Configuración del 555 como monoestable no redispersable	68
10.3	Configuración del 555 como aestado (oscilador)	69
11	Síntesis Secuencial II: Registros y Contadores en Anillo	71
11.1	Introducción	71
11.2	Registro de desplazamiento con entrada serie / salida paralelo	72
11.3	Registro de desplazamiento con entrada paralelo / salida serie	73
11.4	Registro de desplazamiento universal bidireccional de 4 bits	74
12	Síntesis Secuencial III: Contadores Síncronos y Asíncronos	75
12.1	Introducción	75
12.2	Caracterización del flip-flop JK: tabla de transiciones	75
12.3	Contador-divisor asíncrono de dos bits	76
12.4	Contador-divisor síncrono de tres bits	77
12.5	Contador de décadas asíncrono	77
13	Síntesis Secuencial IV: Diseño de un Reloj	79
13.1	Introducción	79
13.2	Utilización del contador integrado 74LS93A: diferentes configuracio- nes para truncar la secuencia	79
13.3	Conversión paralelo a serie	80

A	Trucos, técnicas, e información útil para el trabajo en el Laboratorio de Circuitos y Funciones Electrónicas	83
A.1	Lectura de los Encapsulados de los Dispositivos Electrónicos	83
A.1.1	Resistores	83
A.1.2	Condensadores	84
A.1.3	Circuitos Integrados	85
A.1.4	Diodos	86
A.1.5	Transistores	87
A.1.6	Tarjetas de Prototipado	87
B	PSpice Student Version	91
B.1	Instalación	91
B.2	Crear un proyecto	91
B.3	Seleccionar un componente	91
B.4	Añadir el componente GND	91
B.5	Relojes digitales	92
B.6	Cambiar el modelo PSpice de un componente	92
B.7	Crear una forma de onda en diente de sierra	92
B.8	Crear una variable global para el análisis paramétrico	92
B.9	Tipos básicos de perfiles de simulación	93
B.9.1	Análisis en continua, o análisis <i>DC Sweep</i>	93
B.9.2	Respuesta en frecuencia, o análisis <i>AC Sweep/Noise</i>	93
B.9.3	Análisis temporal, <i>Time Domain (Transient)</i>	93
B.9.4	Análisis del punto de funcionamiento en continua, <i>Bias Point</i>	94
B.10	Análisis de los resultados con PSpice A/D	94
C	Utilización del software SP107E de Hameg	97
D	Familias lógicas: Tecnologías	99
D.1	Familia TTL	99
D.2	Familia CMOS	100
D.3	Conexiones de los CIs TTL y CMOS a caracterizar	101
E	Características estáticas y dinámicas de una familia lógica	103
E.1	Características estáticas de una familia lógica	103
E.1.1	Característica de transferencia de una puerta	103
E.1.2	Característica de transferencia de una familia lógica	105
E.1.3	Margen de ruido	106
E.1.4	<i>Fan-in</i> y <i>Fan-out</i>	107
E.1.5	Disipación de potencia	109
E.1.6	Intensidad de salida en cortocircuito (I_{OS})	109
E.2	características dinámicas de una familia lógica	110
E.2.1	Tiempos de propagación	110
E.2.2	Tiempos de retardo	111
E.2.3	Tiempos de transición	111
E.2.4	Determinación de la frecuencia máxima de funcionamiento	111
E.2.5	Producto velocidad-potencia	112

F	Modelo del Informe de Prácticas	113
F.1	Introducción	113
F.2	Metodología	113
F.3	Resultados	114
F.4	Conclusión	115
F.5	Referencias	115
F.6	Estilo y presentación	115

Índice de Figuras

1.1	Imagen del encapsulado del circuito integrado 741. La muesca se utiliza para conocer el orden del patillaje.	2
1.2	Distribución del patillaje del circuito integrado 741.	2
1.3	Amplificador inversor.	3
1.4	Amplificador no inversor.	10
2.1	Amplificador operacional sumador de dos entradas.	12
2.2	Circuito convertidor VI.	13
2.3	Circuito convertidor IV.	15
3.1	Amplificador integrador.	18
3.2	Amplificador integrador compensado.	19
3.3	Amplificador derivador.	21
3.4	Amplificador diferencial.	23
4.1	Circuito regulador conmutado reductor <i>buck</i>	28
4.2	Circuito regulador conmutado elevador <i>boost</i>	30
4.3	Circuito regulador conmutado reductor con control en modo tensión. . .	32
5.1	Circuito de comprobación de la tabla de verdad de una NAND TTL. . .	34
5.2	Circuito de comprobación de la característica de transferencia de una puerta NAND TTL.	35
5.3	Circuito de medida de potencia consumida por una puerta NAND TTL. .	36
5.4	Caracterización dinámica de una puerta NAND TTL.	37
5.5	Circuito de comprobación de la tabla de verdad de una NAND CMOS. .	38
5.6	Circuito de comprobación de la característica de transferencia de una puerta NAND CMOS.	39
5.7	Circuito de medida de potencia consumida por una puerta NAND CMOS. .	40
5.8	Caracterización dinámica de una puerta NAND CMOS.	41
6.1	Medida de la característica de transferencia de una puerta NAND TTL de un CI 74LS00 (entre paréntesis se muestra las conexiones de las patillas).	44
6.2	Montajes para medir la potencia disipada. (a) Para salidas a nivel alto (H). (b) Para salidas a nivel bajo (L)	46
6.3	Montaje para medir las características dinámicas de cuatro puertas NAND TTL de un CI 74LS00.	47

7.1	Tipos de riesgos: a) riesgo estático de 1, b) riesgo estático de 0, c) y d) riesgos dinámicos.	52
8.1	<i>Display</i> de 7 segmentos.	56
8.2	Conexiones del multiplexor 74LS151.	58
9.1	Representación como bloque de un semisumador	62
9.2	Implementación de un semisumador con XOR y NAND	62
9.3	Esquema de pines 74LS00	63
9.4	Representación como bloque de un sumador completo	63
9.5	Implementación de un sumador completo con NAND	64
9.6	Implementación de un restador completo con NAND	65
10.1	Diagrama bloques del temporizador 555	68
10.2	Patillaje del temporizador 555	68
10.3	Configuración como monoestable-no redispensible	69
10.4	Configuración como monoestable-no redispensible	69
11.1	Registro de desplazamiento serie/paralelo	72
11.2	Configuración contador en módulo 9	72
11.3	Registro de desplazamiento paralelo/serie	73
12.1	Contador-divisor asíncrono de dos bits	76
12.2	Contador-divisor síncrono de 3 bits	77
12.3	Contador de décadas asíncrono	78
13.1	Diferentes configuraciones para truncar la cuenta del contador 74LS93A	80
A.1	Códigos de colores para resistores	84
A.2	Encapsulados típicos de condensadores: el tipo A es electrolítico; el tipo B es de tántalo; los tipos C y D (lenteja) son cerámicos; los tipos E, F y G son de polyester (plástico).	84
A.3	Códigos de colores y encapsulados típicos de condensadores cerámicos y de plástico.	85
A.4	Encapsulados típicos de circuitos integrados DIP	86
A.5	Encapsulados típicos de dispositivos semiconductores discretos	87
A.6	Placa <i>protoboard</i> para diseño de circuitos sin soldaduras. A la izquierda se representa una vista de planta, y a la derecha se muestra como los agujeros en la <i>protoboard</i> se conectan internamente con pistas de metal.	88
A.7	Dos formas alternativas de un diseño de un circuito electrónico sobre una <i>protoboard</i> . A la izquierda se muestra un diseño difícil de depurar, a la derecha un diseño más elaborado pero más fácil de depurar.	89
C.1	Imagen del programa SP107E de Hameg.	97
D.1	Conexión errónea de dos salidas de puertas NAND TTL.	99
D.2	Esquema de conexiones del CI 74LS00 (para el 74HTC00 es el mismo).	101
E.1	Característica de transferencia de una puerta inversora.	103

E.2	Característica de transferencia de una misma familia.	105
E.3	Valores críticos de tensiones con sus respectivos márgenes de ruido. . . .	106
E.4	Conexión de dos puertas inversoras realimentadas.	107
E.5	Función de transferencia para dos puertas inversoras realimentadas para una misma familia.	107
E.6	Representación de una puerta inversora nivel alto y nivel bajo.	109
E.7	Representación de un retardo entre la entrada y la salida de una puerta AND.	110
E.8	Tiempos característicos para una puerta no inversora.	110
E.9	Señales de entrada y de salida de una puerta no inversora (sin carga) desfasadas de t_p	112

Índice de Tablas

1.1	Análisis en continua del amplificador inversor con $R_1=2,2\text{ k}\Omega$ y $R_2=10\text{ k}\Omega$.	4
1.2	Análisis en continua del amplificador inversor con $R_1=2,2\text{ k}\Omega$ y $R_2=33\text{ k}\Omega$.	5
1.3	Respuesta en frecuencia: amplitud.	7
1.4	Respuesta en frecuencia: fase.	8
1.5	Análisis en continua del amplificador no inversor.	10
2.1	Análisis en continua.	12
2.2	Análisis del circuito conversor VI en continua.	13
2.3	Análisis del circuito conversor VI en función de la carga.	14
2.4	Análisis del circuito conversor IV en continua.	15
3.1	Amplificador integrador: respuesta en frecuencia, amplitud.	19
3.2	Amplificador integrador: respuesta en frecuencia, fase.	20
3.3	Amplificador derivador: respuesta en frecuencia, amplitud.	21
3.4	Amplificador derivador: fase	22
3.5	Análisis en continua.	23
3.6	Cálculo del CMRR.	25
3.7	Cálculo del CMRR con un diferencial descompensado.	25
4.1	Análisis de la tensión de salida del regulador conmutado <i>buck</i> en función de δ	28
4.2	Análisis de la tensión de salida del regulador conmutado <i>buck</i> en función de R_1	29
4.3	Análisis de la tensión de salida del regulador conmutado <i>boost</i> en función de δ	31
4.4	Análisis de la tensión de salida del regulador conmutado <i>boost</i> en función de R_1	31
5.1	Medidas realizadas sobre la curva de transferencia NAND TTL.	35
5.2	Potencia disipada en la NAND TTL.	36
5.3	Medidas realizadas sobre la respuesta transitoria de la NAND TTL.	37
5.4	Medidas realizadas sobre la curva de transferencia NAND CMOS.	39
5.5	Potencia disipada en la NAND CMOS.	40
5.6	Medidas realizadas sobre la respuesta transitoria de la NAND CMOS.	41
6.1	Tabla de verdad de una puerta NAND de un CI 74LS00.	44
6.2	Retardos de propagación de una puerta NAND TTL de un CI 74LS00.	47

6.3	Retardos de propagación de una puerta NAND CMOS de un CI 74HCT00.	49
8.1	Tabla de verdad del decodificador BCD/7 segmentos.	56
D.1	Niveles de tensión de entrada y de salida de algunas familias TTL. . . .	100

Prólogo a las Prácticas de Circuitos y Funciones Electrónicas

El objetivo de este manual es guiar al alumno en la realización de las prácticas de la asignatura *Circuitos y Funciones Electrónicas*. Estas prácticas son el complemento de la parte teórica y se deben realizar en el laboratorio, utilizando el material electrónico y la instrumentación disponibles. El conjunto de las prácticas se divide en dos secciones: analógica y digital. En la primera sección se realizan cuatro prácticas. En las tres primeras el alumno montará y verificará el comportamiento de diversas funciones electrónicas analógicas y en la cuarta práctica se simularán fuentes conmutadas. En la segunda sección, se realizan siete prácticas de funciones electrónicas digitales. Cada práctica está estructurada de manera que guíe al alumnado en la realización de la misma, indicando los montajes y medidas que debe realizar. Al final de este manual se han incluido diversos Anexos con información complementaria para la realización de las prácticas y del *Informe de Prácticas* que debe presentarse a la finalización de las mismas. En el Anexo **F** se indica cómo se debe redactar dicho informe. En el AulaVirtual de la asignatura estarán las hojas de especificaciones técnicas (*datasheet*) de los componentes electrónicos utilizados en estas prácticas. Es muy conveniente que se disponga de ellos en el laboratorio. En general, se aconseja que:

1. Realice una lectura previa de esta guía de prácticas. De esta manera tendrá una idea del material a utilizar, de la instrumentación que necesitará para hacer la práctica en el puesto de trabajo del laboratorio, y del software (por ejemplo para la utilización del simulador Pspice lea el Anexo **B**). También podrá saber cuáles son los procedimientos que se pueden hacer fuera del laboratorio, siempre y cuando se hayan obtenido los datos en el laboratorio.
2. Realice el montaje del circuito en la placa de montaje rápido (placa de prototipos o *protoboard*), sin tener conectada la fuente de alimentación. Conozca con antelación cómo son los encapsulados de los circuitos integrados, utilizando los *datasheet*, como por ejemplo se muestra en la Figura **A.4**. Una vez comprobado el circuito, conecte la alimentación. En caso de observar un mal funcionamiento, desconecte en primer lugar la alimentación y vuelva a revisar el circuito. Para más información lea el Anexo **A.1.6**.
3. Antes de la realización de las prácticas se deberá conocer el funcionamiento de la instrumentación del laboratorio como el generador de funciones, la fuente de alimentación y el osciloscopio. En el AulaVirtual están disponibles los manuales de diversa instrumentación utilizada en el laboratorio. Asegúrese de

que la fuente de alimentación está correctamente configurada en el nivel de tensión necesario para alimentar a los circuitos integrados, y su conexionado a la placa de montaje rápido es de la polaridad correcta. Desconecte rápidamente la fuente de alimentación si algún circuito integrado se calienta en exceso. Si no funciona el circuito montado, en primer lugar revise bien si las conexiones son las correctas.

— Práctica Uno —

Circuito amplificador inversor y no inversor

Material necesario

Circuitos integrados: $\mu A741$
Resistencias: 2,2 k Ω , 10 k Ω
Potenciómetro: 100 k Ω ,
Fuente de Alimentación de continua.
Generador de Funciones.
Osciloscopio.
Programa SP107E.
Placa Board de montaje rápido.
Cables.

1.1 Introducción

En estas tres primeras prácticas se utilizará un circuito integrado de la serie 741 para la realización de varias funciones analógicas. Este circuito integrado contiene un amplificador operacional de propósito general. Una imagen de este circuito se muestra en la Figura 1.1, en la que se observa que tiene ocho patillas o pines. Tal como se indica en el Anexo A.1.3, la muesca y el pequeño punto se utilizan para la enumeración de los mencionados pines.

En los encapsulados tipo DIP de 8 pines, como los utilizados en las prácticas, las conexiones entre los pines y el amplificador operacional se muestra en la Figura 1.2. La denominación utilizada es la siguiente:

1. *Offset null*. Es el ajuste de offset del amplificador operacional, junto al pin 5.
2. *Invertig Input*. Es la entrada inversora del amplificador operacional.
3. *Non-Invertig Input*. Es la entrada no inversora del amplificador operacional.
4. *-V*. Es el pin de alimentación negativa.
5. *Offset null*. Es el ajuste de offset del amplificador operacional, junto al pin 1.



Figura 1.1: Imagen del encapsulado del circuito integrado 741. La muesca se utiliza para conocer el orden del patillaje.

- 6. *Output*. Es la salida del amplificador.
- 7. $+V$. Es el pin de alimentación positiva.
- 8. *NC*. Este pin no se utiliza.

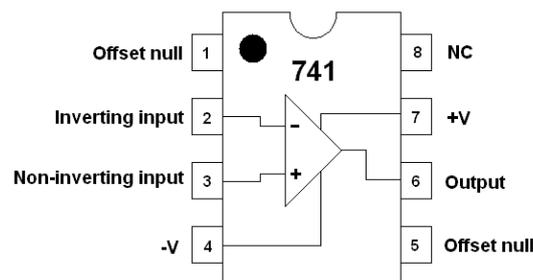


Figura 1.2: Distribución del patillaje del circuito integrado 741.

En general, los objetivos que se pretenden con las prácticas son los siguientes:

- Conocer y usar, de modo apropiado, los instrumentos, componentes y técnicas de medidas de laboratorio.
- Identificación y aplicación de los conocimientos adquiridos a situaciones habituales y nuevas con el fin de poder reconocer los problemas y resolverlos con flexibilidad.
- Describir rigurosamente y con el lenguaje adecuado diseños y observaciones experimentales. Crear una aptitud para emitir informes técnicos.
- Habilidad de consultar documentación y bibliografía sobre dispositivos y circuitos electrónicos en lengua inglesa.
- Adquisición de hábitos críticos y de trabajo en grupo.

En esta primera práctica, los objetivos a conseguir se enumeran a continuación:

- Montaje y prueba de funcionamiento del amplificador inversor.
- Realización del análisis en continua, en alterna y transitorio del amplificador inversor.
- Realizar la medida del *Slew Rate* de un circuito amplificador.
- Obtener la resistencia de entrada del amplificador inversor.
- Realización del análisis en continua del amplificador no inversor.

1.2 Amplificador inversor

El esquema de la figura 1.3 muestra un amplificador inversor construido con un amplificador operacional $\mu A741$ y dos resistencias R_1 y R_2 . El amplificador operacional consta de dos terminales de entrada (patillas 2 y 3 del circuito integrado para las entradas inversora y no inversora respectivamente), un terminal de salida (patilla 6) y dos terminales de alimentación (patilla 4 alimentación negativa y patilla 7 alimentación positiva), que no se muestran en esta Figura, pero que se conectarán a la Fuente de Alimentación de continua.

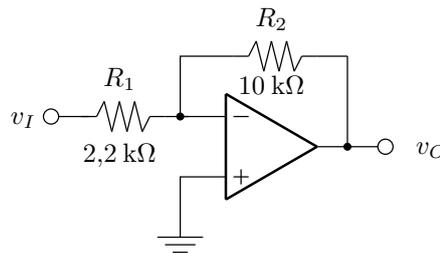


Figura 1.3: Amplificador inversor.

1.2.1 Análisis en continua (DC) del amplificador

Con el circuito de la figura 1.3 montado y alimentado correctamente ($\pm 12V$), generar nueve valores de tensión continua de entrada v_i desde 0 V hasta +4 V y otros ocho valores desde 0 V hasta -4. Las tensiones $+v_{i1}$ y $-v_{i2}$ se corresponden con los valores que hacen que el amplificador operacional sature. Para cada valor de la tensión de entrada, medir la tensión de la salida v_o y realizar una tabla con estos valores medidos. Añadir dos columnas a la tabla anterior: en la primera se indicará el valor de la ganancia real del circuito, $A_V \text{ real}$ y en la segunda se indicará el valor de la ganancia teórica $A_V \text{ teórica}$, calculada suponiendo que el amplificador operacional es ideal¹. Un ejemplo es la Tabla 1.1

Tabla 1.1: Análisis en continua del amplificador inversor con $R_1=2,2 \text{ k}\Omega$ y $R_2=10 \text{ k}\Omega$.

v_i	v_o	$A_V \text{ real}$	$A_V \text{ teórica}$
-4			
-3			
$-v_{i2}$			
0			
$+v_{i1}$			
+3			
+4			

Con los valores de tensión de salida obtenidos, trazar la función de transferencia en una figura donde se represente la tensión de entrada v_i en el eje de abscisas y la tensión de salida v_o en el eje de ordenadas.

Realizar ahora el análisis en continua con $R_2 = 33 \text{ k}\Omega$. Repetir todos los pasos del apartado anterior con el nuevo valor de R_2 . Los valores de tensión de entrada los tomamos ahora de la primera columna de la Tabla 1.2 y la función de transferencia la trazaremos en una nueva gráfica, en la que el eje de abscisas será la tensión v_i y el eje de ordenadas la tensión v_o .

¹Para una mejor comparación entre ambos valores de la ganancia, es recomendable medir con el multímetro los valores reales de las resistencias R_1 y R_2 . Esta es una recomendación para todas las prácticas

Tabla 1.2: Análisis en continua del amplificador inversor con $R_1=2,2\text{ k}\Omega$ y $R_2=33\text{ k}\Omega$.

V_{IN}	v_o	$A_V \text{ real}$	$A_V \text{ teórica}$
-1			
$-v_{i2}$			
0			
$+v_{i1}$			
+1			

Realice comentarios y justifique los resultados obtenidos. ¿Cuál es el margen dinámico de la tensión de salida en ambos experimentos?.

1.2.2 Resistencia de entrada

Sobre el mismo circuito de la figura 1.3, con $R_2=10\text{ k}\Omega$, aplicaremos una tensión continua de 1 V a la entrada y mediremos la corriente que circula por la resistencia R_1 (intensidad de entrada). La medida de esta corriente la realizaremos de modo indirecto, midiendo en primer lugar la caída de tensión en la resistencia R_1 y dividiendo este valor por el valor real (medido con el polímetro) de R_1 . Para comprobar la independencia del valor de la resistencia de entrada con respecto a la tensión aplicada al circuito, repetiremos el procedimiento con una tensión de entrada de $V_I=2\text{ V}$.

Valor de R_I , con $V_I=1\text{ V}$.

Valor de R_I , con $V_I=2\text{ V}$.

¿Coinciden estos valores con los valores teóricos?

1.2.3 Análisis en alterna (AC) del amplificador

Para realizar el análisis en alterna del amplificador inversor, desconectaremos las fuentes de continua conectadas a la entrada del mismo, dejando únicamente el circuito conectado a la tensión de alimentación ($\pm 12\text{ V}$). Las resistencias son $R_1=2,2\text{ k}\Omega$ y $R_2=10\text{ k}\Omega$. Como entrada utilizaremos el generador de funciones². Tanto la señal de entrada como la señal de la salida del circuito se monitorizarán en el osciloscopio.

El análisis en alterna implica tanto el estudio del módulo de la ganancia de este circuito como el estudio del desfase. Se realizarán, de manera simultánea, dos medidas para cada valor de la frecuencia de la señal de entrada y, con los datos obtenidos, se realizarán dos tablas y dos gráficas.

En la primera columna de la Tabla 1.3 se indicarán los valores de la frecuencia de la señal de entrada (valores que coincidirán con los de la Tabla 1.4). De esta forma, en la Tabla 1.3 se anotará la evolución del módulo del amplificador y en la Tabla 1.4 se hará lo mismo con la fase del circuito.

Para cada valor de frecuencia³ se anotarán la amplitud de entrada v_{in} , la amplitud de salida v_{out} y la diferencia temporal (t) entre las señales de entrada y de salida. Estos valores se indicarán en las columnas 2 y 3 de la Tabla 1.3 y columna 2 de la Tabla 1.4.

Tabla 1.3: Respuesta en frecuencia: amplitud.

Frecuencia (f)	Amplitud v_{in}	Amplitud v_{out}	$ A_V $	$ A_V $ (dB)
$f_o =$				

Terminaremos la Tabla 1.3 calculando el módulo de la ganancia A_V y su valor de decibelios. Una vez completada esta tabla, se procederá a trazar la gráfica de la amplitud en función de la frecuencia. Para ello el eje de abscisas representará la frecuencia en escala logarítmica y el eje de ordenadas representará la amplitud en decibelios.

En ambas Tablas, f_0 es el valor de la frecuencia de corte. Para calcular este valor de forma empírica, tenemos que determinar el valor de la frecuencia a la cual la ganancia de tensión cae 3 dB con respecto a su valor máximo. En este circuito, el valor máximo de la ganancia es el valor de ganancia a frecuencia nula, es decir,

²Es imprescindible que ante una forma de onda de entrada tipo sinusoidal, la salida tenga la misma forma de onda. Si la salida deja de ser sinusoidal, habrá que reducir la amplitud de la tensión de entrada hasta que sea necesario. No se olvide de desactivar la función *OFFSET* del generador de funciones.

³Se aconsejan valores espaciados de manera logarítmica. Pero menos espaciados alrededor de la frecuencia de corte.

1.2.4 Análisis transitorio

Para realizar el análisis transitorio del amplificador operacional inversor se configura en el generador de funciones una forma de onda cuadrada de $0,7 V_p$ de amplitud⁵. Compruebe este valor con el osciloscopio. Este análisis se realizará a varias frecuencias, empezando por la de 1 kHz para ir aumentándola progresivamente, manteniendo el valor de la amplitud. Dibuje las gráficas que se observan en el osciloscopio (se puede utilizar el programa SP107E), en los siguientes casos:

1. En primer lugar se configura la frecuencia del generador de funciones a 1 kHz. Anote la forma de onda a la salida del amplificador y realice la justificación correspondiente.
2. Aumente la frecuencia hasta que la forma de onda de la salida no sea una señal cuadrada. Anote el valor de esta frecuencia.
3. Siga aumentando la frecuencia hasta que casi desaparezcan los tramos horizontales en la forma de onda de la salida. Anote el valor de esta frecuencia.
4. Siga aumentando la frecuencia hasta que la forma de onda a la salida sea una señal triangular. Anote el valor de esta frecuencia y calcule el valor de la velocidad de respuesta (*Slew Rate*)⁶ del amplificador operacional.

Realice comentarios y justifique los resultados obtenidos.

⁵Utilice la salida de señal analógica del generador y desactivada la función *OFFSET* del generador de funciones.

⁶La velocidad de respuesta mide la relación $\Delta V/\Delta t$, en $V/\mu s$

1.3 Amplificador operacional no inversor

En la Figura 1.4 se muestra un amplificador operacional no inversor, construido con un amplificador operacional, una resistencia fija R_1 y un potenciómetro R_2 . El amplificador está alimentado con una tensión de ± 12 V.

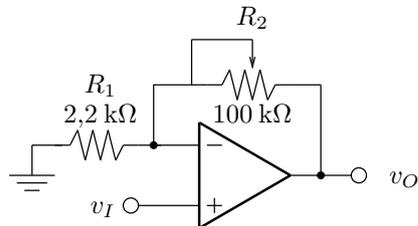


Figura 1.4: Amplificador no inversor.

Se pide realizar la caracterización estática del circuito (análisis DC). Para hacer este análisis se variará el potenciómetro R_2 y se comprobará que se verifica la expresión de la ganancia de tensión de este circuito ($A_V = 1 + R_2/R_1$). Conecte a la entrada un valor de tensión continua de 0,1 V y mida los valores de tensión de la salida del amplificador. Con los datos obtenidos rellene la Tabla 1.5.

Tabla 1.5: Análisis en continua del amplificador no inversor.

R_2	V_O	A_V real	A_V teórica
10 kΩ			
100 kΩ			

Realice comentarios y justifique los resultados obtenidos.

— Práctica Dos —

Circuitos sumadores y convertidores

Material necesario

Circuitos integrados: $\mu A741$ Resistencias: $1\text{ k}\Omega$, $2,2\text{ k}\Omega$, $10\text{ k}\Omega$ Potenciómetro: $10\text{ k}\Omega$, Generador de Señal y Osciloscopio. Placa Board de montaje rápido. Cables.
--

2.1 Introducción

En esta segunda práctica de funciones analógicas se pretenden los siguientes objetivos:

- Montaje y prueba de funcionamiento del amplificador sumador.
- Realización del análisis de los circuitos convertidores VI e IV.

2.2 Amplificador sumador

Un amplificador operacional sumador como el de la figura 2.1 se puede utilizar para sumar una tensión continua a otra alterna o bien dos tensiones de la misma naturaleza, asignando a cada una de ellas una ganancia determinada.

Alimentar el amplificador a la tensión de $\pm 12\text{ V}$ y conectar como señales de entrada dos tensiones continuas. Completar los valores de la Tabla 2.1 para diferentes valores de las señales de entrada, calculando la ganancia real medida y la teórica esperada del circuito.

¿Coinciden en todos los casos los valores de ganancia teórico y real? Si no es así, razonar por qué ocurre esto.

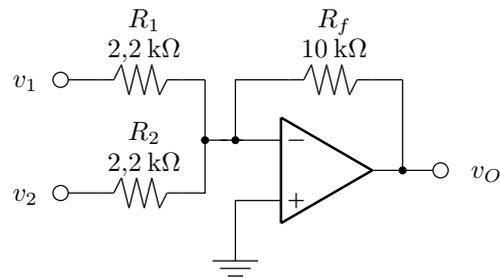


Figura 2.1: Amplificador operacional sumador de dos entradas.

Tabla 2.1: Análisis en continua.

v_1	v_2	v_o	A_V real	A_V teórica
-2	1			
-1.5	1			
-1	1			
-0.5	1			
-0.5	2			
-1	2			
-1.5	2			
0	2			
0.5	2			
1	2			
2	-1			
2.5	-1			
3	-1			

Sustituir ahora la tensión continua v_2 por una tensión alterna $v_2 = 0,5 \cdot \sin(2\pi 2000t)$. Para cada uno de los valores siguientes de la tensión continua $v_1 = 1V$, $v_1 = -1V$, $v_1 = 2V$ y $v_1 = -2V$ obtener las cuatro gráficas de la tensión de salida, de manera que se visualicen en el osciloscopio¹ entre 5 y 10 ciclos completos de la señal alterna.

¹Para poder medir las señales de forma correcta en el osciloscopio es preciso que éste esté configurado para medir señales de continua (tecla AC/DC en posición DC).

2.3 Circuito convertidor V-I

Otra de las funciones que se puede implementar con un amplificador operacional es el de la conversión tensión-intensidad. En el circuito de la Figura 2.2 si se cumple la igualdad $R_1R_3 = R_2R_4$, entonces la intensidad que circula por la carga es $i_L = -v_{IN}/R_4$.

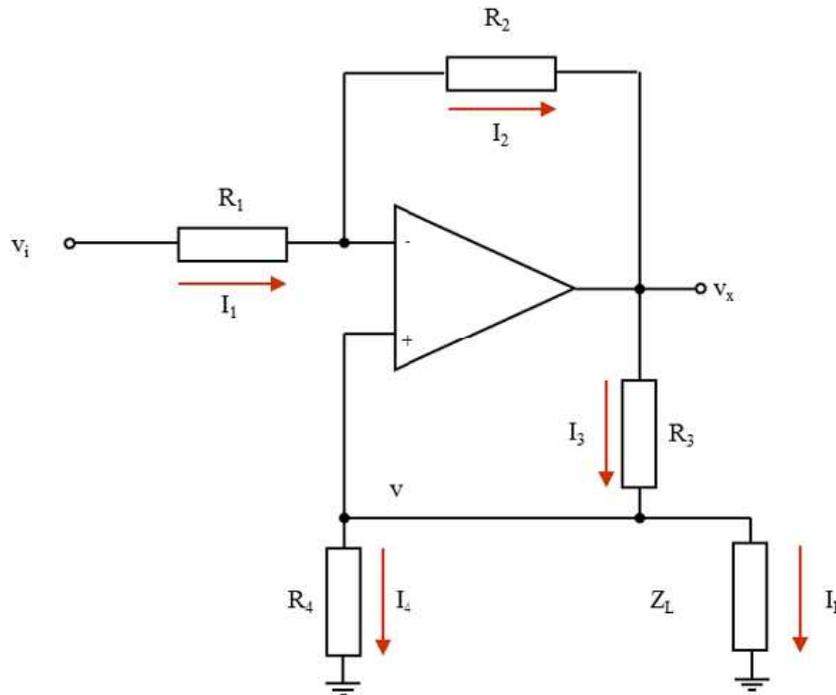


Figura 2.2: Circuito convertidor VI.

Para cada valor de v_i indicado en la Tabla 2.2 mida la tensión en la resistencia R_4 . Obtenga los valores de i_L real a partir del valor obtenidos en la medida anterior y el valor que debe tener i_L si se calcula de manera teórica. Realice una representación

Tabla 2.2: Análisis del circuito conversor VI en continua.

v_i	v	R_L	i_L real	i_L teórica
-2		1 k Ω		
-1.5		1 k Ω		
-1		1 k Ω		
-0.5		1 k Ω		
0		1 k Ω		
+0.5		1 k Ω		
+1		1 k Ω		
+1,5		1 k Ω		
2		1 k Ω		

gráfica de $i_L = f(v_i)$. ¿Coinciden en todos los casos los valores de i_L teórico y real? Si no es así, razonar por qué ocurre esto.

Finalmente se analiza la dependencia del valor de I_L con el de la carga R_L . Se necesita un potenciómetro conectado como carga, éste se ajusta a un valor mínimo de $1\text{ k}\Omega$ y se va incrementando en pasos de $200\ \Omega$, según los valores indicados en la segunda columna de la Tabla 2.3, hasta que el valor de I_L real sea muy distinto de I_L teórico. El valor de v_i se mantiene constante en $+1\text{ V}$.

Tabla 2.3: Análisis del circuito conversor VI en función de la carga.

v_1	R_L	v	i_L real	i_L teórica
+1	1 k Ω			
+1	1.4 k Ω			
+1	1.6 k Ω			
+1	1.8 k Ω			
+1	2 k Ω			
+1	2.2 k Ω			
+1				
+1				
+1				
+1				
+1				

Justifique el valor de R_L a partir del cual el valor de I_L real es muy distinto de I_L teórico.

2.4 Circuito convertidor I-V

En la Figura 2.3 se representa el circuito completo del conversor intensidad a tensión, en el que se ha utilizado el circuito conversor VI para proporcionar la corriente de entrada al convertidor IV. Analice el funcionamiento del circuito si la tensión v_1 se

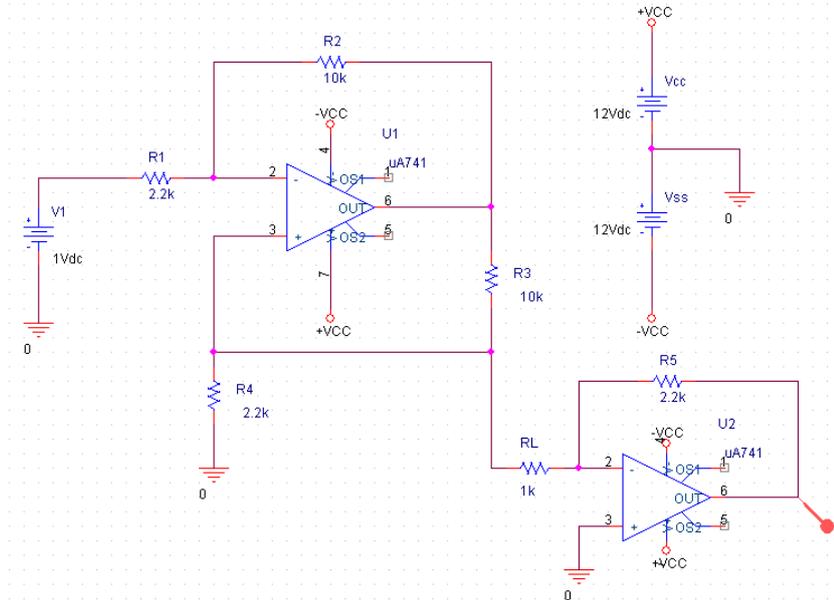


Figura 2.3: Circuito convertidor IV.

hace variar entre -2 V y $+2\text{ V}$. Para cada valor de la tensión de entrada se mide el valor de v y de v_{out} real y se obtienen los valores de i_L teórico y de v_{out} teórico. Realice una representación gráfica de $v_{out}^{real} = f(v_i)$. ¿Coinciden en todos los casos? Si no es así, razonar por qué ocurre esto.

Tabla 2.4: Análisis del circuito conversor IV en continua.

v_1	v	i_L real	v_{out} teórico	v_{out} real
-2				
-1.5				
-1				
-0.5				
0				
+0.5				
+1				
+1,5				
2				

— Práctica Tres —

Circuitos integrador, derivador y diferencial

Material necesario

Circuitos integrados: $\mu A741$ Condensadores: 10 nF Resistencias: 2,2 k Ω , 10 k Ω , 100 k Ω Fuente de Alimentación de continua. Generador de Funciones. Osciloscopio. Programa SP107E. Placa Board de montaje rápido. Cables.

3.1 Introducción

Los objetivos que se pretenden alcanzar con esta práctica son los siguientes:

- Montaje y prueba de funcionamiento del amplificador integrador.
- Realización del análisis en alterna del amplificador integrador compensado.
- Realización del análisis en alterna del amplificador derivador.
- Realización del análisis del amplificador diferencial: caracterización estática, resistencias de entrada y factor de rechazo del modo común.

3.2 Amplificador integrador

En la figura 3.1 se muestra un amplificador integrador construido con un amplificador operacional $\mu A741$, una resistencia y un condensador que sirve de elemento de realimentación.

Comprobar la función integradora del amplificador introduciendo señales cuadradas, triangulares y sinusoidales de $\pm 0,5 V_p$ de amplitud y de 100, 500 y 1000 Hz. Capturar

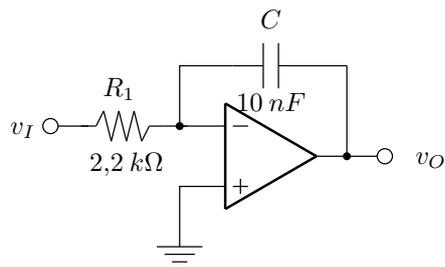


Figura 3.1: Amplificador integrador.

la imagen del osciloscopio utilizando la utilidad del ordenador, en la que se muestren las señales de entrada y salida, indicando los valores de amplitud y tiempo.

Para cada uno de los tipos de señal, justifique el comportamiento del integrador a las tres frecuencias indicadas.

3.2.1 Amplificador integrador compensado

Si al amplificador integrador le añadimos una resistencia en paralelo con el condensador obtenemos un amplificador integrador compensado, similar al de la figura 3.2.

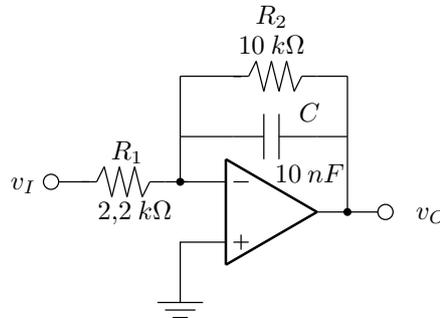


Figura 3.2: Amplificador integrador compensado.

Para este circuito se pide determinar de forma experimental la amplitud (módulo) y la fase de la respuesta en frecuencia, rellenando los valores de las tablas 3.1 y 3.2. Se realizarán, de manera simultánea, dos medidas para cada valor de la frecuencia de la señal de entrada y, con los datos obtenidos, se realizarán dos tablas y dos gráficas.

En la primera columna de la Tabla 3.1 se indicarán los valores de la frecuencia de la señal de entrada (valores que coincidirán con los de la Tabla 3.2). De esta forma, en la Tabla 3.1 se anotará la evolución del módulo del amplificador y en la Tabla 3.2 se hará lo mismo con la fase del circuito. Para cada valor de frecuencia ¹ se anotarán la amplitud de entrada v_{in} , la amplitud de salida v_{out} y la diferencia temporal (t) entre las señales de entrada y de salida. Estos valores se indicarán en las columnas 2 y 3 de la Tabla 3.1 y columna 2 de la Tabla 3.2.

Tabla 3.1: Amplificador integrador: respuesta en frecuencia, amplitud.

Frecuencia	Amplitud v_{in}	Amplitud v_{out}	$ A_V $	$ A_V $ (dB)
$f_o =$				

Cumplimente la Tabla 3.1 calculando el módulo de la ganancia A_V y su valor de decibelios. Una vez completada esta tabla, se procederá a trazar la gráfica de la amplitud en función de la frecuencia. Para ello el eje de abscisas representará la

¹Se aconsejan valores espaciados de manera logarítmica. Pero menos espaciados alrededor de la frecuencia de corte.

3.3 Amplificador derivador

En la figura 3.3 se muestra un amplificador derivador compensado, compuesto por un amplificador operacional, un condensador y dos resistencias.

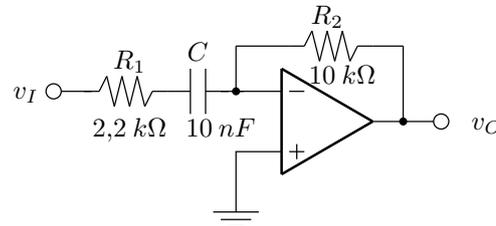


Figura 3.3: Amplificador derivador.

Para este circuito se pide determinar de forma experimental la amplitud (módulo) y la fase de la respuesta en frecuencia, rellenando los valores de las tablas 3.3 y 3.4. Se realizarán, de manera simultánea, dos medidas para cada valor de la frecuencia de la señal de entrada y, con los datos obtenidos, se realizarán dos tablas y dos gráficas.

En la primera columna de la Tabla 3.3 se indicarán los valores de la frecuencia de la señal de entrada (valores que coincidirán con los de la Tabla 3.4). De esta forma, en la Tabla 3.3 se anotará la evolución del módulo del amplificador y en la Tabla 3.4 se hará lo mismo con la fase del circuito. Para cada valor de frecuencia² se anotarán la amplitud de entrada v_{in} , la amplitud de salida v_{out} y la diferencia temporal (t) entre las señales de entrada y de salida. Estos valores se indicarán en las columnas 2 y 3 de la Tabla 3.3 y columna 2 de la Tabla 3.4.

Tabla 3.3: Amplificador derivador: respuesta en frecuencia, amplitud.

Frecuencia	Amplitud v_{in}	Amplitud v_{out}	$ A_V $	$ A_V $ (dB)
$f_o =$				

Termine la Tabla 3.3 calculando el módulo de la ganancia A_V y su valor de decibelios. Una vez completada esta tabla, se procederá a trazar la gráfica de la amplitud en función de la frecuencia. Para ello el eje de abscisas representará la frecuencia en escala logarítmica y el eje de ordenadas representará la amplitud en decibelios.

²Se aconsejan valores espaciados de manera logarítmica. Pero menos espaciados alrededor de la frecuencia de corte.

3. CIRCUITOS INTEGRADOR, DERIVADOR Y DIFERENCIAL

En ambas Tablas, f_0 es el valor de la frecuencia de corte. Para calcular este valor de forma empírica, hay que determinar el valor de la frecuencia a la cual la ganancia de tensión cae 3 dB con respecto a su valor máximo. En este circuito, el valor máximo de la ganancia es el valor de ganancia a frecuencia nula, es decir, en continua. A fin de simplificar los cálculos, recuerde que una caída de 3 dB equivale a una atenuación de $1/\sqrt{2}$ unidades.

Tabla 3.4: Amplificador derivador: fase

Frecuencia	Diferencia temporal (t)	Periodo (T)	Desfase (ϕ)
$f_0 =$			

Completar la Tabla 3.4 calculando el valor del periodo (T) de la señal de entrada y del desfase (ϕ) en grados o en radianes entre las señales de salida y entrada. Una vez completada esta tabla, se procederá a trazar la gráfica de la fase en función de la frecuencia. Para ello el eje de abscisas representará la frecuencia en escala logarítmica y el eje de ordenadas representará la fase en grados.

Realice comentarios y justifique los resultados obtenidos de ambas respuestas. ¿Coincide la frecuencia de corte teórica con la experimental?. Razone la respuesta.

3.4.2 Resistencia de entrada

Determinar experimentalmente la resistencia de entrada tanto en la entrada A como en la entrada B del amplificador diferencial. En un circuito de varias entradas la medida de la resistencia en una de ellas se realiza conectando a masa el resto de entradas y midiendo la relación entre la tensión aplicada en esa entrada (V_I) y la intensidad que circula por la misma (I_I). Al igual que en casos anteriores, la intensidad (I_I) se medirá de forma indirecta, como la relación entre la caída de tensión en una resistencia (R_3 para la entrada A y R_1 para la entrada B) y la corriente que circula por ella.

Cálculo de $R_{IA} =$

Cálculo de $R_{IB} =$

Justificar el valor obtenido para sendas resistencias de entrada.

3.4.3 Factor de Rechazo en Modo Común (CMRR)

El Factor de Rechazo en Modo Común de un amplificador diferencial se determina mediante la siguiente relación:

$$CMRR = \frac{A_d}{A_c} \quad (3.1)$$

donde A_d y A_c son los valores de la ganancia de tensión diferencial y la ganancia de tensión en modo común respectivamente. La ganancia A_d se ha determinado en la caracterización en continua del amplificador, por lo que ahora se debe medir el valor de A_c . Para ello, se conectan ambas entradas A y B a una misma fuente de tensión, que en este caso va a ser el generador de señal (antes de conectar el generador, hay que desconectar las fuentes de continua que pudiese haber conectadas en dichas entradas). La señal alterna que se introduce en ambas entradas tendrá una amplitud de $1 V_{pp}$ y una frecuencia de $500 Hz$. Con los datos obtenidos rellene la Tabla 3.6.

Tabla 3.6: Cálculo del CMRR.

$V_{O_{pp}}$	A_d	A_c	CMRR

Compare el resultado de la relación de rechazo del modo común que ha obtenido con la que se indica en el *datasheet* del amplificador operacional $\mu A741$. ¿Son iguales, parecidas o muy diferentes?. ¿Por qué?.

Ahora mida el CMRR en un amplificador diferencial cuyo circuito no cumple la relación $R_2/R_1 = R_4/R_3$ (relación que anula la tensión en modo común del circuito). Este tipo de amplificador diferencial descompensado se obtiene sustituyendo la resistencia R_4 de $10 k\Omega$ por una de $100 k\Omega$. En estas condiciones determinar el valor de A_c por el mismo procedimiento del caso anterior y el de A_d conectado la entrada A a la misma tensión sinusoidal, pero con la entrada B a masa (hay que separar de nuevo ambas entradas). Rellenar los valores de la Tabla 3.7.

Tabla 3.7: Cálculo del CMRR con un diferencial descompensado.

$V_{O_{pp}}$	A_d	A_c	CMRR

Justifique los valores experimentales obtenidos.

— Práctica Cuatro —

Reguladores de tensión en Pspice

Material necesario

Programa Pspice Student Version
Transistores: IRF9140, IRF150
Condensadores: $375 \mu\text{F}$, $75 \mu\text{F}$
Inductancias: 6.25 mH $250 \mu\text{H}$
Resistencias: 10Ω , 80Ω
Diodos: BAR74
Fuente de Alimentación de continua: VDC
Generador de Pulso: VPULSE

4.1 Introducción

En esta práctica se realizará el montaje y simulación de:

- El regulador reductor *buck*.
- El regulador elevador *boost*.
- El regulador reductor *buck* con sistema de control en modo tensión.

4.2 Simulación de un regulador reductor *buck* básico

4.2.1 Análisis del regulador y estudio de la tensión de salida en función de t_{ON}

En la Figura 4.1 se muestra un circuito regulador de tensión conmutado del tipo reductor o *buck*. La fuente de tensión periódica VPULSE genera una forma de onda cuadrada y se utiliza para realizar la simulación temporal puesto que PSpice asume que dicha fuente está definida en el dominio del tiempo. TD, TR y TF son los *Delay Time*, *Fall Time* y *Rise Time*, que se han fijado en 1 ns. El periodo es $PER=250 \mu\text{s}$, por lo que la señal tiene una frecuencia fija de $f_s=4 \text{ kHz}$. El valor de V1 se fija en +12 V y el de V2 en 0 V. El valor PW se corresponde con el tiempo en que la

tensión del pulso está en V2. Se utilizará la variable global $\{t_{ON}\}^1$ para estudiar la variación de la tensión de salida en función de t_{ON} . Recuerdese que δ es la relación entre t_{ON} y T. Realice el análisis temporal² utilizando la variable global $\{t_{ON}\}$

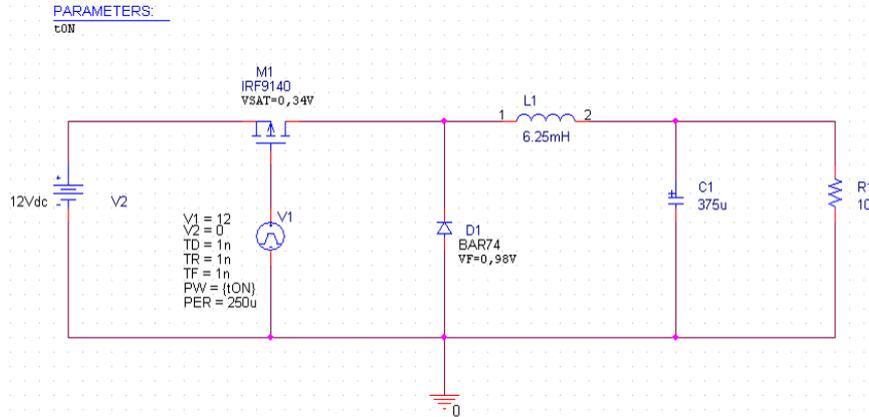


Figura 4.1: Circuito regulador conmutado reductor *buck*.

como parámetro variable. Rellene la Tabla 4.1 con los datos de la simulación, una vez alcanzado el régimen permanente. Tenga en cuenta los valores de V_{SAT} y de V_F para el cálculo de la V_{out} teórica.

Añada una gráfica en donde quede reflejada toda la simulación temporal del circuito. ¿Coinciden los valores reales con los teóricos?

Tabla 4.1: Análisis de la tensión de salida del regulador conmutado *buck* en función de δ .

t_{ON}	T	δ	V_{out} teórica	V_{out} real

Para $t_{ON}=160 \mu s$ obtenga los valores de las corrientes Δi_L , Δi_C y Δi_R . Realice una gráfica, con tres trazas separadas, donde se aprecien estas tres corrientes. Calcule el valor de teórico de Δi_L , conocidos L, V_{input} , V_{output} y f_s , ¿coincide el valor real con el teórico?

¹Leer la sección *Crear una variable global para el análisis paramétrico*.

²Leer la sección *Análisis temporal, Time Domain (Transient)*.

Represente en una gráfica, con cinco trazas separadas, la forma de onda de VPULSE, la corriente de drenador del MOSFET, la del diodo, la de la bobina y la del condensador, a $t_{ON}=160 \mu s$. ¿Coinciden estas formas de onda con las teóricas?

Finalmente, obtenga el valor experimental de Δv_{out} y compárelo con el valor teórico calculado a partir del valor de C , Δi_L y f_s .

4.2.2 Estudio de la tensión de salida en función de R_1

Este circuito de regulador conmutado no dispone de un sistema de control que regule el valor de δ en función de las variaciones de la carga o de la tensión de entrada, puesto que funciona *a circuito abierto*. En este apartado se estudia el comportamiento de la tensión de salida en función de la carga. Para realizarlo se elimina la variable global {tON} y se fija el valor de PW en $120 \mu s$. En el valor de la resistencia R_1 se pone el nombre de la variable global, por ejemplo {RVAL}³. Elija varios valores representativos para {RVAL} y con ellos realice la simulación temporal, obteniendo los valores de V_{out} , que se indicarán en la Tabla 4.2. Realice la justificación de los valores obtenidos. ¿Cuál sería el rango de valores de R_1 para los que la tensión de salida real sea igual al valor de la tensión teórica $\pm 0,25 V$?

Tabla 4.2: Análisis de la tensión de salida del regulador conmutado *buck* en función de R_1 .

R_1	δ	V_{out} teórica	V_{out} real

³Se deberá editar un nuevo componente PARAM y poner la nueva variable en la configuración del análisis parametrico.

4.3 Simulación de un regulador elevador *boost* básico

4.3.1 Análisis del regulador y estudio de la tensión de salida en función de t_{ON}

En la Figura 4.2 se muestra un circuito regulador de tensión conmutado del tipo elevador o *boost*. La fuente de tensión periódica VPULSE genera una forma de onda cuadrada y se utiliza para realizar la simulación temporal puesto que PSpice asume que dicha fuente está definida en el dominio del tiempo. TD, TR y TF son los *Delay Time*, *Fall Time* y *Rise Time*, que se han fijado en 1 ns. El periodo es PER=10 μ s, por lo que la señal tiene una frecuencia fija de 100 kHz. El valor de V1 se fija en 0 V y el de V2 en +12 V. El valor PW se corresponde con el tiempo en que la tensión del pulso está en V2. Se utilizará la variable global {tON} para estudiar la variación de la tensión de salida en función de t_{ON} . Recuerdese que δ es la relación entre t_{ON} y T.

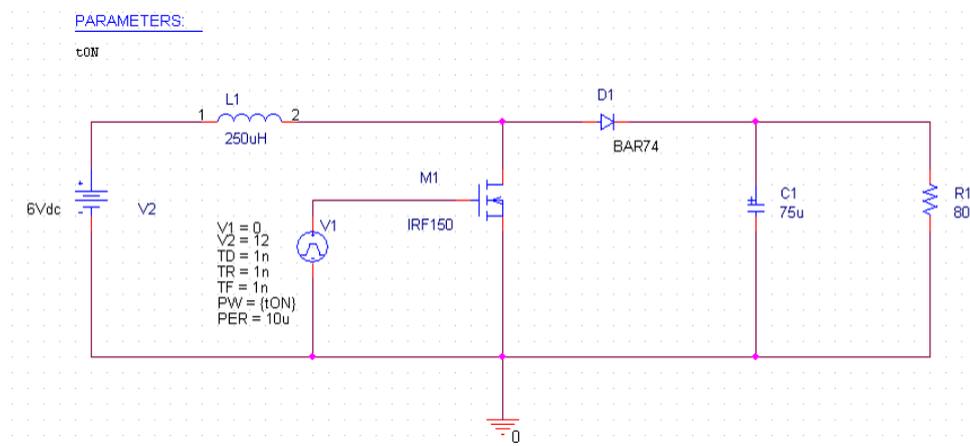


Figura 4.2: Circuito regulador conmutado elevador *boost*.

Realice el análisis temporal utilizando la variable global {tON} como parámetro variable. Rellene la Tabla 4.3 con los datos de la simulación, una vez alcanzado el régimen permanente. Tenga en cuenta los valores de V_{SAT} y de V_F para el cálculo de la V_{out} teórica.

Añada una gráfica en donde quede reflejada toda la simulación temporal del circuito.

Para $t_{ON}=5 \mu$ s obtenga los valores de las corrientes Δi_L y Δi_R . Realice una gráfica, con dos trazas separadas, donde se aprecien estas dos corrientes. Calcule el valor de teórico de Δi_L , conocidos L, V_{input} , V_{output} y f_s , ¿coincide el valor real con el teórico?

Represente en una gráfica, con cinco trazas separadas, la forma de onda de VPULSE, la corriente de drenador del MOSFET, la del diodo, la de la bobina y la del condensador, a $t_{ON}=5 \mu$ s.

Finalmente, obtenga el valor experimental de Δv_{out} y compárelo con el valor teórico calculado a partir del valor de C, Δi_L y f_s .

Tabla 4.3: Análisis de la tensión de salida del regulador conmutado *boost* en función de δ .

t_{ON}	T	δ	V_{out} teórica	V_{out} real

4.3.2 Estudio de la tensión de salida en función de R_1

Este circuito de regulador conmutado no dispone de un sistema de control que regule el valor de δ en función de las variaciones de la carga o de la tensión de entrada, puesto que funciona *a circuito abierto*. En este apartado se estudia el comportamiento de la tensión de salida en función de la carga. Para realizarlo se elimina la variable global {tON} y se fija el valor de PW en $5 \mu s$. En el valor de la resistencia R_1 se pone el nombre de la variable global, por ejemplo {RVAL}⁴. Elija varios valores representativos para {RVAL} y con ellos realice la simulación temporal, obteniendo los valores de V_{out} , que se indicarán en la Tabla 4.4. Realice la justificación de los valores obtenidos. ¿Cuál es el valor de R_1 para los que la tensión de salida real tenga un rizado de 65 mV?

Tabla 4.4: Análisis de la tensión de salida del regulador conmutado *boost* en función de R_1 .

R_1	δ	V_{out} teórica	V_{out} real

⁴Se deberá editar un nuevo componente PARAM y poner la nueva variable en la configuración del análisis parametrico.

4.4 Simulación de un regulador reductor *buck* con sistema de control en modo tensión

En la Figura 4.3 se muestra un circuito regulador de tensión conmutado del tipo reductor con un circuito añadido que realiza el control en modo tensión. El objetivo del control es mantener constante la tensión de salida ante cambios de la carga y de la tensión de entrada. En este apartado se pide:

- En primer lugar realice la simulación en el caso de que la carga varíe desde $10\ \Omega$ hasta $5\ \Omega$, la tensión V_2 es de $+12\text{Vdc}$. Haga la representación gráfica de las tensiones del circuito de control: salidas de los amplificadores operacionales y del generador de diente de sierra. En una gráfica separada, represente la tensión de salida para cada valor de R_1 . Calcule el valor de la regulación de carga en $[\%/A]$.
- Finalmente, realice la simulación en el caso de que la tensión de entrada varíe desde $+12$ a $+14\text{V}$ y R_1 es $10\ \Omega$. Haga la representación gráfica de las tensiones del circuito de control: salidas de los amplificadores operacionales y del generador de diente de sierra. En una gráfica separada, represente la tensión de salida para cada valor de R_1 . Calcule el valor de la regulación de línea en $[\%/V]$.

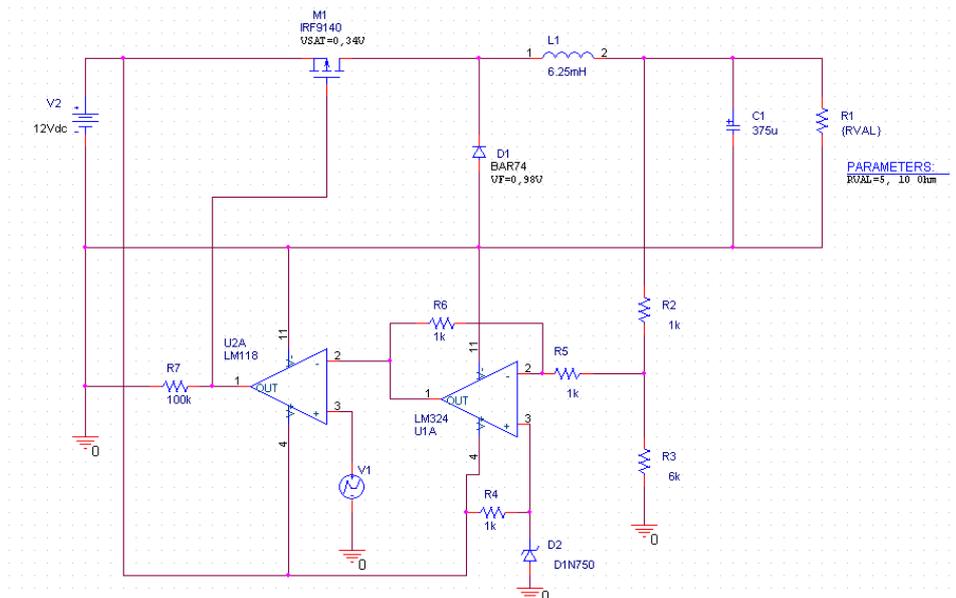


Figura 4.3: Circuito regulador conmutado reductor con control en modo tensión.

— Práctica Cinco —

Caracterización mediante SPICE de puertas TTL y CMOS

5.1 Introducción

En esta primera práctica de la parte digital de la asignatura se hará uso de simuladores de circuitos electrónicos basados en SPICE, un lenguaje que permite la descripción de circuitos electrónicos y microelectrónicos y su simulación. Se ha escogido el entorno de diseño y simulación Capture CIS de Cadence por ser uno de los más comúnmente empleados en el ámbito del diseño de circuitos electrónicos y microelectrónicos.

Se van a realizar simulaciones de circuitos lógicos que emplean puertas de la familia lógica TTL y otros que emplean puertas de la familia lógica CMOS. La principal característica de la primera de ellas es su velocidad frente al bajo consumo de la segunda.

5.2 Simulación de puertas TTL

Se va a emplear una puerta TTL estándar construida a partir de la estructura que se da en la teoría de la asignatura. Se trata de una puerta NAND TTL simplificada y construida a partir de resistencias, transistores bipolares y diodos comerciales que servirán para estimar el comportamiento de dicha puerta y efectuar las medidas necesarias a partir de las simulaciones correspondientes a cada uno de los apartados en que se descompone esta sesión de prácticas.

El modelo de transistor bipolar que se empleará en el apartado TTL es el 2N3904 (disponible en la biblioteca “bipolar”), mientras que el modelo de diodo es el 1N4002 (disponible en la biblioteca “diode”).

5.2.1 Tabla de verdad de una NAND TTL

Para la realización de la tabla de verdad de la puerta NAND, se emplearan dos fuentes ‘VPULSE’ extraídos de la biblioteca SOURCE. El circuito final resultante debe tener el aspecto de la Figura 5.1.

Para generar la señal correspondiente a cada uno de las entradas de la puerta NAND, hay que rellenar los campos que aparecen al hacer doble click sobre la fuente

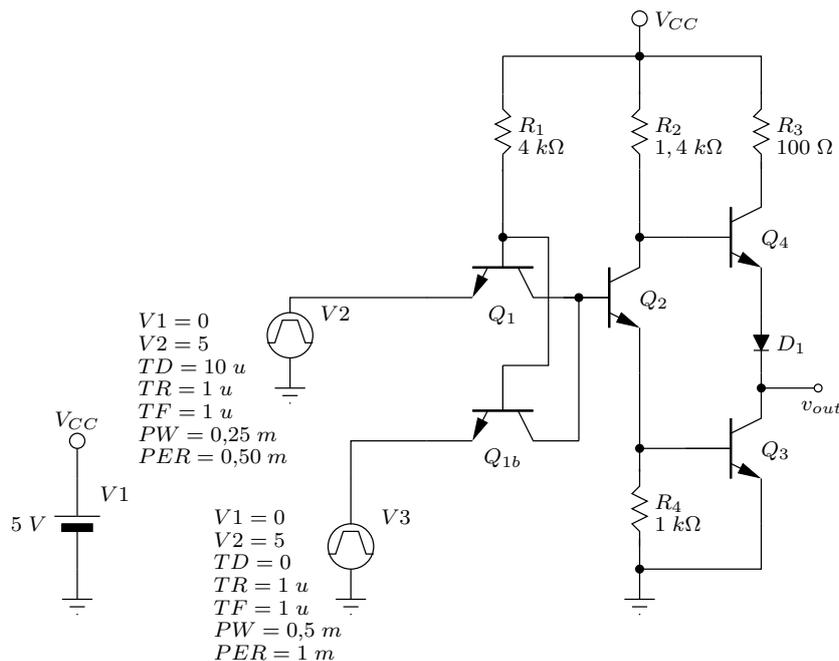


Figura 5.1: Circuito de comprobación de la tabla de verdad de una NAND TTL.

‘VPULSE’ seleccionada. Concretamente son los campos V1, V2, TD, TR, TF, PW y PER. Las señales generadas por las dos fuentes deben ser una de frecuencia doble de la otra para obtener todas las combinaciones necesarias en las dos entradas y generar la tabla de verdad.

Realice una simulación transitoria en la que se visualicen todos los estados posibles de las dos entradas así como la salida de la puerta NAND. Incluya las capturas de pantalla que considere necesarias para comprobar el tipo de simulación realizada y los resultados de simulación.

5.2.2 Característica de transferencia de una NAND TTL

En esta ocasión se cortocircuitan las dos entradas de la puerta NAND y se conectan a una fuente de continua (‘VDC’, de la biblioteca SOURCE) sobre la que se realizará un barrido DC. El circuito final resultante debe asemejarse al mostrado en la Figura 5.2.

Realice un barrido en continua para obtener la función de transferencia de la puerta NAND TTL. Incluya las capturas de pantalla que considere necesarias para comprobar el tipo de simulación realizada y los resultados de simulación.

5.2.3 Características estáticas de una NAND TTL

Sobre la gráfica resultante de la simulación anterior, puede marcar los puntos de la curva que permiten medir V_{ILmax} , V_{IHmin} , V_{OLmax} y V_{OHmin} de acuerdo al Anexo E. Complete la Tabla 5.1.

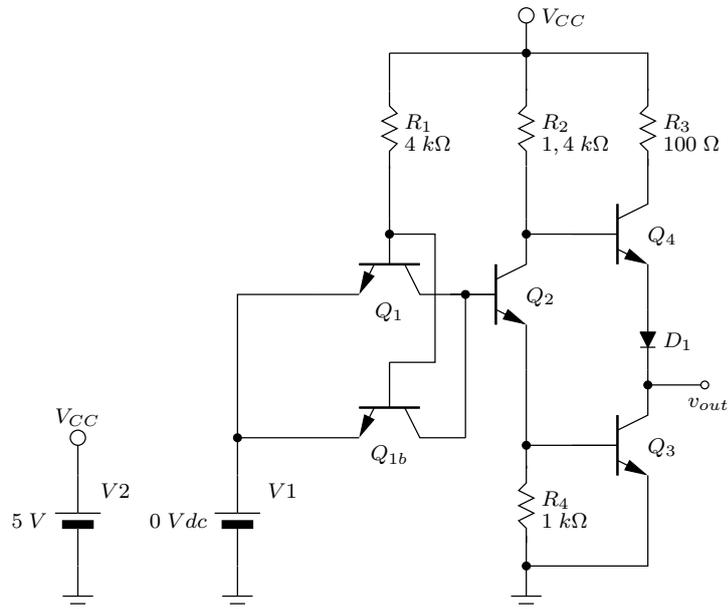


Figura 5.2: Circuito de comprobación de la característica de transferencia de una puerta NAND TTL.

Tabla 5.1: Medidas realizadas sobre la curva de transferencia NAND TTL.

Concepto	Valor
V_{OHmax}	
V_{OHmin}	
V_{OLmax}	
V_{OLmin}	
V_{ILmax}	
V_{ILmin}	
V_{IHmax}	
V_{IHmin}	
Margen de '0' (V_{IL})	
Margen de '1' (V_{IH})	
Margen de transición (V_T)	
Amplitud lógica (V_L)	

5.2.4 Potencia media disipada por una NAND TTL

Se puede obtener la potencia disipada por una puerta a través de la medida de corriente que demanda dicha puerta sin que se le conecte carga alguna a su salida. Es necesario medir la corriente demandada para los estados de salida en alta y en baja. Emplee el circuito de la Figura 5.3 para medir la corriente demandada por la puerta en sus dos estados de salida y calcular la potencia media disipada. Puede emplear una sonda de corriente en la fuente V1 para medir la corriente demandada por la puerta a la tensión de alimentación.

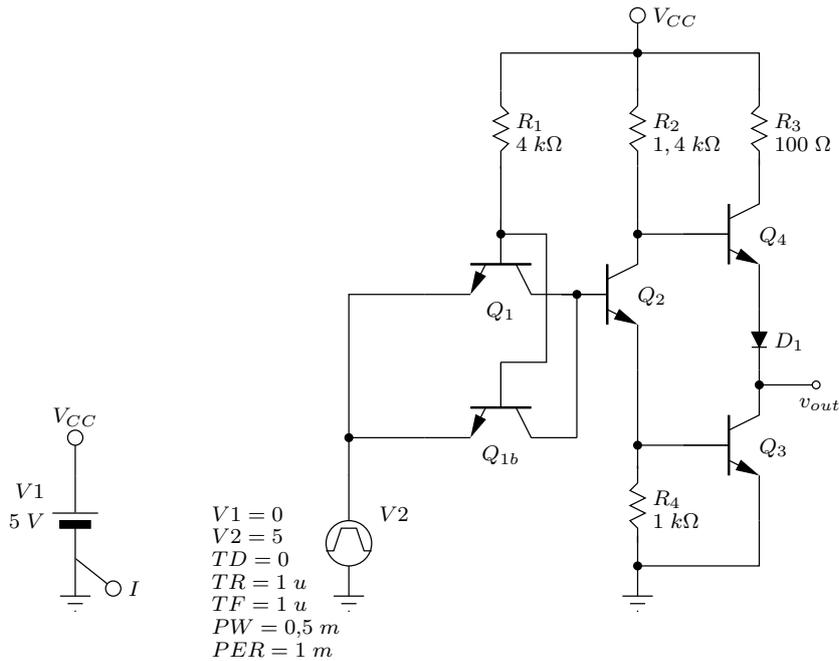


Figura 5.3: Circuito de medida de potencia consumida por una puerta NAND TTL.

Realice un análisis transitorio para visualizar la corriente que demanda la puerta NAND TTL en sus dos estados de salida. Incluya las capturas de pantalla que considere necesarias para comprobar el tipo de simulación realizada y los resultados de simulación.

Tabla 5.2: Potencia disipada en la NAND TTL.

Concepto	Valor
Corriente demandada a nivel alto (I_H) =	
Corriente demandada a nivel bajo (I_L) =	
Potencia disipada a nivel alto: $V_{CC} I_H$ =	
Potencia disipada a nivel bajo: $V_{CC} I_L$ =	
Potencia media disipada:	

5.2.5 Características dinámicas de una NAND TTL

A partir del circuito de la Figura 5.4, ejecute un análisis transitorio y realice las medidas necesarias entre los flancos de transición de la entrada y la salida de la puerta para obtener los tiempos de propagación (de acuerdo al Anexo E) de alta a baja (t_{pHL}) y de baja a alta (t_{pLH}), así como los tiempos de subida (t_{TLH}) y bajada (t_{THL}).

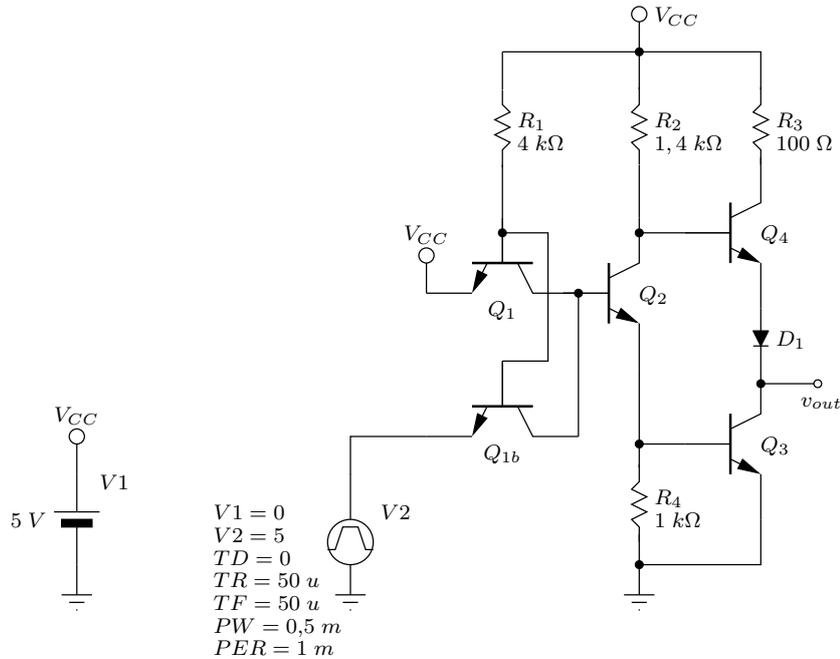


Figura 5.4: Caracterización dinámica de una puerta NAND TTL.

Complete la Tabla 5.3 con las medidas realizadas sobre los resultados de simulación.

Tabla 5.3: Medidas realizadas sobre la respuesta transitoria de la NAND TTL.

Concepto	Valor
t_{pHL}	
t_{pLH}	
t_{TLH}	
t_{THL}	

5.3 Simulación de puertas CMOS

De la misma forma que se ha simulado una puerta NAND TTL formada por dispositivos discretos, puede realizarse el análisis de una puerta NAND CMOS. En

este caso, el esquema de la puerta NAND CMOS es más sencillo ya que consta únicamente de cuatro transistores: 2 NMOS y 2 PMOS. Todos ellos se extraerán de la biblioteca BREAKOUT, que contiene modelos vacíos de cualquier componente. Posteriormente se editará el modelo de cada tipo de transistor para adecuarlo a las necesidades de esta práctica. Para el transistor NMOS, se toma el componente 'MBreakN', mientras que para el transistor PMOS se escoge el 'MBreakP'.

5.3.1 Tabla de verdad de una NAND CMOS

El circuito que se va a simular es parecido al empleado anteriormente para la puerta NAND TTL en cuanto a las fuentes empleadas para excitar las entradas de la puerta lógica, sustituyendo la estructura de transistores bipolares y resistencias por la conexión entre los cuatro transistores CMOS que conforman la puerta NAND CMOS (Figura 5.5). Con sendas fuentes 'VPULSE' de frecuencia apropiada se generan todas las posibles combinaciones de entrada para obtener la tabla de verdad de la puerta NAND CMOS.

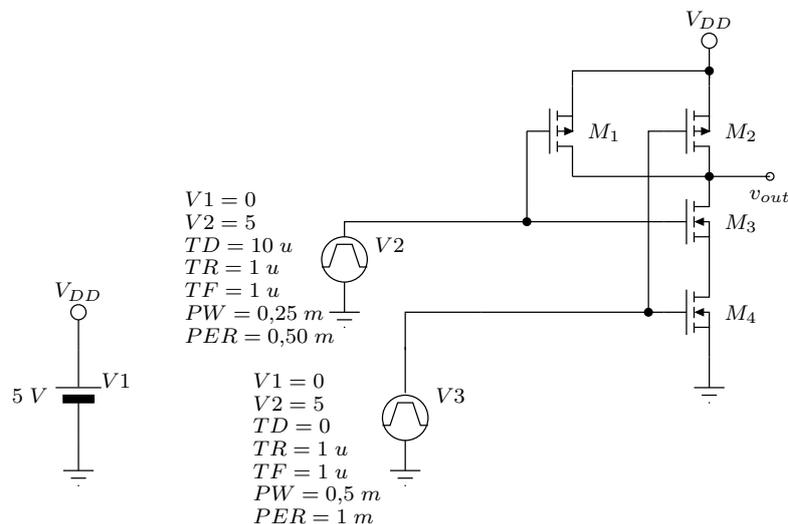


Figura 5.5: Circuito de comprobación de la tabla de verdad de una NAND CMOS.

Realice una simulación transitoria en la que se visualicen todos los estados posibles de las dos entradas así como la salida de la puerta NAND. Incluya las capturas de pantalla que considere necesarias para comprobar el tipo de simulación realizada y los resultados de simulación.

5.3.2 Característica de transferencia de una NAND CMOS

De la misma manera que se hizo con la puerta NAND TTL, se cortocircuitan las dos entradas de la puerta NAND CMOS y se conectan a una fuente de continua ('VDC', de la biblioteca SOURCE) sobre la que se realizará un barrido DC. El circuito final resultante debe asemejarse al mostrado en la Figura 5.6.

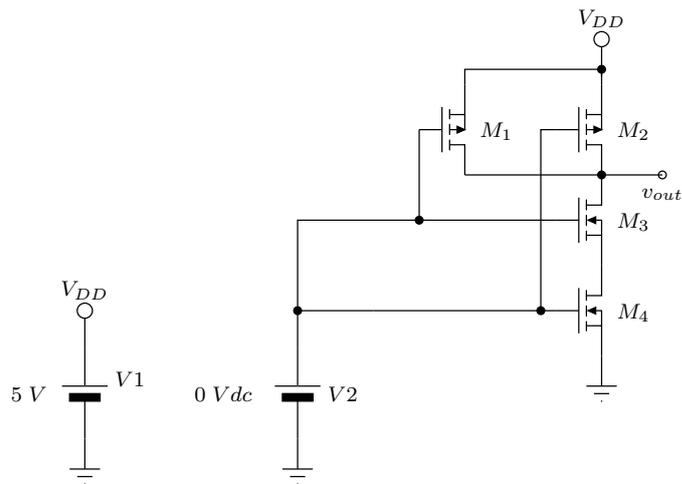


Figura 5.6: Circuito de comprobación de la característica de transferencia de una puerta NAND CMOS.

Realice un barrido en continua para obtener la función de transferencia de la puerta NAND CMOS. Incluya las capturas de pantalla que considere necesarias para comprobar el tipo de simulación realizada y los resultados de simulación.

5.3.3 Características estáticas de una NAND CMOS

Sobre la gráfica resultante de la simulación anterior, puede marcar los puntos de la curva que permiten medir V_{ILmax} , V_{IHmin} , V_{OLmax} y V_{OHmin} . Complete la Tabla 5.4.

Tabla 5.4: Medidas realizadas sobre la curva de transferencia NAND CMOS.

Concepto	Valor
V_{OHmax}	
V_{OHmin}	
V_{OLmax}	
V_{OLmin}	
V_{ILmax}	
V_{ILmin}	
V_{IHmax}	
V_{IHmin}	
Margen de '0' (V_{IL})	
Margen de '1' (V_{IH})	
Margen de transición (V_T)	
Amplitud lógica (V_L)	

5.3.4 Potencia media disipada por una NAND CMOS

Se realizará el mismo procedimiento empleado para medir el consumo de la puerta NAND TTL. Emplee el circuito de la Figura 5.7 para medir la corriente demandada por la puerta en sus dos estados de salida y calcular la potencia media disipada. Puede emplear una sonda de corriente en la fuente V1 para medir la corriente demandada por la puerta a la tensión de alimentación.

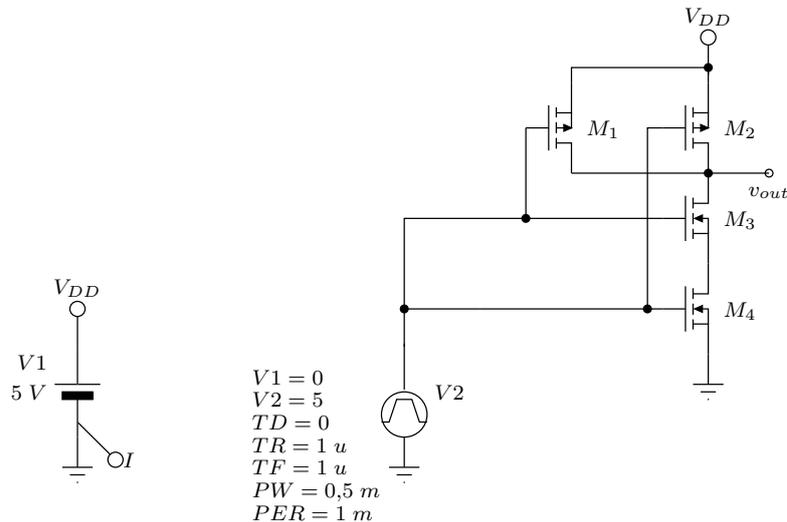


Figura 5.7: Circuito de medida de potencia consumida por una puerta NAND CMOS.

Realice un análisis transitorio para visualizar la corriente que demanda la puerta NAND TTL en sus dos estados de salida. Incluya las capturas de pantalla que considere necesarias para comprobar el tipo de simulación realizada y los resultados de simulación.

Tabla 5.5: Potencia disipada en la NAND CMOS.

Concepto	Valor
Corriente demandada a nivel alto (I_H) =	
Corriente demandada a nivel bajo (I_L) =	
Potencia disipada a nivel alto: $V_{DD} I_H$ =	
Potencia disipada a nivel bajo: $V_{DD} I_L$ =	
Potencia media disipada:	

5.3.5 Características dinámicas de una NAND CMOS

A partir del circuito de la Figura 5.8, realice un análisis transitorio y efectúe las medidas necesarias entre los flancos de transición de la entrada y la salida de la

puerta para obtener los tiempos de propagación de alta a baja (t_{pHL}) y de baja a alta (t_{pLH}), así como los tiempos de subida (t_{TLH}) y bajada (t_{THL}).

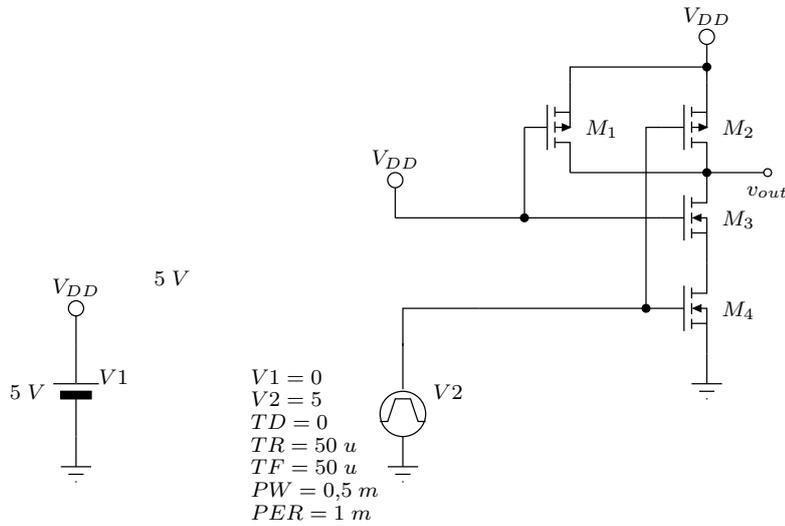


Figura 5.8: Caracterización dinámica de una puerta NAND CMOS.

Complete la Tabla 5.6 con las medidas realizadas sobre los resultados de simulación.

Tabla 5.6: Medidas realizadas sobre la respuesta transitoria de la NAND CMOS.

Concepto	Valor
t_{pHL}	
t_{pLH}	
t_{TLH}	
t_{THL}	

— Práctica Seis —

Medidas de características estáticas y dinámicas de puertas lógicas TTL y CMOS

Material necesario:

Circuitos integrados:	1 - 74LS00
	1 - 74HCT00
Resistencia:	1 - 1k Ω

6.1 Introducción

A la hora de desarrollar un circuito digital, el diseñador tiene que elegir la tecnología digital más apropiada para su diseño. Las tres principales tecnologías son: *Transistor-transistor Logic* (TTL), *Complementary Metal Oxide Semiconductor Logic* (CMOS) y *Emitter-Coupled Logic* (ECL). La tecnología CMOS está basada en transistores MOS, mientras que las tecnologías TTL y ECL lo están en transistores bipolares. Entre las tecnologías TTL, ECL y CMOS, la elección es fácil si se pretende únicamente conseguir un bajo consumo en el diseño. Puesto que en la actualidad existen más de cuatro subfamilias ECL y seis subfamilias TTL y CMOS, elegir una tecnología puede ser una tarea compleja. Todas estas tecnologías presentan distintas características para diferentes aplicaciones, como por ejemplo:

- Las zonas de funcionamiento del dispositivo (márgenes de tensiones lógicas, márgenes de ruido, amplitud lógica, ...).
- La cantidad de puertas que se pueden conectar a una salida de un dispositivo.
- La frecuencia máxima de funcionamiento.

Por lo tanto, es importante que el diseñador conozca cada una de estas tecnologías con el fin de desarrollar su circuito con la más apropiada.

Esta práctica consiste en manejar circuitos digitales reales de distintas tecnologías con el fin de entender sus principales características funcionales. Se caracterizará la misma puerta lógica de una subfamilia TTL y de una subfamilia CMOS. Para ello, se hará uso de los Anexos **D** y **E**.

6.2 Medidas con puertas TTL

6.2.1 Tabla de verdad de una puerta NAND de un CI 74LS00

Rellene la columna F de la Tabla 6.1 del CI 74LS00 de la Figura D.2 (Anexo D). Para ello, deberá medir la tensión de salida F de una puerta NAND mediante un multímetro para las cuatro combinaciones posibles de entrada A y B . Por ejemplo, se puede elegir los pines 1, 2 y 3 para A , B y F , respectivamente. Los pines 14 (+Vcc) y 7 (GND) se conectan, respectivamente, a +5 V y masa.

Para un circuito LS-TTL comercial, un nivel lógico bajo (0 o L) corresponde a una tensión inferior a 0.8V (véase Tabla D.1 del Anexo D). Entonces, la(s) entrada(s) (pin 1 y/o 2) implicada(s) por dicho nivel se puede(n) conectar directamente a masa. Por otro lado, un nivel lógico alto (1 o H) tiene que ser superior a una tensión de 2V y la(s) entrada(s) implicadas por dicho nivel, se conecta(n) directamente a +Vcc=5V.

Tabla 6.1: Tabla de verdad de una puerta NAND de un CI 74LS00.

A	B	F
0	0	
0	1	
1	0	
1	1	

6.2.2 Característica de transferencia de una puerta NAND TTL de un CI 74LS00

La característica de transferencia de una puerta NAND se obtiene midiendo la tensión de salida de la puerta NAND en función de la variación de la tensión en la entrada de la puerta NAND. El circuito experimental es el de la Figura 6.1. Se

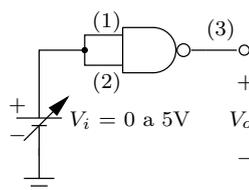


Figura 6.1: Medida de la característica de transferencia de una puerta NAND TTL de un CI 74LS00 (entre paréntesis se muestra las conexiones de las patillas).

conectan entre si los pines 1 y 2 de las dos entradas de la puerta NAND a una fuente variable de tensión continua V_i . La característica de transferencia se obtiene conectando un multímetro entre la salida de la puerta NAND (pin 3) y la masa. El multímetro tiene que estar en la posición DC , puesto que las tensiones que se van a medir son continuas.

Mida las tensiones de salida V_o de la puerta NAND TTL variando la tensión de entrada V_i entre 0 V y 5 V de la fuente continua. Con los datos obtenidos, dibuje la gráfica de la característica de transferencia de la puerta NAND TTL. Los datos de las tensiones de entrada V_i y de salida V_o estarán respectivamente situados en los ejes x e y de la gráfica.

6.2.3 Características estáticas de una puerta NAND TTL de un CI 74LS00

A partir de la característica de transferencia de la puerta NAND TTL medida anteriormente, determine las siguientes características estáticas según el Anexo E:

- Tensión de entrada nivel bajo máximo: $V_{ILmax} =$
- Tensión de entrada nivel alto mínimo: $V_{IHmin} =$
- Tensión de salida nivel bajo máximo: $V_{OLmax} =$
- Tensión de salida nivel alto mínimo: $V_{OHmin} =$
- Margen del cero =
- Margen del uno =
- Margen de transición =
- Amplitud lógica =

6.2.4 Potencia media disipada por una puerta NAND TTL de un CI 74LS00

La potencia disipada de una puerta se obtiene midiendo la intensidad que consume el circuito para el nivel alto y el nivel bajo sin conectar ninguna carga a su salida. Para obtener la intensidad que consume las cuatro puertas NAND de un CI 74LS00 para las salidas al nivel alto (H), se conecta todas las entradas del CI a masa como en la Figura 6.2(a), se mide la tensión V_R con un multímetro (posición DC y Voltios) y se determina la corriente: $I_H = V_R / R$. Del mismo modo, se obtiene la intensidad consumida por las cuatro puertas NAND para las salidas al nivel bajo (L), midiendo la tensión V_R con todas las entradas del CI a +Vcc como en la Figura 6.2(b) y se determina la corriente: $I_L = V_R / R$.

Determine las potencias disipadas por una puerta NAND TTL de un CI 74LS00 (siendo $I_{CC} = \frac{I_H + I_L}{2}$):

- Potencia disipada por una puerta para una salida a nivel alto: $P_H = \frac{V_{CC} I_H}{4} =$
- Potencia disipada por una puerta para una salida a nivel bajo: $P_L = \frac{V_{CC} I_L}{4} =$
- Potencia media disipada por una puerta: $P_{Dmedia} = \frac{V_{CC} I_{CC}}{4} =$

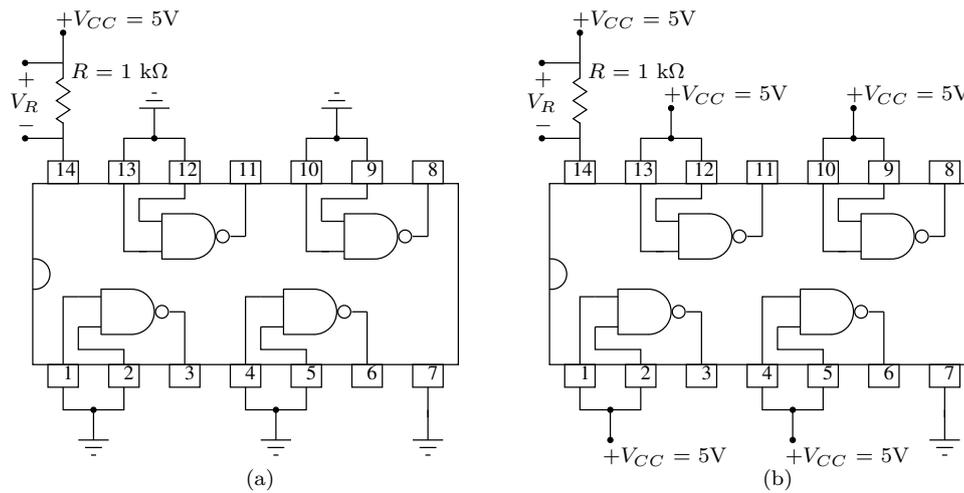


Figura 6.2: Montajes para medir la potencia disipada. (a) Para salidas a nivel alto (H). (b) Para salidas a nivel bajo (L)

6.2.5 Características dinámicas de una puerta NAND TTL de un CI 74LS00

En este apartado, se realiza las medidas de los tiempos de retardo para una puerta lógica NAND de un CI 74LS00. Para ello, se debe tener en cuenta dos consideraciones debido a las limitaciones de la instrumentación. La primera es que se conecta cuatro puertas NAND en serie y la segunda es que la señal cuadrada del generador de señales sólo debe tener valores positivos de 0 a 5V. Para ello, se conecta el generador de señales en la salida TTL. A continuación, se realiza el montaje de la Figura 6.3. Se ajusta la frecuencia de la señal cuadrada del generador de señales a 100 kHz. Esta señal se conecta en la entrada de la primera puerta NAND y al canal 1 del osciloscopio. El canal 2 del osciloscopio se conecta a la salida de la cuarta puerta NAND. Si la señal de entrada no proporciona una señal cuadrada de 0-5 V, desconecte la salida TTL del generador de señales y las entradas (1) y (2) de la puerta NAND del montaje. Conecte el generador de señales en la salida analógica de 50 Ω . Ajuste los controles de *OFFSET* y de amplitud con el fin de obtener la señal cuadrada deseada: 0-5 V. Una vez conseguida esta señal (visualizada en el osciloscopio), vuelva a conectar las entradas (1) y (2) de la puerta TTL al generador de señal.

Ajuste el tiempo de barrido del osciloscopio de manera que se pueda visualizar el retardo entre la entrada y la salida cuando la entrada realice una transición desde un estado bajo a un estado alto, y represéntelo en una gráfica. Para visualizar mejor el retardo, puede activar la opción *X-MAG* del osciloscopio.

Del mismo modo, represente en otra gráfica el retardo entre la entrada y la salida cuando la entrada realiza una transición desde un estado alto a un estado bajo.

A partir de estas dos gráficas y con la información del Anexo E, determine los siguientes tiempos:

- Para los flancos de subida de la entrada: t_{pLH} , t_{DLH} y t_{TLH} .

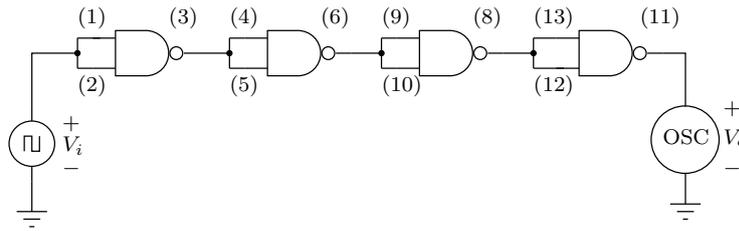


Figura 6.3: Montaje para medir las características dinámicas de cuatro puertas NAND TTL de un CI 74LS00.

- Para los flancos de bajada de la salida: t_{pHL} , t_{DHL} y t_{THL} .

Con los datos obtenidos rellene la Tabla 6.3 para una puerta NAND TTL, teniendo en cuenta que es preciso dividir por cuatro los resultados anteriores.

Tabla 6.2: Retardos de propagación de una puerta NAND TTL de un CI 74LS00.

Concepto	Símbolo	Valor
Tiempo de propagación para el crecimiento de la señal de salida	t_{pLH}	
Tiempo de propagación para el decrecimiento de la señal de salida	t_{pHL}	
Tiempo de transición para el crecimiento de la señal de salida	t_{DLH}	
Tiempo de transición para el decrecimiento de la señal de salida	t_{DHL}	
Tiempo de subida	t_{TLH}	
Tiempo de bajada	t_{THL}	

- Finalmente, determine el producto (potencia disipada) x (retardo de propagación) =

6.3 Medidas con puertas CMOS

6.3.1 Característica de transferencia de una puerta NAND CMOS de un CI 74HCT00

Del mismo modo que la puerta LS-TTL, a continuación se mide la tensión de salida de una puerta NAND CMOS en función de la variación de la tensión de entrada para obtener su característica de transferencia. El circuito experimental es idéntico a la Figura 6.1, debido a la compatibilidad de estos dos CIs.

Mida las tensiones de salida V_o de la puerta NAND CMOS variando la tensión de entrada V_i entre 0 V y 5 V de la fuente continua. Con los datos obtenidos, dibuje la gráfica de la característica de transferencia de la puerta NAND CMOS.

Compare la característica de transferencia de la puerta NAND CMOS con la de la puerta NAND TTL. ¿A qué son debidas las diferencias?

6.3.2 Características estáticas de una puerta NAND CMOS de un CI 74HCT00

A partir de la característica de transferencia de la puerta NAND CMOS medida anteriormente, determine las siguientes características estáticas según el Anexo E:

- Tensión de entrada nivel bajo máximo: $V_{ILmax} =$
- Tensión de entrada nivel alto mínimo: $V_{IHmin} =$
- Tensión de salida nivel bajo máximo: $V_{OLmax} =$
- Tensión de salida nivel alto mínimo: $V_{OHmin} =$
- Margen del cero =
- Margen del uno =
- Margen de transición =
- Amplitud lógica =

6.3.3 Potencia media disipada por una puerta NAND CMOS de un CI 74HCT00

A partir de los dos montajes de la Figura 6.2 y sustituyendo el CI 74LS00 por el CI 74HCT00, determine las potencias disipadas para una puerta NAND CMOS de un CI 74HCT00 (siendo $I_{CC} = \frac{I_H + I_L}{2}$):

- Potencia disipada por una puerta para una salida a nivel alto: $P_H = \frac{V_{CC} I_H}{4} =$
- Potencia disipada por una puerta para una salida a nivel bajo: $P_L = \frac{V_{CC} I_L}{4} =$
- Potencia media disipada por una puerta: $P_{Dmedia} = \frac{V_{CC} I_{CC}}{4} =$
- Compare los resultados con aquellos obtenidos con el CI TTL 74LS00.

6.3.4 Características dinámicas de una puerta NAND CMOS de un CI 74HCT00

El montaje experimental es idéntico al de la Figura 6.3, sustituyendo el CI 74LS00 por el CI 74HCT00. Ajuste la frecuencia del generador de señales a 100 kHz. Esta señal se conecta en la entrada de la primera puerta NAND y al canal 1 del osciloscopio. El canal 2 del osciloscopio se conecta a la salida de la cuarta puerta NAND. Si la señal de entrada no proporciona una señal cuadrada de 0-5 V, desconecte la salida TTL del generador de señales y las entradas (1) y (2) de la puerta NAND del montaje. Conecte el generador de señales en la salida analógica de 50 Ω . Ajuste los controles de *OFFSET* y de amplitud con el fin de obtener la señal cuadrada deseada: 0-5 V. Una vez conseguida esta señal (visualizada en el osciloscopio), vuelva a conectar las entradas (1) y (2) de la puerta TTL al generador de señal.

Ajuste el tiempo de barrido del osciloscopio de manera que se pueda visualizar el retardo entre la entrada y la salida cuando la entrada realice una transición desde un estado bajo a un estado alto, y represéntelo en una gráfica. Para visualizar mejor el retardo, puede activar la opción *X-MAG* del osciloscopio.

Del mismo modo, represente en otra gráfica el retardo entre la entrada y la salida cuando la entrada realiza una transición de un estado alto a un estado bajo.

A partir de estas dos gráficas y con la información del Anexo E, determine los siguientes tiempos:

- Para los flancos de subida de la entrada: t_{pLH} , t_{DLH} y t_{TLH} .
- Para los flancos de bajada de la salida: t_{pHL} , t_{DHL} y t_{THL} .

Con los datos obtenidos rellene la Tabla 6.3 para una puerta NAND CMOS, teniendo en cuenta que es preciso dividir por cuatro los resultados anteriores.

Concepto	Símbolo	Valor
Tiempo de propagación para el crecimiento de la señal de salida	t_{pLH}	
Tiempo de propagación para el decrecimiento de la señal de salida	t_{pHL}	
Tiempo de transición para el crecimiento de la señal de salida	t_{DLH}	
Tiempo de transición para el decrecimiento de la señal de salida	t_{DHL}	
Tiempo de subida	t_{TLH}	
Tiempo de bajada	t_{THL}	

Tabla 6.3: Retardos de propagación de una puerta NAND CMOS de un CI 74HCT00.

- Determine el producto (potencia disipada) x (retardo de propagación) =
- Compare los resultados con aquellos obtenidos con el CI TTL 74LS00.

— Práctica Siete —

Simulación de funciones lógicas con PSpice

7.1 Introducción

En esta práctica se realizará la simulación de circuitos digitales combinacionales a nivel de puerta con el simulador PSpice. A partir de la expresión booleana que define el comportamiento del circuito se realizará la síntesis de éste, empleando puertas lógicas. Posteriormente se simplificará, para mejorar las prestaciones del circuito implementado (área, consumo, frecuencia de funcionamiento, ...) y para facilitar su verificación. Finalmente, se analizarán los resultados, observando los retardos producidos en la propagación de las señales, y se determinará la aparición de valores espúreos (*glitches*) y se aprenderá cómo eliminarlos, para diseñar circuitos libres de azares.

Los objetivos de esta práctica son:

- Localizar y visualizar los modelos temporales y de I/O de las puertas utilizadas en el diseño.
- Realizar simulaciones a nivel de puerta utilizando diferentes retardos (mínimo, típico y máximo).
- Visualizar las formas de onda resultantes de la simulación digital.
- Determinar el tiempo de respuesta de un circuito.
- Detectar *glitches* y aprender a eliminarlos.

7.1.1 Riesgos de diseño: Causas y mecanismos de corrección

Un riesgo corresponde a un malfuncionamiento en el diseño de un circuito bajo una determinada condición de funcionamiento. También se le denomina *glitch*, *hazard* o *pulso espurio*. Los riesgos generan pequeños pulsos (de corta duración) indeseables que aparecen en las salidas. Este fenómeno ocurre cuando las señales que recorren los diferentes caminos en un circuito digital tienen diferentes tiempos de propagación. Los riesgos se pueden evitar mediante los siguientes métodos:

- Esperando hasta que las señales se estabilicen, utilizando una señal de reloj.

- No utilizando entradas asíncronas.
- Diseñando circuitos libres de riesgos.

No siempre es posible eliminar riesgos con los dos primeros métodos. Por ello, en esta práctica nos centraremos en el diseño de circuitos libres de riesgos.

Los riesgos se pueden agrupar en estáticos y dinámicos, Figura 7.1

- Riesgos estáticos:
 - Riesgo estático de 1: Un cambio en la entrada produce en la salida una transición de 1 a 0 a 1. Durante un pulso de corta duración, la salida vale 0 cuando debería permanecer a 1.
 - Riesgo estático de 0: Un cambio en la entrada produce en la salida una transición de 0 a 1 a 0. Durante un pulso de corta duración, la salida vale 1 cuando debería permanecer a 0.
- Riesgos dinámicos: Los riesgos dinámicos se caracterizan cuando un cambio en la entrada produce una doble transición en la salida del tipo 0-1-0-1 o del tipo 1-0-1-0. Los riesgos dinámicos se producen cuando una variable se propaga a través del diseño circuital por dos caminos diferentes y con diferentes retardos.



Figura 7.1: Tipos de riesgos: a) riesgo estático de 1, b) riesgo estático de 0, c) y d) riesgos dinámicos.

Para diseñar circuitos libres de azares se debe evitar que en el mapa de Karnaugh aparezcan 1s contiguos que no se encuentren en el mismo grupo. Los riesgos se producen cuando el circuito pasa de un estado 1 de un grupo a otro estado 1 de un grupo distinto. Por tanto, los riesgos se pueden suprimir introduciendo redundancias en forma de grupos adicionales que contengan aquellas celdas contiguas con valor 1 que no se encontraban en el mismo grupo, a costa de aumentar el número de puertas lógicas del circuito.

7.2 Implementación de una función combinacional con puertas lógicas AND-OR-NOT

En esta práctica se comprobará cómo el diseño que se ha realizado para implementar la función booleana $F1 = AB\bar{C} + A\bar{B}\bar{C} + \bar{A}BC + ABC$, presenta riesgos. A partir del esquemático, se pide:

1. Simular el circuito para comprobar su funcionamiento. Crear el perfil de simulación de manera que en el análisis transitorio se visualicen hasta $4\ \mu\text{s}$. Realizar simulaciones temporales para retardos mínimo, típico y máximo (Se configuran en: **Simulation Settings/Options/Gate-level Simulation/Timing Mode**) y visualizar la formas de onda de los tres relojes digitales y del nodo de salida del circuito. Identificar para cada retardo temporal, cuáles son las combinaciones de las entradas en las que se produce el riesgo. ¿Cuál es el tipo de riesgo?
2. En el caso de la simulación con retardo máximo, se medirán los retardos entre la entrada y la salida de la puerta NOT. Estos son los retardos de propagación t_p .
3. Se localizarán los modelos temporales para obtener los valores de t_{plhmx} y t_{phlmx} de la puerta 7404. Para ello, en la página del esquemático, se selecciona la puerta NOT 7404 (comprobar que ésta queda resaltada entre marcas de trazos). A continuación, en la pestaña de menú **Edit** se abre **PSpice Model** (el Editor de Modelos). En la nueva ventana se puede observar la información de conexionado del subcircuito del 7404, y que los datos temporales están almacenados en **D_04**. Para encontrar estos datos en la pestaña **File** (del Editor de Modelos) se selecciona **Open** y se busca el archivo **7400.lib** en el path **C:/Cadence/PSD_14.2/tools/pspice/library/**. Este archivo tiene información temporal de toda la familia TTL estándar, por ello también se pueden obtener los valores temporales de las puertas 7400 (**D_00**), 7408 (**D_08**) y 7432 (**D_32**), que se utilizarán en esta práctica.
4. Realizar la simulación temporal para el retardo máximo y visualizar las formas de onda en todos los nodos del circuito. ¿Cuánto tarda la salida del circuito $F1$ en responder a los cambios de las entradas? Justificar por qué aparece el riesgo y determinar el instante en el que ocurre, la combinación de las entradas y su duración. Comparar los valores obtenidos con los valores temporales t_{plhmx} y t_{phlmx} de la familia TTL estándar.

7.3 Eliminación de *riesgos*

Dada la función $F1$ anterior, se desea realizar el diseño del un circuito que implemente dicha función pero que ahora esté libre de riesgos:

1. Simplificar de nuevo la función $F1$ mediante el mapa de Karnaugh, introduciendo las redundancias necesarias para evitar la aparición de *riesgos*.
2. Dibujar el esquemático del circuito lógico que corresponde a la nueva función $F2$, empleando puertas AND de 2 entradas, OR de 2 entradas y NOT de tecnología TTL estándar.
3. Simular el circuito que implementa la función $F2$ en PSpice, utilizando los mismos relojes digitales y el mismo perfil de simulación del apartado anterior.

4. Visualizar los resultados obtenidos con el retardo máximo, y representar las formas de onda resultantes en todos los nodos del circuito. ¿Cuál es ahora el tiempo de respuesta de la salida del circuito frente a los cambios de las entradas, comparar con los valores obtenidos en el apartado anterior? ¿Aparecen *riesgos* en las ondas visualizadas? En caso afirmativo, justificar por qué aparecen y determinar el instante en el que ocurren y su duración.

7.4 Implementación de una función combinacional con puertas lógicas NAND

Dada la función $F2$ del apartado anterior, implementada para evitar riesgos, se pide:

1. Convertir el circuito de la función $F2$ en una nueva función $F3$ empleando únicamente puertas NAND de 2 entradas.
2. Dibujar en Capture y simular el circuito en PSpice empleando puertas de tecnología TTL estándar del tipo 7400, utilizando los mismos relojes digitales y perfil de simulación que en los apartados anteriores. El profesorado indicará la manera de agrupar las puertas NAND.
3. Realizar simulaciones temporales para retardos mínimo, típico y máximo, representando las formas de onda de los tres relojes digitales y del nodo de salida del circuito. ¿Aparecen los mismos *riesgos* en las ondas visualizadas? ¿Aparecen nuevos riesgos? En caso afirmativo, justificar por qué aparecen y cuál es su tipo.
4. Realizar la simulación temporal para el retardo máximo y visualizar las formas de onda en todos los nodos del circuito. ¿Cuánto tarda la salida del circuito $F3$ en responder a los cambios de las entradas? Determinar el instante en el que ocurre, la combinación de las entradas y su duración. Comparar los valores obtenidos con los valores temporales $t_{plhm\alpha}$ y $t_{phlm\alpha}$ de la familia TTL estándar.
5. Realizar modificaciones circuitales sobre el esquema de la función $F3$ de manera que esté libre de cualquier *riesgo*. Esta nueva función $F4$ será simulada para comprobar la eliminación de cualquier tipo de *riesgo*.

— Práctica Ocho —

Montajes de funciones combinatoriales no aritméticas

Material necesario:

Circuitos integrados:	2 - 74LS00 1 - 74LS48 1 - 74LS151
Resistencia:	1 - 1k Ω
Un display de 7 segmentos	

8.1 Introducción

Los circuitos integrados (CI) digitales combinatoriales MSI (Medium Scale Integration) se componen de varios dispositivos (resistencias, condensadores, diodos y transistores) interconectados, que responden a una función electrónica definida. Las ventajas de estos circuitos integrados son:

- Reducción de coste.
- Disminución de los errores de montaje e interconexión de componentes.
- Reducción de tiempo para localizar averías.
- Aumento de la fiabilidad.
- Respuesta mucho más rápida.
- Reducción de señales parásitas, ruido, etc.

Esta práctica consiste en manejar CIs del tipo MSI con el fin de entender sus principales características funcionales, extraídas de las tablas de verdad (o tablas funcionales) de las hojas características de los fabricantes. Los CIs que se utilizarán son: decodificador BCD/7 segmentos y el multiplexor.

8.2 *Display* de 7 segmentos

La lógica binaria permite generar numerosas funciones con combinaciones de 1s y 0s. Una de ellas es representar letras y números mediante un código específico. La interpretación por un usuario de esos códigos binarios no es fácil, por lo que se nece-

sita circuitos decodificadores para convertirlos en otros que puedan ser reconocibles. Uno de los sistemas de representación más sencillo es el *display*.

La Figura 8.1 muestra un *display* de siete segmentos con un punto en la parte inferior derecha. Este *display* es el más sencillo. Se utiliza para representar algunos caracteres alfanuméricos. Estos segmentos son en realidad diodos *LED* (diodo electroluminiscente) que pueden activarse individualmente. Si se desea representar la letra *A* en mayúscula, se deben activar todos los segmentos menos el segmento *d*. Para representar el número 1, se activarían los segmentos *b* y *c*.

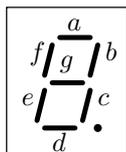


Figura 8.1: *Display* de 7 segmentos.

Según la lógica positiva o negativa, se puede emplear uno de los dos tipos de *displays* disponibles. Para la lógica positiva, se utilizará los *displays* de cátodo común y cada *LED* se activará cuando tenga en sus bornes (a, \dots, g) un nivel lógico alto H. Los *displays* de ánodo común se montan en circuito con lógica negativa y cada *LED* se activará cuando tenga en sus bornes un nivel lógico bajo L.

La luminosidad del *LED* depende de la polarización externa y de la corriente que circula a través de ella. La corriente máxima que puede circular por los *LEDs* depende de las características del modelo del *display*, siendo suficiente una corriente que generalmente no supera los 50 mA. Para limitar la corriente a su valor nominal, el usuario deberá añadir una resistencia externa de polarización y calcular su valor para cada aplicación. No se debe nunca conectar los *displays* sin resistencia de polarización. Durante las prácticas se utilizaran *display* de cátodo común. Consulte las hojas de características del fabricante para conocer su esquema de conexiones.

Tabla 8.1: Tabla de verdad del decodificador BCD/7 segmentos.

Decimal	Código BCD				Salidas 7 segmentos						
	<i>D</i>	<i>C</i>	<i>B</i>	<i>A</i>	<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>	<i>e</i>	<i>f</i>	<i>g</i>
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1

8.3 Implementación de un decodificador BCD/7 segmentos con un CI específico: 74LS48

En el mercado, existen CIs decodificadores BCD/7 segmentos que facilitan la decodificación y visualización de caracteres alfanuméricos en un display de 7 segmentos. Estos CIs son de dos tipos: los de ánodo común, como por ejemplo el 74LS47, con las salidas activas a nivel lógico bajo para utilizarlos junto con *displays* de ánodo común, y los de cátodo común, como por ejemplo el 74LS48, con las salidas activas a nivel lógico alto que se conectan a los *displays* de cátodo común.

Realice las conexiones del 74LS48 con el *display* y visualice el correcto funcionamiento de los *LEDs* activando distintos códigos BCD. La tabla de verdad y las conexiones del 74LS48 están descritas en las hojas características del fabricante.

Como ejemplos de verificación, se pueden tomar los siguientes valores:

- Para el valor decimal 3, el segmento *b* del *display* (Tabla 8.1) debe estar encendido y, por consiguiente, la salida del circuito tiene que estar al nivel lógico alto H.
- Para el valor decimal 6, el segmento *b* del *display* (Tabla 8.1) debe estar apagado y, por consiguiente, la salida del circuito tiene que estar al nivel lógico bajo L.

8.4 Implementación de un decodificador BCD/7 segmentos con multiplexores

La función de un multiplexor consiste en dirigir una información digital procedente de diferentes fuentes de entrada hacia una única línea de salida para ser transmitida a través de dicha línea a un destino común. También se puede utilizar el multiplexor para implementar funciones lógicas como se experimenta en esta práctica.

El circuito integrado de un multiplexor tiene 2^n líneas de entradas de datos, n entradas de selección de datos y una única línea de salida. En el caso del multiplexor 74LS151 (Figura 8.2), éste posee ocho entradas de datos (I_0, \dots, I_7) y, por consiguiente, tres entradas de selección de datos (S_0, S_1, S_2). La entrada de selección de datos S_0 corresponde al bit de menor peso. La salida del multiplexor es Z y se facilita también el acceso a su negada \bar{Z} . Este multiplexor posee una entrada de habilitación (\bar{E}) activa al nivel lógico bajo L. Un nivel lógico bajo L en la entrada de habilitación ($\bar{E}=L$) permite a los datos en la entrada seleccionada (mediante las entradas de selección de datos) pasar a la salida Z . Por lo contrario, un nivel lógico alto H en la entrada de habilitación ($\bar{E}=H$), inhabilita el pase de datos de cualquier entrada seleccionada a la salida. Consulte las hojas de características del fabricante de este integrado.

La función lógica de salida del multiplexor integrado 74LS151 es la siguiente:

$$Z = \bar{E}(I_0 \bar{S}_2 \bar{S}_1 \bar{S}_0 + I_1 \bar{S}_2 \bar{S}_1 S_0 + I_2 \bar{S}_2 S_1 \bar{S}_0 + I_3 \bar{S}_2 S_1 S_0 + I_4 S_2 \bar{S}_1 \bar{S}_0 + I_5 S_2 \bar{S}_1 S_0 + I_6 S_2 S_1 \bar{S}_0 + I_7 S_2 S_1 S_0)$$

Diseñe las conexiones del multiplexor 74LS151 para que realice la función del segmento *b* del decodificador BCD de 7 segmentos. Como se podrá comprobar mediante el mapa de Karnaugh, la función simplificada del segmento *b* es la siguiente:

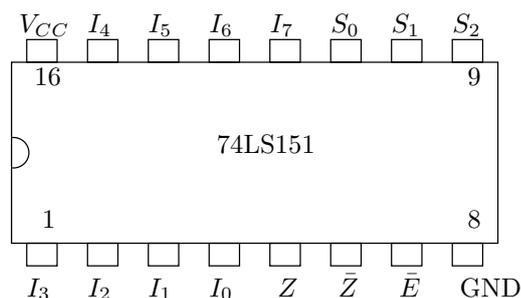


Figura 8.2: Conexiones del multiplexor 74LS151.

$$b = \bar{C} + \bar{A} \bar{B} + A B$$

Realice el montaje y conecte en la salida Z un multímetro. Introduzca distintos códigos BCD y verifique el buen funcionamiento de su circuito. Como ejemplos de verificación, se pueden tomar los siguientes valores:

- Para el valor decimal 3, el segmento b del *display* (Tabla 8.1) debe estar encendido y, por consiguiente, la salida Z del multiplexor tiene que estar al nivel lógico alto H.
- Para el valor decimal 6, el segmento b del *display* (Tabla 8.1) debe estar apagado y, por consiguiente, la salida Z del multiplexor tiene que estar al nivel lógico bajo L.

8.5 Implementación de un decodificador BCD/7 segmentos con puertas NAND

La última tarea de esta práctica consiste en la implementación de un decodificador BCD/7 segmentos con puertas NAND de dos entradas. La Tabla 8.1 muestra la relación entre cada segmento del *display* (a, \dots, g) y el código BCD (D, C, B, A).

Aun simplificando las funciones de todos los segmentos del *display*, el montaje en una sesión de prácticas del circuito decodificador BCD/7 segmentos en una placa de prototipado resultaría una tarea difícil, debido a las numerosas conexiones y puertas lógicas necesarias. Por ello en esta práctica, se elige implementar un único segmento, como por ejemplo el segmento b :

$$b = \bar{C} + \bar{A} \bar{B} + A B$$

Aplicando los teoremas de De Morgan, se consigue la siguiente función del segmento b simplificada con puertas NAND de dos entradas:

$$b = C \cdot \overline{\bar{A} \bar{B}} \cdot \overline{A B}$$

Realice el montaje del segmento b con puertas NAND de dos entradas y conecte en la salida un multímetro. Introduzca distintos códigos BCD y verifique el buen

funcionamiento de su circuito. Como ejemplos de verificación, se pueden tomar los siguientes valores:

- Para el valor decimal 3, el segmento *b* del *display* (Tabla 8.1) debe estar encendido y, por consiguiente, la salida del circuito tiene que estar al nivel lógico alto H.
- Para el valor decimal 6, el segmento *b* del *display* (Tabla 8.1) debe estar apagado y, por consiguiente, la salida del circuito tiene que estar al nivel lógico bajo L.

— Práctica Nueve —

Síntesis de funciones lógicas aritméticas

Material necesario:

Circuitos integrados 2 - 74LS00

9.1 Introducción

En esta práctica se va a diseñar un sumador de 1 bit para ser implementado utilizando exclusivamente puertas NAND. Primero se diseñara un semisumador y posteriormente un sumador completo. Para cada una de las partes, el proceso de diseño constará de dos fases: en la primera, en la que a partir de la especificación de la función que se desea realizar (en este caso un sumador), se obtiene un esquema de puertas lógicas del circuito a montar, se impondrá la restricción del uso exclusivo de puertas NAND; y en la segunda en la que a partir de dicho esquema con puertas NAND que aportan los dos circuitos integrados 74LS00, se cableará adecuadamente hasta obtener la *síntesis electrónica a nivel de puertas* que no es más que una implementación física de la función requerida.

9.2 Semisumador

Un semisumador (HA, *half adder*) es un *bloque combinacional*, es decir, sus salidas en un instante t dependen exclusivamente de sus entradas en ese mismo instante t y por tanto no almacena ninguna señal ni sus salidas dependen de la historia de sus entradas que caracteriza a los *bloques secuenciales*. Un semisumador, como se muestra en la Figura 9.1 tiene dos entradas que son atacadas por los bits que se pretenden sumar, y dos salidas correspondiente a la suma, Σ , y al acarreo, C_{out} . Cada una de las salidas son una función lógica determinada por la suma de los dos bit de entrada y el acarreo correspondiente que generan.

1. Construir la tabla de verdad para ambas funciones.
2. Escribir una expresión algebraica (Boole) para ambas funciones. Reconocer la implementación XOR. Aplicar el álgebra de Boole para obtener una implementación NAND.

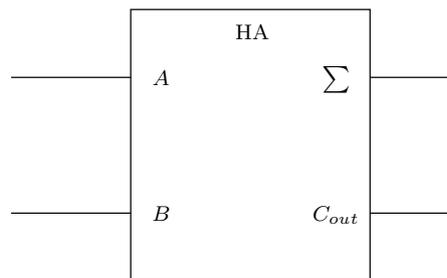


Figura 9.1: Representación como bloque de un semisumador

3. Representar un esquema de puertas lógicas para ambas funciones, primero utilizando puertas XOR y después la implementación NAND.
4. realizar el montaje del circuito utilizando las puertas NAND de ambos integrados 74LS00 y comprobar la tabla de verdad para las salidas suma, Σ , y acarreo, C_{out} . Para ello se introduce por A y B los valores correspondientes a todas las posibles combinaciones y se comprueban (mediante el voltímetro o el osciloscopio) las salidas Σ y C_{out} . El montaje mediante puertas XOR y NAND se muestra en la Figura 9.2.

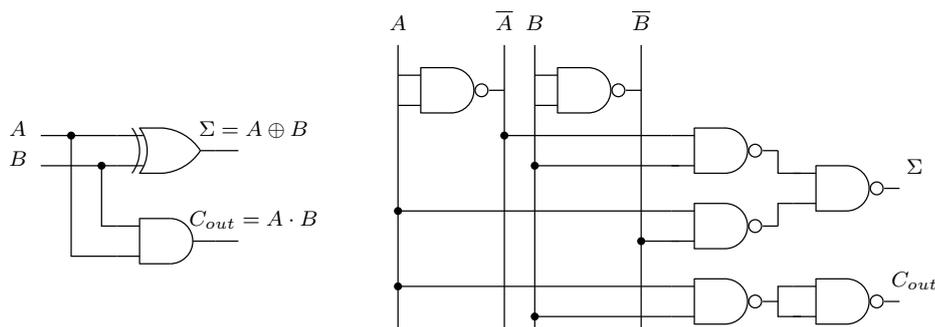


Figura 9.2: Implementación de un semisumador con XOR y NAND

5. Basándose en el esquema de la Figura 9.2 indicar el valor de las señales intermedias en la implementación NAND.
6. Realizar un dibujo utilizando el esquema de la Figura 9.3 de las conexiones físicas entre los pines de los dos circuitos integrados 74LS00 que implementan la Figura 9.2.
7. Conectar a la entrada A a una señal alta e introducir una señal cuadrada TTL (cuadrada, de 0-5 V) por la entrada B . Visualizar la entrada B en el canal 1 del osciloscopio y las salidas Σ y C_{out} en el canal 2. Medir el tiempo de propagación t_p entre ambas salidas.

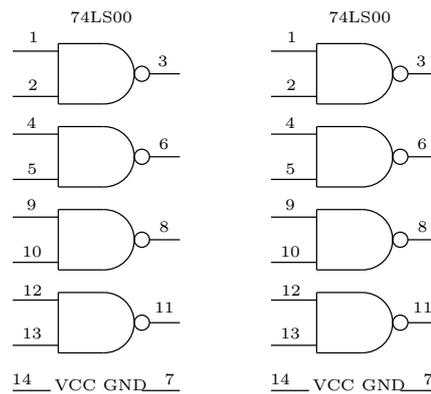


Figura 9.3: Esquema de pines 74LS00

9.3 Sumador completo

El semisumador solamente tiene dos líneas de entrada: los dos bits que se suman. El semisumador no admite la entrada de un acarreo. Un sumador que admita la entrada de un bit de acarreo se denomina sumador completo (FA, *full adder*). Su representación como bloque combinacional se muestra en la Figura 9.4.

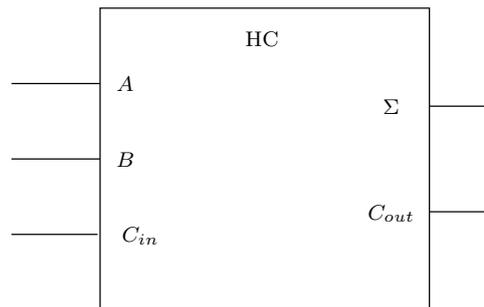


Figura 9.4: Representación como bloque de un sumador completo

Donde la entrada C_{in} indica la entrada de un bit de acarreo. El sumador completo podrá conectarse en cascada para realizar sumas de números binarios de varios bits en donde el bit de acarreo de salida entra como de entrada en el siguiente sumador completo.

1. Construir la tabla de verdad para las tres variables de entrada y las dos funciones de salida.
2. Escribir una expresión algebraica (Boole) para ambas funciones. Minimizar dichas funciones usando mapas de Karnaugh. Identificar la función XOR y expresar las funciones haciendo uso de ella. Utilizar el álgebra de Boole para obtener una implementación en la que se utilicen solamente puertas NAND para obtener la función C_{out}

3. Dibujar el esquema de puertas lógicas del sumador completo utilizando puertas XOR, AND y OR para generar las funciones Σ y C_{out} a partir de las entradas A , B y C_{in} . Observar el esquema anterior y obtener el sumador completo a partir del esquema de bloques de dos semisumadores. Dibujar posteriormente el esquema de puertas lógicas del circuito que genera la función C_{out} utilizando puertas NAND solamente.
4. Montar el circuito que genera la salida C_{out} utilizando las puertas NAND de los dos circuitos integrados 74LS00. Comprobar la tabla de verdad introduciendo alternativamente señales altas y bajas por cada una de sus entradas y midiendo la señal de salida. El montaje mediante puertas NAND se muestra en la Figura 9.5.

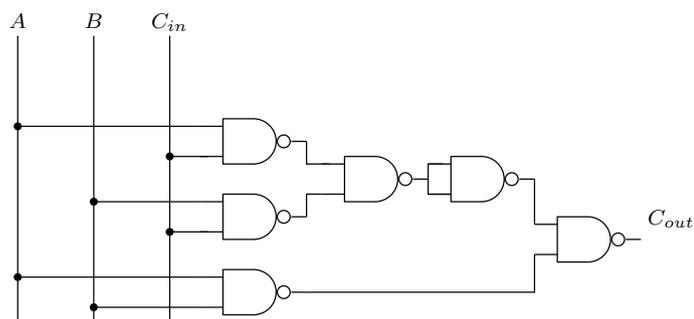


Figura 9.5: Implementación de un sumador completo con NAND

5. Introducir una señal alta en A , baja en B y una señal cuadrada TTL (oscilante, 0-5 V) en C_{in} . Visualizar por el canal 1 del osciloscopio la señal de entrada C_{in} y por el canal 2 la salida que se obtiene para C_{out} . medir el tiempo de propagación de la señal, es decir el tiempo que tarda en generarse el acarreo de salida.
6. Dibujar el esquema de bloques de un sumador paralelo de cuatro bits a partir de sumadores completos. ¿Cuál será el tiempo mínimo que tardará en generarse el último acarreo en el sumador de 4 bits?

9.4 Restador completo

Se puede obtener la resta de dos números sumando al primero complemento a dos del segundo. Por tanto, a partir del sumador completo diseñado en el apartado anterior se puede obtener un restador completo sin más que introducir un '1' en el acarreo de entrada e incluir un inversor en la entrada 'B'.

1. Tomando como base el sumador completo anteriormente diseñado, dibujar el esquema de puertas lógicas del restador completo utilizando puertas XOR, AND, OR e inversores para generar las funciones de resta y acarreo (C_{out}) a

partir de las entradas A , B y del acarreo de entrada C_{in} . Dibujar posteriormente el esquema de puertas lógicas del circuito que genera la función C_{out} utilizando puertas NAND solamente.

2. Montar el circuito que genera la salida C_{out} utilizando las puertas NAND de los dos circuitos integrados 74LS00. Comprobar la tabla de verdad introduciendo alternativamente señales altas y bajas por cada una de sus entradas y midiendo la señal de salida. El montaje mediante puertas NAND se muestra en la Figura 9.5.

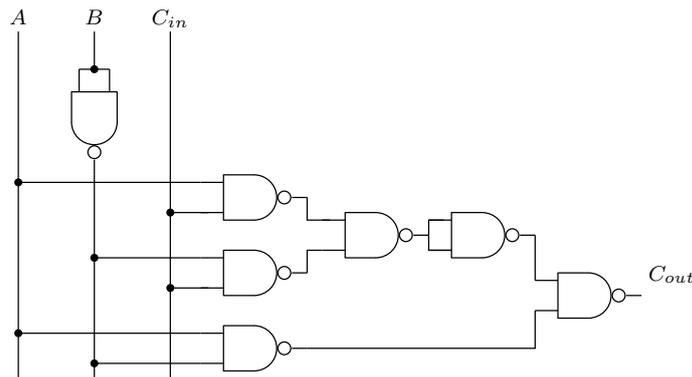


Figura 9.6: Implementación de un restador completo con NAND

3. Introducir una señal alta en C_{in} , baja en B y una señal cuadrada TTL (oscilante, 0-5 V) en A . Visualizar por el canal 1 del osciloscopio la señal de entrada A y por el canal 2 la salida que se obtiene para C_{out} . medir el tiempo de propagación de la señal, es decir el tiempo que tarda en generarse el acarreo de salida.
4. Dibujar el esquema de bloques de un restador paralelo de cuatro bits a partir de restadores completos. ¿Cuál será el tiempo mínimo que tardará en generarse el último acarreo en el restador de 4 bits?

— Práctica Diez —

Síntesis Secuencial I: Biestables y Temporizador

Material necesario:

Circuitos integrados:	1 - LMC555
Condensadores	2 - 0.01 μF
Resistencias:	2 - 0-10k Ω
Diodos:	1

10.1 Introducción

El circuito integrado que será utilizado es una implementación CMOS de la conocida serie 555 de temporizadores de propósito general. Tiene la capacidad de generar pulsos con una alta precisión en frecuencia y en los tiempos de duración del pulso. El consumo de potencia es muy reducido al tratarse de tecnología CMOS.

En la Figura 10.1 se muestra un esquema de bloques del circuito integrado, en el que se indican sus conexiones exteriores y el número de pin que corresponde a cada una.

En los encapsulados DIP de ocho pines, la configuración de conexiones es como la que se muestra en la Figura 10.2 y donde se ha utilizado las abreviaturas en inglés para las siguientes señales:

1. *GND*: *ground*, conexión a tierra
2. \overline{TRIG} : *trigger*, disparo
3. *OUT*: *out*, salida
4. \overline{RESET} : *reset*, reinicialización.
5. *CONT*: *control*, voltaje de control
6. *THRES*: *threshold*, voltaje umbral
7. *DISCH*: *discharge*, descarga
8. V_{CC} : voltaje de alimentación

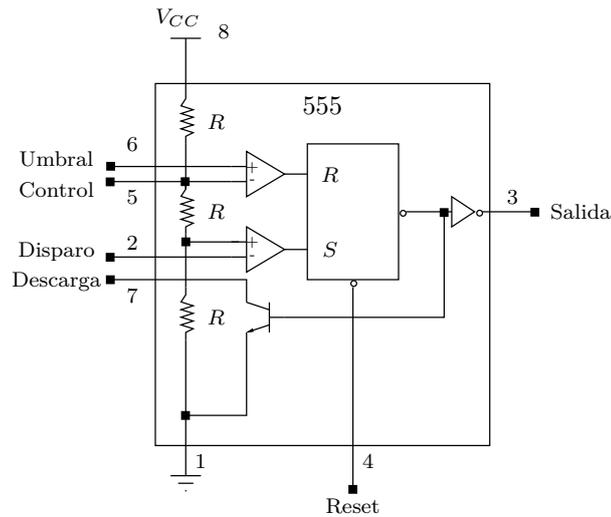


Figura 10.1: Diagrama bloques del temporizador 555

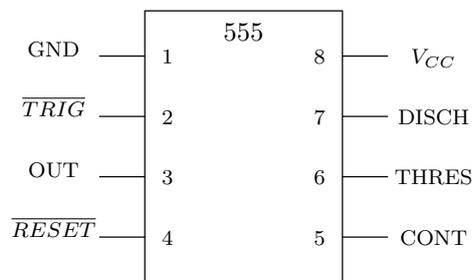


Figura 10.2: Patillaje del temporizador 555

El temporizador 555 puede ser configurado, mediante componentes externos, como un monoestable no-redisparable, en el que podemos controlar la duración del pulso, o como un aestado (oscilador) en el que podemos controlar la frecuencia de la señal y el ciclo de trabajo.

10.2 Configuración del 555 como monoestable no redisparable

1. Utilizando una resistencia variable y dos condensadores, montar el circuito de la Figura 10.3, en el que C y R_A son los componentes externos que permitirán controlar la duración de los pulsos mediante la expresión:

$$t_H = 1,1R_A C$$

(el condensador opcional C_{des} de desacoplo se utiliza para reducir los niveles de ruido, y no tiene ninguna incidencia en el la duración de los pulsos).

2. Modificar el valor de la resistencia variable R_A (medir su resistencia con el multímetro) y disparando el 555 mediante una señal de reloj de baja frecuencia (unos

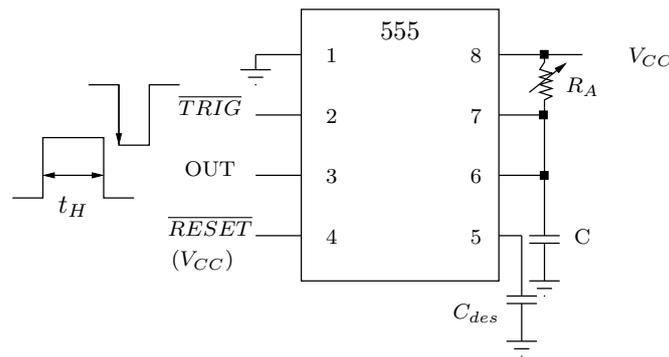


Figura 10.3: Configuración como monoestable-no redisarable

10 kHz) introducida en \overline{TRIG} , construir una gráfica en que aparezca el tiempo de duración t_H de los impulsos de salida frente al valor de la resistencia R_A (tomar unos veinte valores y ajustar para obtener la constante de proporcionalidad del comportamiento lineal esperado).

3. Comentar el resultado obtenido y explicar el mecanismo de funcionamiento (a partir del esquema de bloques del 555) de su comportamiento como monoestable (analizar los procesos de carga y descarga del condensador C). Modificar la frecuencia de reloj en el rango 5-15 kHz y medir el valor de R_A cuando el ciclo de trabajo se hace del 100%. Construir una gráfica con los datos y razonar su comportamiento.

10.3 Configuración del 555 como aestable (oscilador)

1. Montar, utilizando dos resistencias variables, el siguiente circuito como muestra la Figura 11.3:

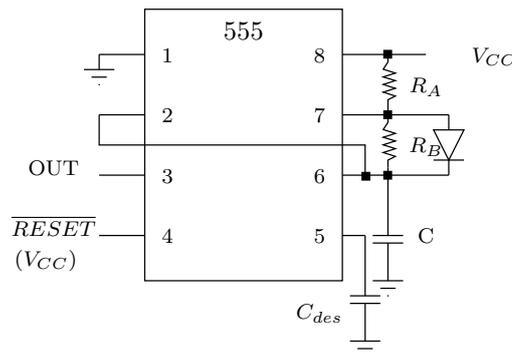


Figura 10.4: Configuración como monoestable-no redisarable

2. Medir el periodo, T , y el tiempo de alta, t_H , de la señal de salida para distintos valores de R_A y R_B (primero dejar una de ellas fija y modificar la otra para construir una gráfica, después hacer lo mismo para la otra, medir unos veinte valores para cada gráfica). Obtener en ambos casos la constante de proporcionalidad

del comportamiento lineal esperado para la variable T :

$$T = 0,7(R_A + 2R_B)C$$

3. ¿Qué relación hay entre las pendientes de ambas gráficas?

4. Calcular, con algunos de los valores ya medidos, el ciclo de trabajo (% del tiempo en que la señal de salida es ALTA) de la señal de salida del 555 configurado como oscilador, compararlo con el valor teórico que se obtendría para los valores de R_A y R_B .

$$CT(\%) = \frac{t_H}{t_H + t_L} = \frac{R_A + R_B}{R_A + 2R_B}$$

5. Explicar, a partir del esquema de bloques del 555, el funcionamiento del temporizador como oscilador (analizar los procesos de carga y descarga del condensador C).

— Práctica Once —

Síntesis Secuencial II: Registros y Contadores en Anillo

Material necesario:

Circuitos integrados:	1 - 74LS164
	1 - 74LS165
	1 - 74LS04
	1 - 74LS93A
	1 - 74LS194
Resistencias:	4 - 1k Ω
Diodos:	4-LED

11.1 Introducción

Los registros de desplazamiento son circuitos secuenciales sencillos, compuestos por un conjunto de biestables que se conectan en serie, y una circuitería adicional que controla los modos de cargar y acceder a los datos que almacenan. Su principal función, en el seno de sistemas más complejos, es servir de almacenamiento temporal de un conjunto de bits sobre los que se está realizando una tarea de procesamiento.

Existen cuatro combinaciones básicas que definen el tipo de registro de desplazamiento:

1. entrada serie / salida serie
2. entrada serie / salida paralelo (ej: 74LS164)
3. entrada paralelo / salida serie (ej: 74LS165)
4. entrada paralelo / salida paralelo

Hay circuitos integrados específicos de cada uno de esos tipos, y otros que mediante unas señales de control pueden cambiar su funcionamiento de un modo a otro (Ej: 74LS195) o realizar los desplazamientos hacia la derecha o hacia la izquierda (Ej: 74LS194). Las dos operaciones básicas que realiza un registro de desplazamiento es la carga/almacenamiento de los datos y el desplazamiento de éstos a lo largo de los biestables que lo componen; la obtención de los datos correctos a la salida

del dispositivo depende de una cuidadosa sincronización de las señales de control, de entrada y de salida.

En esta práctica vamos a caracterizar el funcionamiento de diferentes tipos de registro de desplazamiento, y configurarlos para algunas de sus principales aplicaciones.

11.2 Registro de desplazamiento con entrada serie / salida paralelo

Caracterizaremos el funcionamiento del integrado 74LS164 que es un registro de desplazamiento de 8 bits (ver Figura 11.1), con entrada serie y salida paralelo (síncronas) y una entrada \overline{CLR} de “borrado” asíncrona, activa para nivel BAJO. Tiene dos entradas serie, A y B, que acceden a los biestables tras efectuarse una operación NAND sobre ellas, por lo tanto, o bien entra la misma señal por ambas, o bien una de ellas se mantiene siempre en ALTO para permitir la entrada de datos (lo que nos proporciona una herramienta adicional de sincronización). Se puede comprobar el esquema de la circuitería interna en la hoja de datos del 74LS164.

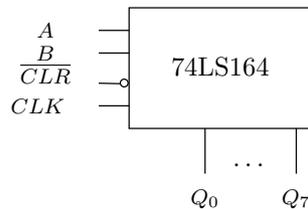


Figura 11.1: Registro de desplazamiento serie/paralelo

Para poder caracterizar el circuito, debemos “cargar” un byte de información, es decir ocho bits, que introduciremos en serie en el dispositivo. La señal de reloj CLK marca el tiempo que se adjudica a cada bit en la serie (un ciclo de reloj), por lo tanto, ocho ciclos de reloj son el tiempo necesario para cargar el byte completo y que la salida en paralelo sea la correcta.

Utilizaremos el contador 74LS93A para generar el byte que cargaremos en el registro, para ello lo configuraremos como un contador de módulo nueve (trunca la secuencia en 1001) mediante las conexiones que se muestran en la Figura 11.2:

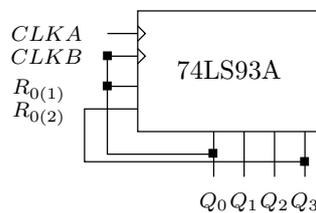


Figura 11.2: Configuración contador en módulo 9

Confirmar el correcto funcionamiento del contador, visualizando las señales $CLKA$ y Q_3 en el osciloscopio. La señal Q_3 así obtenida será la que introduciremos en am-

bas entradas A y B del registro 74LS164, en el que además utilizaremos la misma señal de reloj y conectaremos \overline{CLR} a ALTA.

Una vez montado el circuito, realizar las siguientes operaciones:

1. Montar cuatro diodos LED a los que introduciremos (a través de una resistencia en serie de $1\text{ k}\Omega$ para evitar que se fundan) las señales Q_0 , Q_2 , Q_5 y Q_7 . (Hemos elegido estas como se podría haber elegido otras o haber montado ocho diodos LED). Observar cualitativamente el funcionamiento del registro para una señal de reloj de muy baja frecuencia (unos 4 Hz). Describir y razonar el comportamiento observado.
2. Aumentar la frecuencia hasta poder visualizar correctamente las señales en el osciloscopio. Comparar las señales de entrada A y B con las diferentes salidas. Razonar el comportamiento observado y medir el tiempo de propagación, t_p , para cada una de las señales de salida Q_i . Obtener la relación que se produce entre ellas. Repetir las medidas para varias frecuencias de reloj (al menos para tres) y obtener el comportamiento de t_p frente a la frecuencia. Dibujar una gráfica que represente el cronograma de las salidas respecto a la señal de reloj.

11.3 Registro de desplazamiento con entrada paralelo / salida serie

Caracterizaremos el funcionamiento del integrado 74LS165 que es un registro de desplazamiento de 8 bits, con entrada paralelo (asíncrona) y salida serie. También admite opcionalmente una entrada serie (SER). La señal de control SH/\overline{LD} en BAJA permite la carga de los datos en paralelo, y en ALTA permite el desplazamiento a lo largo de los biestables de los datos cargados, que terminan saliendo por Q y su complemento \overline{Q} . Tiene la opción adicional de inhabilitar el reloj mediante la señal $CLKINH$, ya que sobre ella y CLK se implementa la función NOR, de forma que cuando $CLKINH$ está en ALTA, el reloj queda inhabilitado:

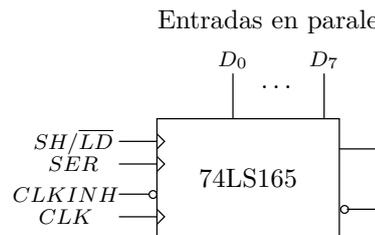


Figura 11.3: Registro de desplazamiento paralelo/serie

Vamos a utilizar de nuevo el montaje que realizamos en el apartado anterior con el contador 74LS93A. En este caso vamos a complementar, utilizando un inversor del integrado 74LS04, la señal Q_3 obtenida mediante la configuración allí indicada. Posteriormente la introduciremos como señal de control por la entrada SH/\overline{LD} . Además conectaremos la entrada SER a BAJA, ya que no vamos a utilizar la posibilidad de entrada de datos en serie. Una vez hecho esto:

1. Utilizar dos diodos LED (con dos resistencias de protección de $1\text{k}\Omega$) para visualizar la salida Q y su complemento. Para ello usar una señal de reloj de baja frecuencia y cargar en paralelo un número con algún bit en ALTA. Razonar el comportamiento observado.
2. Para caracterizar cuantitativamente el 74LS165 introduciremos tres configuraciones diferentes de los ocho bits de entrada, que podrán ser: a) 10000000; b) 10100000 y c) 10111000 (u otras opcionales) y visualizaremos en el osciloscopio la salida Q frente a la señal SH/\overline{LD} . Realizar un esquema de la imagen obtenida en el osciloscopio para cada caso. Razonar el comportamiento del registro. Medir los tiempo de propagación para cada una de las señales. (Utilizar para ello al menos tres frecuencias diferentes de reloj).

11.4 Registro de desplazamiento universal bidireccional de 4 bits

El 74HC194 es un ejemplo de registro de desplazamiento bidireccional universal en formato integrado. Se denomina universal porque auna las capacidades de los anteriores circuitos integrados estudiados: tiene capacidad de entrada y salida tanto serie como paralelo. Se denomina bidireccional porque los desplazamientos pueden ser tanto de izquierda a derecha como de derecha a izquierda. Un registro de desplazamiento se puede utilizar como contador en anillo sin mas que unir la salida a la entrada serie.

Según la hoja de características del 74HC194, diseñar e implementar un contador en anillo utilizando desplazamientos a la derecha. Cargar el contador en anillo con el dato paralelo "0001" ($D_0 = 1$ y resto a 0). Dibuje las cuatro salidas comparándolas con el reloj.

— Práctica Doce —

Síntesis Secuencial III: Contadores Síncronos y Asíncronos

Material necesario:

Circuitos integrados:	2 - 74LS76AN
	1 - 74LS00
	1 - 74LS48
	1 - 74LS93A
	1 - 74LS151
Resistencias:	7 - 1K Ω
Otros:	1 - Display 7 segmentos

12.1 Introducción

El circuito integrado 74LS76AN tiene dos flip-flop JK disparados por flanco negativo. Ambos flip-flop son completamente independientes (sólo comparten la alimentación) y tienen además de las entradas y salidas habituales, dos entradas asíncronas de inicialización (\overline{PRE}) y puesta a cero (\overline{CLR}).

Con estos módulos básicos, se pueden diseñar una gran cantidad de bloques funcionales más complejos, entre los que destacan por su amplia utilización los *contadores*. Dentro de esta categoría existen a su vez una enorme variedad: secuencias completas, secuencias truncadas, secuencia binaria o BCD, secuencia en código Gray, secuencias incompletas (por ejemplo, contar números impares o primos), contadores bidireccionales (ascendente/descendente), contadores conectados en cascada, etc. Muchos de ellos existen a su vez implementados en un mismo circuito integrado MSI o LSI.

En esta práctica vamos a diseñar e implementar tres ejemplos de contadores contruidos a partir de circuitos 74LS76AN y algunas puertas lógicas adicionales (NAND del 74LS00). También utilizaremos para visualizar la cuenta un descodificador BCD-7 segmentos 74LS48 y el correspondiente display de cátodo común.

12.2 Caracterización del flip-flop JK: tabla de transiciones

Utilizando uno de los flip-flop JK del 74LS76AN, comprobar:

1. La tabla de verdad. Para ello, alimentar el circuito (*atención a las entradas de alimentación VCC y GND, que están en los pines 5 y 13 respectivamente, diferentes a la configuración habitual en otros circuitos integrados*), conectar las señales \overline{PRE} y \overline{CLR} a alta, e introducir secuencialmente combinaciones de señales altas y bajas (HH, HL, LL y LH) en las entradas J y K, comprobando cómo varía la salida Q. Para visualizar las salidas utilizar el osciloscopio.
2. La tabla de transiciones. Para producir la transición es necesario introducir una señal de reloj por la entrada CLK, que deberemos conseguir con el generador de ondas (obtener una señal cuadrada que oscila entre 0 y 5 V, utilizando el *offset*¹ como medio para ajustar la señal cuadrada), utilizar una frecuencia baja. Para visualizar las salidas se hará uso del osciloscopio.

12.3 Contador-divisor asíncrono de dos bits

Implementar, usando un circuito integrado 74LS76AN, el esquema de la Figura 12.1 perteneciente a un contador-divisor asíncrono de dos bits:

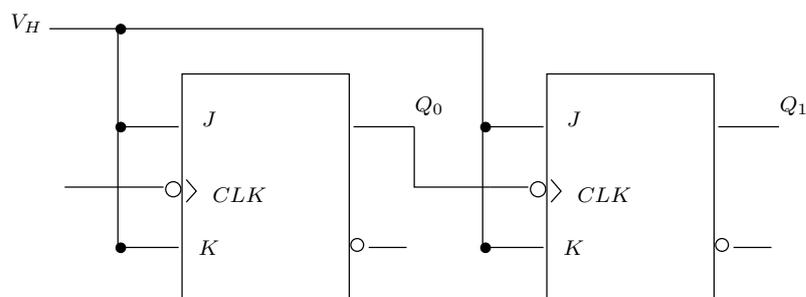


Figura 12.1: Contador-divisor asíncrono de dos bits

Una vez implementado el circuito, introducir una señal de reloj y visualizarla en el osciloscopio, comparándola alternativamente con las salidas Q_0 y Q_1 . Con ello,

1. Medir el retardo de las salidas Q_0 y Q_1 comparándolas con el flanco del reloj. Comentar el resultado. ¿Cuál es el retardo de un sólo flip-flop? ¿Cuál es el retardo acumulado?
2. Comparar las frecuencias obtenidas en las salidas Q_0 y Q_1 . ¿Cuál es la relación de frecuencias?
3. Construir una tabla en la que aparezca la secuencia suministrada por Q_0 y Q_1 . ¿Cuántos estados dispone el contador?
4. ¿Por qué se dice que es asíncrono?

¹Aunque el generador de funciones dispone de una salida TTL (oscilante entre 0 y 5 V) es conveniente acostumbrarnos a usar el offset como medio de generar señales de reloj

12.4 Contador-divisor síncrono de tres bits

Implementar, usando dos circuitos integrados 74LS76AN, el siguiente esquema de un contador-divisor síncrono de tres bits (utilizar dos puertas NAND del 74LS00 para implementar la puerta AND que aparece en la Figura 12.2):

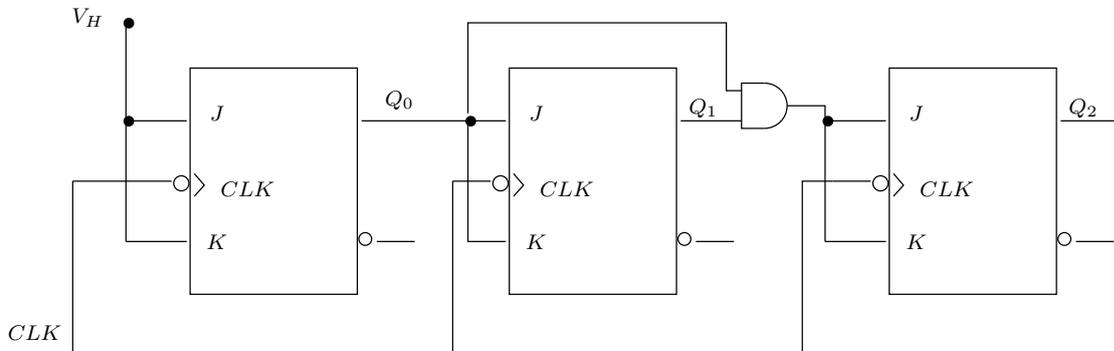


Figura 12.2: Contador-divisor síncrono de 3 bits

Una vez implementado el circuito, introducir una señal de reloj y visualizarla en el osciloscopio, comparándola alternativamente con las salidas Q_0 , Q_1 y Q_2 . Con ello,

1. Medir el retardo de las salidas Q_0 , Q_1 y Q_2 comparándolas con el flanco del reloj. Comentar el resultado. ¿Se trata de un circuito síncrono? ¿Cómo influye el retardo introducido por las puertas NAND utilizadas? ¿Qué diferencia hay respecto al contador asíncrono del apartado anterior?
2. Comparar mediante un cronograma las frecuencias obtenidas en las salidas Q_0 , Q_1 y Q_2 . ¿Cuál es la relación de frecuencias?
3. Construir una tabla en la que aparezca la secuencia suministrada por Q_0 , Q_1 y Q_2 .
4. Conectar las salidas Q_0 , Q_1 y Q_2 a las entradas del decodificador 74LS48 (la entrada D debe conectarse a baja) y las salidas de éste a un display de siete segmentos (usando resistencias de protección a sus entradas) para visualizar la secuencia numérica. Para ello, utilizar una frecuencia baja (alrededor de 1 Hz) en la señal de reloj.

12.5 Contador de décadas asíncrono

Implementar, usando dos circuitos integrados 74LS76AN y una puerta NAND del 74LS00 el siguiente esquema (ver Figura 12.3) de un contador de décadas asíncrono, en el que se utiliza la entrada $\overline{C}l$ de los flip-flops para truncar la secuencia:

Una vez implementado el circuito, introducir una señal de reloj y visualizarla en el osciloscopio, comparándola alternativamente con las salidas Q_0 , Q_1 , Q_2 y Q_3 . Con ello,

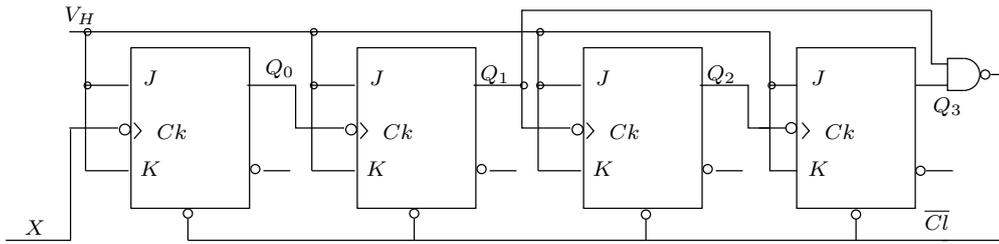


Figura 12.3: Contador de décadas asíncrono

1. ¿Explique el funcionamiento del contador y cómo se trunca la secuencia? ¿Qué papel hace la puerta NAND?
2. Construir una tabla en la que se muestre la secuencia de las salidas Q_0 , Q_1 , Q_2 y Q_3 .
3. Conectar las salidas Q_0 , Q_1 , Q_2 y Q_3 a las entradas del decodificador 74LS48 y las salidas de éste a un display de siete segmentos (usando resistencias de protección a sus entradas) para visualizar la secuencia numérica. Para ello, utilizar una frecuencia baja (alrededor de 1 Hz) en la señal de reloj.
4. Intentar visualizar en el osciloscopio el *glitch* que se produce al truncar la secuencia. Usar, por ejemplo, la señal Q_1 . Explique la existencia del *glitch*.
5. Implementar un contador asíncrono módulo 12 (0000 a 1011). Visualizar posibles *glitches* mediante el osciloscopio y explicar su existencia.

— Práctica Trece —

Síntesis Secuencial IV: Diseño de un Reloj

Material necesario:

Circuitos integrados	1 - 74LS93A 1 - 74LS151
Resistencias:	7 - 1K Ω
Otros:	1 - Display 7 segmentos

13.1 Introducción

Los circuitos integrados SN54/74LS90, SN54/74LS92 y SN54/74LS93 son contadores *high-speed 4-bit ripple* que se disponen en dos secciones. Cada contador dispone de una sección denominada *emphdivide-by-two* y otra denominada como *divide-by-five* (LS90), *divide-by-six* (LS92) o *divide-by-eight* (LS93) sue son disparadas pro media de una transición *HIGH-to-LOW* en las entraps de reloj. Cada sección puede ser utilizada separadamente o bien pueden ser unidas mediante la conexión $Q - CP$ para formar contadores BCD, biquinarios, módulo-12, o módulo-16. Además, todos los contadores disponen de una entrada *2-input gated Master Reset* (Clear), y el CI LS90 también dispone de *2-input gated Master Set* (Preset 9). En esta práctica se va a profundizar en la utilización del CI LS93 para truncar su secuencia en la forma que mas convenga.

13.2 Utilización del contador integrado 74LS93A: diferentes configuraciones para truncar la secuencia

El circuito integrado 74LS93A es un contador asíncrono binario de 4 bits muy utilizado gracias a su versatilidad, ya que mediante el uso de las dos entradas de reloj ($CLKA$ y $CLKB$) y las dos entradas $R_{0(1)}$ y $R_{0(2)}$ se puede truncar la secuencia en cualquier valor entre 0 y 16.

1. Con ayuda de la hoja de especificaciones del anexo, montar las tres configuraciones que truncan la secuencia del contador en 5, 10 y 16. Razonar por qué se trunca la secuencia para esos módulos mediante las conexiones que se indican.

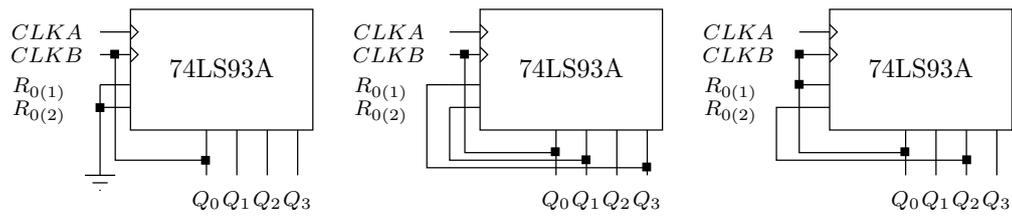


Figura 13.1: Diferentes configuraciones para truncar la cuenta del contador 74LS93A

(NOTA: sólo es necesario conectar $CLKA$ a la señal de reloj externa, ya que $CLKB$ viene controlada por Q_0 en todos los casos).

2. Para cada una de las tres configuraciones anteriores, visualizar en el osciloscopio cada uno de los cuatro bits de salida frente a la señal de reloj $CLKA$. Realizar una gráfica en la que se represente cada uno de los bits frente al tiempo, para al menos un módulo completo en cada configuración.
3. Conectar la salida del contador configurado para módulo 5 y visualizar la cuenta en el display de siete segmentos utilizando el decodificador 74LS48 (no olvidar las resistencias de protección del display).
4. Cambiar las conexiones del contador (realizar un esquema previo de las mismas) para configurarlo para módulo 6, visualizar la cuenta en el display y comprobar cómo se trunca ahora la secuencia.
5. Mediante el osciloscopio, detectar y medir la anchura temporal del *glitch* que se produce cuando se trunca la secuencia. Para ello, elegir de forma razonada cuál de las tres configuraciones arriba indicada es óptima para visualizar el *glitch* y utilizarla.
6. Diseñar y montar un segundero que cuente de 00-59.

13.3 Conversión paralelo a serie

Muchos sistemas digitales procesan datos binarios en forma paralela (todos los bits simultáneamente) porque es más rápido. Sin embargo, cuando los datos se deben transmitir a grandes distancias, la configuración en paralelo es indeseable porque se requiere un gran número de líneas de transmisión. Por este motivo, con frecuencia la información a transmitir (el dato) se convierte a forma serie antes de ser transmitida. Un método para llevar a cabo esta conversión paralelo serie, consiste en utilizar un multiplexor.

1. Diseñar y montar un conversor paralelo/serie de 8 bits con un contador integrado 74LS93 y un multiplexor 74LS151. Comprobar su funcionamiento convirtiendo el dato 10110101.
2. Dibuje la forma de onda de salida e identifique los bits de entrada en la salida.

3. ¿Qué bit se se transmite primero, el más significativo o el menos significativo?

Trucos, técnicas, e información útil para el trabajo en el Laboratorio de Circuitos y Funciones Electrónicas

A.1 Lectura de los Encapsulados de los Dispositivos Electrónicos

Los dispositivos electrónicos están fabricados en distintos tipos de encapsulados de diferentes formas, tamaños, y colores. Existen algunos códigos estandarizados para los diferentes encapsulados que son normalmente muy útiles a la hora de montar un circuito. En el caso de dispositivos pequeños como resistencias (o resistores) y algunos condensadores, es conveniente saber leer el código de tales dispositivos para asegurarse de que se está montando el circuito con el elemento correcto y de este modo no tener que confiar que el elemento que se ha sacado del contenedor coincide con el que realmente marca en su etiqueta. Es fácil que en el trabajo diario en el laboratorio haya confusiones y puede que un elemento se coloque en un contenedor adyacente al suyo o incluso en alguno equivocado por completo.

A.1.1 Resistores

Uno de los códigos más conocidos de los dispositivos electrónicos es el código de colores de los resistores, tal como se indica en la Figura A.1. Los resistores normalmente se marcan con cuatro bandas de colores. $c_1c_2c_3c_4$, en un código que es interpretado numéricamente como:

$$R = c_1c_2 \times 10^{c_3} \quad \text{tolerancia} = \begin{cases} \pm 10\% & c_4 = \text{plata} \\ \pm 5\% & c_4 = \text{oro} \end{cases}$$

Los colores están asignados a un valor numérico que siguen cierto orden en el espectro de colores, tal como se aprecia en la Figura A.1.

Por tanto, un resistor con un valor de $270\ \Omega$ con una tolerancia del $\pm 5\%$ debería estar marcado con Rojo-Violeta-Marrón-Oro. El comienzo del código está situado más cerca del extremo del cuerpo del dispositivo que el fin, como se muestra en la Figura A.1 y nunca se encontrará un resistor que esté marcada con plata u oro al principio del código.

Los resistores de precisión (normalmente con una tolerancia del $\pm 1\%$ o menos) son a menudo marcados con cinco bandas de colores, donde se proporcionan tres valores numéricos antes del exponente en lugar de dos y una última banda de color para la tolerancia. Sin embargo, a menudo uno puede encontrar este mismo tipo de código (tres valores significantes y un exponente) pero representado numéricamente en lugar de por colores. Por ejemplo, un resistor de precisión marcado como 9012

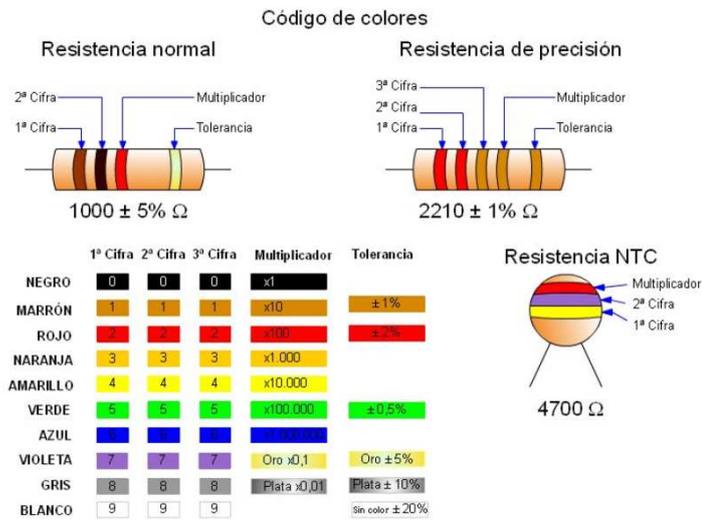


Figura A.1: Códigos de colores para resistores

debería tener un valor de $901 \times 10^2 \Omega$, o $90,1 \text{ k}\Omega$. En cualquier caso por ser de precisión (su encapsulado especial lo denota) tendrá una tolerancia del 1 % o menos.

A.1.2 Condensadores

Los condensadores se encapsulan de manera que se puede identificar según su tipo (clase de dieléctrico y de encapsulado), tal como se indica en la Figura A.2. Los condensadores normalmente se marcan de alguna de las formas que se indican en la Figura A.3. El esquema de etiquetado más conveniente es aquél en el que el valor en microfaradios está marcado directamente sobre el encapsulado, como se muestra en la Figura A.2-A. Por ejemplo, un condensador de 1000 microfaradios construido para trabajar a no más de 16 voltios debería ser etiquetado como $1000 \mu\text{F } 16 \text{ V}$. De hecho, los condensadores con una relativa gran capacidad están marcados así.



Figura A.2: Encapsulados típicos de condensadores: el tipo A es electrolítico; el tipo B es de tántalo; los tipos C y D (lenteja) son cerámicos; los tipos E, F y G son de polyester (plástico).

Muchos de los dispositivos de gran capacidad (ej., condensadores electrolíticos y de tántalo) están polarizados de tal manera que la componente de continua (DC)

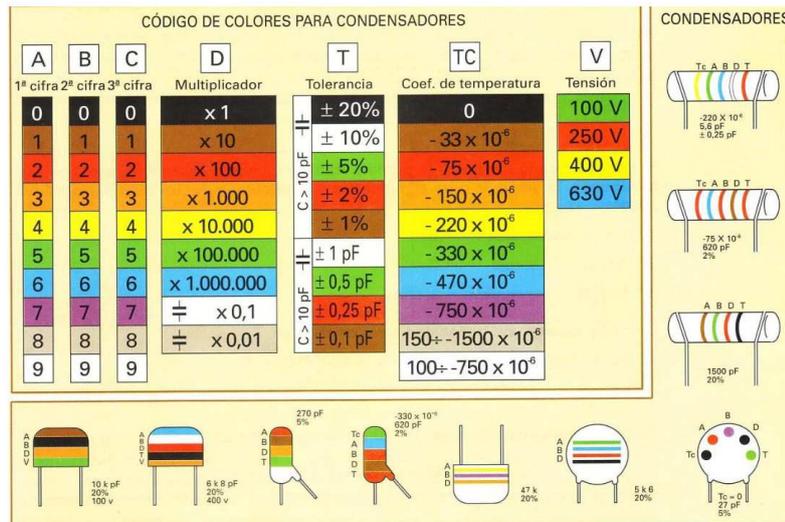


Figura A.3: Códigos de colores y encapsulados típicos de condensadores cerámicos y de plástico.

debe tener un determinado sentido a su través porque en otro caso podrían desencadenarse sucesos potencialmente peligrosos, como que el condensador explotase esparciendo líquidos altamente corrosivos y tóxicos. Algunas veces, la polarización está impresa en el encapsulado indicando la dirección de la polaridad. Los condensadores electrolíticos y de tántalo con patillas radiales (ej., ambas patillas del condensador están al final de uno de los extremos de un encapsulado cilíndrico) a menudo tiene una patilla más larga que otra, En este caso, la patilla más larga debería estar conectada al voltaje más positivo. Los condensadores electrolíticos con patillas axiales (una patilla en cada uno de los extremos de encapsulado cilíndrico) a menudo tiene una marca en el terminal positivo del cuerpo del encapsulado.

Capacidades más pequeñas (ej., condensadores de disco cerámico o de lenteja) normalmente vienen en encapsulado oval o plano con las patillas en paralelo a un lado del cuerpo del encapsulado, como se muestra en las Figuras A.2 y A.3. Estos condensadores están generalmente marcados con un código similar al utilizado con los resistores, excepto que los valores del código están impresos en el encapsulado utilizando números, y la cantidad numérica de un pico faradio (10^{-12} F). Por ejemplo, el condensador con disco cerámico de la izquierda del la Figura A.2, que está marcado con 015 tendría un valor de 15 pF. Normalmente estos condensadores no están polarizados, y se pueden conectados en un circuito en cualquier sentido.

A.1.3 Circuitos Integrados

Los circuitos integrados (ICs, *Integrated Circuits*) vienen en diferentes tipos de encapsulados. El circuito integrado más usual que se verá en el laboratorio de electrónica es sin duda el de encapsulado *dual in-line pin* (DIP), que asemeja alguna especie de cucaracha y por eso a veces es denominado precisamente con ese mismo nombre de insecto. Los pines del encapsulado DIP están numerados en sentido contrario a las agujas de reloj cuando se mira el chip desde arriba, comenzando desde la

esquina izquierda superior con el pin 1. La parte superior de los chips está indicado mediante una muesca en medio de uno de los extremos del chip. En algunos casos, la localización del pin 1 se indica por medio de un pequeño punto en la parte superior del chip.

Los circuitos integrados encapsulados como DIP normalmente tiene el nombre o logotipo de su fabricante y algunas otras letras crípticas y números estampados con tinta blanca (en algunos casos solo existe el bajorrelieve) en la superficie superior del encapsulado negro. Estas secuencias de letras y números normalmente incluyen un número que identifica al chip y una código de fecha que indica cuando se realizó su manufacturación. El número identificativo del chip (*part number*) consiste de un prefijo, del número del modelo, y de un sufijo. En muchos casos, diferentes fabricantes de semiconductores utilizan diferentes códigos prefijos consistentes en hasta tres caracteres alfabéticos antes del número del modelo, incluso si el mismo circuito integrado se fabrica en diferentes compañías. Las letras del sufijo normalmente denotan el tipo de encapsulado y rango de temperaturas soportado.

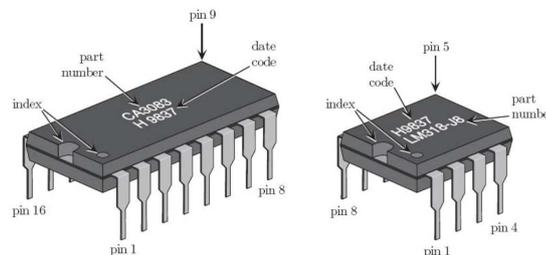


Figura A.4: Encapsulados típicos de circuitos integrados DIP

El código de fecha en la mayoría de los circuitos integrados dispone de cuatro dígitos que codifican la semana de fabricación del chip. Los primeros dos dígitos proporcionan el año, y los últimos dos dígitos proporcionan la semana del año. Por ejemplo, el código de fecha de 9837, que se muestra en el circuito integrado (IC) mostrado en la Figura A.4, indica que estos chips fueron fabricados en la semana 37^a de 1998, que corresponde a la segunda semana de septiembre. Conocer el código de fecha puede ser interesante por diferentes causas. Por ejemplo, si observamos el código de fecha de algún componente de una placa de circuito impreso de cualquier aparato electrónico nos puede dar una idea aproximada de que fecha fue fabricado el aparato. La gran mayoría de los circuitos integrados tiene un gran periodo de vida útil, así que normalmente uno no debe preocuparse en usar un circuito integrado con un código de fecha antiguo.

A.1.4 Diodos

Los diodos de emisión de luz (LEDs, *Light-emitting diodes*) son dispositivos de visualización muy útiles en muchas aplicaciones. Los LEDs pueden encontrarse en una gran variedad de encapsulados. Uno de los encapsulados más típicos para dispositivos discretos son los encapsulados serie T, que es el dispositivo mostrado en la parte de abajo izquierda de la Figura A.5. El cátodo (es decir, el terminal más

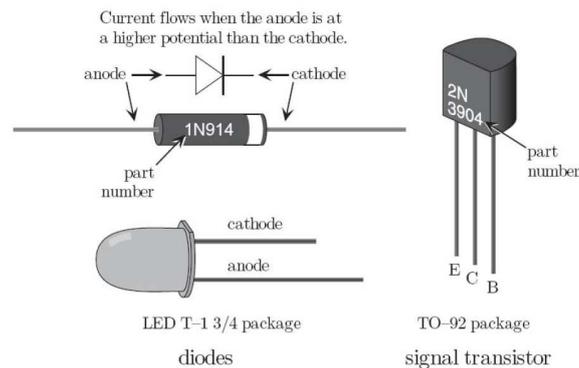


Figura A.5: Encapsulados típicos de dispositivos semiconductores discretos

negativo) tiene cerca de su patilla una muesca plana, mientras que el ánodo (es decir, el terminal más positivo) tiene una patilla normalmente algo más larga.

Los diodos rectificadores y zener normalmente vienen en encapsulados de patillas axiales con una banda marcando el terminal del cátodo, como se muestra en la parte superior de la Figura A.5. Los diodos de potencia se presentan en todo tipo de diferentes y extraños encapsulados, cuya función es facilitar con su diseño una buena conexión a los disipadores térmicos que se les acoplan, de todos modos en el laboratorio de electrónica no vamos a estudiarlos ya que todo nuestro trabajo se centrará en circuitos diseñados para su funcionamiento a baja potencia. Por último, destacar que la gran mayoría de los diodos rectificadores y zener tienen un número identificativo (*part number*) que empieza con 1N.

A.1.5 Transistores

Los transistores discretos se presentan en diferentes tipos de encapsulado y normalmente con tres patillas. Uno de los encapsulados más comunes para transistores de señal es el TO-92 el cual tiene forma cilíndrica con un lado plano, como se muestra en la Figura A.5. Mirando al lado plano con las patillas apuntando hacia el observador, se pueden distinguir de izquierda a derecha, el emisor, colector y base. De todos modos, siempre es aconsejable comprobar que terminales son cada patilla comprobándolo mediante la hoja de características o mediante un polímetro que mida la ganancia del transistor (h_{FE}). Los transistores normalmente tienen un número de componente que empieza con 1N.

A.1.6 Tarjetas de Prototipado

Para conseguir que un circuito funcione correctamente, se necesita conectar todos los componentes juntos y de alguna manera proporcionales una fuente de alimentación que le suministre la energía necesaria. En el laboratorio se utilizará como sustento de estos elementos un rectángulo de plástico blanco o marrón con una gran cantidad de agujeros llamado placa de prototipado, y que a menudos le llamaremos simplemente placa o *protoboard*. La *protoboard* permite unir rápidamente los diferentes elementos del circuito sin malgastar tiempo en la construcción de una

tarjeta de circuito impreso (PCB, *printed circuit board*); un gasto inútil para luego detectar que el circuito no fue diseñado correctamente en un primer momento. Sobre la protoboard, se podrá probar el diseño de un circuito y fácilmente corregir u optimizar el diseño. Una vez que el circuito se haya comprobado en tanto en cuanto su perfecto funcionamiento y optimización este puede ser construido en una versión más permanente sobre un PCB o en algún otro sustrato.

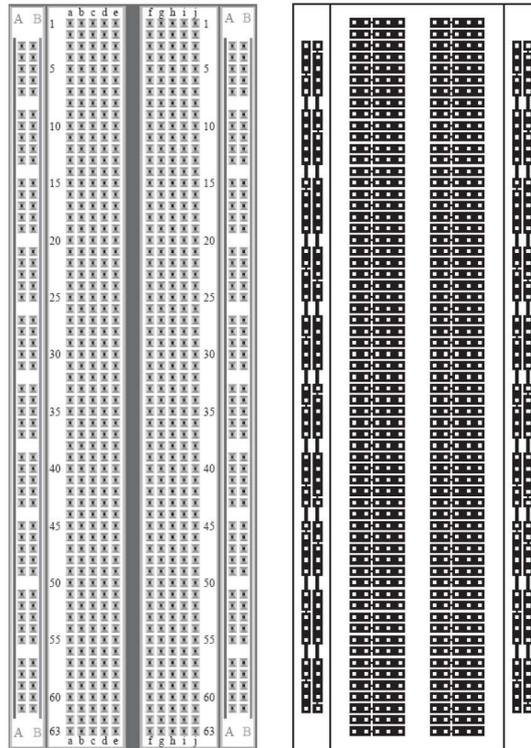


Figura A.6: Placa *protoboard* para diseño de circuitos sin soldaduras. A la izquierda se representa una vista de planta, y a la derecha se muestra como los agujeros en la *protoboard* se conectan internamente con pistas de metal.

La parte izquierda de la Figura A.6 muestra la vista en planta de una *protoboard* típica. A lo largo de sus bordes derecho e izquierdo corren una serie de cuatro columnas de agujeros, a veces denominados buses, que normalmente son utilizados para distribuir la alimentación y masa a toda la placa. Los circuitos integrados se conectan en la zona central de la placa, donde el salto central es el espacio justo para que se pueda colocar un encapsulado DIP, asegurando la no existencia de cortocircuito. En la parte dental de la *protoboard*, los cinco agujeros de la izquierda del salto central (a menudo etiquetados como abcde en la parte superior de algunas protoboards, como se muestra en la parte derecha de la Figura A.6) están unidos interiormente por filas mediante una pista metálica. De la misma forma, los cinco agujeros de la derecha del salto central también se unen interiormente mediante una pista metálica por filas (como se muestra en la Figura A.6).

Cuando se inserta un cable o una patilla de componente en un agujero de la *protoboard*, el cable o patilla se introduce entre un par de clips que pinzan mecáni-

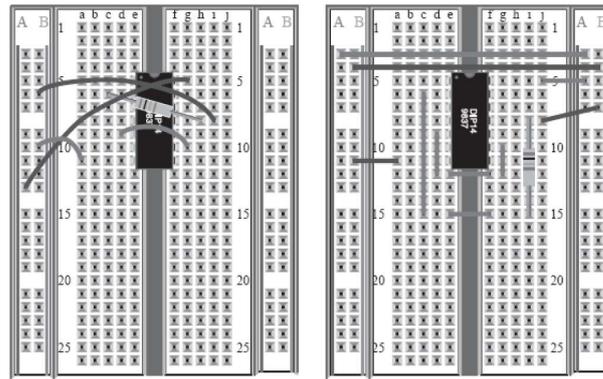


Figura A.7: Dos formas alternativas de un diseño de un circuito electrónico sobre una protoboard. A la izquierda se muestra un diseño difícil de depurar, a la derecha un diseño más elaborado pero más fácil de depurar.

amente y producen una conexión eléctrica sólida entre la patilla o cable y la pista de metal de su interior. Es importante utilizar un cable de un diámetro adecuado al agujero de la *protoboard*. Un cable con un diámetro demasiado pequeño no permite una buena conexión por falta de conectividad y si es demasiado ancho puede deformar los clips e impedir buenas conexiones posteriores. En el caso de que algún componente (ej., potenciómetros o algún condensador electrolítico) tenga unas patillas demasiado gruesas para ser insertadas en la protoboard, será necesario unirle un trozo de cable, de grosor adecuado a la patilla del componente, previamente pelado alrededor de un centímetro. Para un buen montaje del circuito, se deben intentar mantener los cables lo más pegados a la superficie de la *protoboard* y que éstos sean del tamaño adecuado. Como normal general podemos considerar las siguiente guía a la hora de cablear un circuito sobre una *protoboard*.

- Cortar los cables de la longitud adecuada y colocarlos de forma plana sobre la placa. Es muy complicado depurar un circuito en una placa formado por una madeja de cables con cientos de lazos del mismo color. Si se mantiene la placa limpia de lazos y cables largos y se procura un cableado plano sobre la superficie de la placa, es mucho más fácil el seguimiento de las conexiones y por tanto la autodepuración del circuito.
- Pelar el cable lo suficiente para producir una buena conexión. Si el cable se pela demasiado sucede con frecuencia que la parte metálica pelada se dobla en el interior de la placa tocando a otro cable también pelado en exceso o bien a otra pista, lo que provoca un cortocircuito no deseado. Por el contrario si se corta demasiado poco, se puede perder conectividad provocando circuitos abiertos igualmente no deseados.
- Intentar no colocar los cables por encima de chips y otros componentes. Si se colocan los cables por encima de los chips empezamos a no cumplir el primero de los puntos que aquí se indican y además nos sería difícil retirar un chip que pueda no funcionar correctamente y que deseamos sustituir ya sea por depuración o por comprobación del correcto funcionamiento del conjunto.

- Intentar ser metódico con la conexiones y utilizar cables de colores para cada una de las conexiones (masa un color, alimentación otro, salidas otro etc.)

La Figura A.7 muestra dos versiones distintas de un circuito sobre una *proto-board*. La versión de la izquierda de la Figura A.7 es un embrollo de cables, con cables largos haciendo bucles uno encima y a través de otros y por encima del circuito integrado. Y peor aún, un resistor cruza por encima del circuito integrado. En este caso, si se tiene que retirar el circuito integrado no se podría quitar sin antes retirar el resistor y la mayoría de cables. Pero no es lo peor, se podría pensar un escenario aun mas terrible, una protoboard con varios circuitos integrados cableados de esta forma. Por otro lado, en la versión de la derecha del circuito que muestra la Figura A.7 los circuitos integrados se conectan entre si mediante un conjunto de cables cortos, planos y pegados a la superficie de la protoboard. En este caso es muy fácil, seguir el circuito y reemplazar cualquier circuito integrado sin tener que tocar, cambiar, o quitar ninguna otra conexión. Una táctica consiste en la utilización de giros de 90 grados para conectar dos puntos opuestos, como es el caso del resistor y del circuito integrado. Para ellos, se ha utilizado varios tramos de cables para conectar las patillas del resistor con las dos patillas opuestas del circuito integrado utilizando zonas no ocupadas a la hora de obtener el giro. En el día a día en el laboratorio, se debe tender a realizar circuitos como este último donde a largo plazo el tiempo empleado en la sofisticada elaboración del cableado se compensa con creces por el escaso periodo de depuración que se necesita si aparece algún fallo.

Por último, solo cabe indicar que cuando se inserta o se retira un circuito integrado de la *protoboard*, se debería ser muy cuidadoso debido a que los pines de los encapsulados DIP están constituidos de un metal que se dobla muy fácilmente. A veces los pines se pueden desdoblar pero es una tarea ingrata y muchos circuitos integrados se deterioran tanto que se arruinan por completo. El doblado de pines, la mayoría de veces, ocurre durante estos dos procesos. Se aconseja que para insertar un chip, se coloque éste sobre la posición en que se quiera situar sobre la *protoboard* asegurandose de que los pines estén perfectamente alineados con los agujeros de la misma, para posteriormente presionar de forma leve pero firme sobre el encapsulado para su colocación final. Si no se procede de esta forma es muy fácil que se doblen las patillas del circuito integrado. Para retirar un chip de la protoboard, hay que poder tirar de forma uniforme de todo el chip. Esto implica tirar de los extremos mas lejanos del chip por igual lo que a veces es difícil de realizar con los dedos. Para intentar evitar la extracción con los dedos, se puede utilizar un destornillador para primero extraer alternativa y levemente de un extremo y del otro, con grandísimo cuidado de no doblar sus pines, hasta que el circuito integrado quede completamente liberado. Existe una herramienta especial que se denomina *IC pullers* que permite el agarre de ambos lados del integrado para su extracción. Se deberá intentar tocar los pines del chip lo menos posible durante todo estos procesos.

B.1 Instalación

Descomprima el fichero *pspice.zip* en un directorio y localice el fichero *setup.exe*. Haga doble click sobre éste y aparecerá una ventana donde se avisa sobre la desconexión del programa antivirus. No hace falta cerrar el antivirus. También es necesario tener los permisos administrativos para instalar el programa. En la siguiente ventana elija las dos opciones a instalar *Capture* y *Schematics*. Elija el directorio de destino. Siga con *Next* hasta terminar.

B.2 Crear un proyecto

Ejecute Capture Student. Elija la opción *New Project ...* del menú *File*. En la nueva ventana escriba el nombre del proyecto y su localización. Respecto a la localización del proyecto, se recomienda utilizar una unidad USB exterior, de esta manera podrá realizar simulaciones fuera del laboratorio. Después se podrá elegir entre *Create a blank project*, si empezar un proyecto nuevo, o *Created based upon an existing project* si se desea importar desde un proyecto anterior. Después se abrirán tres ventanas. La ventana de los recursos utilizados en el proyecto, la ventana de los registros de la sesión y la ventana del área de trabajo en donde se podrá dibujar el circuito. Es conveniente guardar el esquemático y el proyecto cada vez que se realice una modificación importante.

B.3 Seleccionar un componente

Para dibujar un componente, primero se selecciona *Part* del menú *Place*. Al principio es necesario añadir las bibliotecas *ANALOG*, *BREAKOUT*, *EVAL*, *SOURCE* y *SPECIAL*, que están en la carpeta `\Capture\Library\Pspice`. Cuando terminemos, se pulsa la tecla Esc. Conforme se dibujan los componentes en el área de trabajo, éstos se incluyen en la ventana de recursos. Es importante ir guardando de vez en cuando el proyecto.

B.4 Añadir el componente GND

En PSpice, todo circuito debe tener un nodo de referencia. Este componente se puede añadir desde la opción *Place Power ...* o desde *Place Part* En cualquier caso elegir el componente *GND_POWER*. Es preciso editar las propiedades de

este componente y en el campo Name poner el valor numérico de cero. Cualquier componente se puede copiar y pegar en la ventana del área de trabajo.

B.5 Relojes digitales

La estimulación de los valores de las entradas digitales se puede realizar con el componente *DigClock* de la biblioteca *SOURCE*. Si se elige el mismo valor para los parámetros *OFFTIME* y *ONTIME*, la señal digital será una forma de onda cuadrada, de periodo igual al doble de ese valor. Si se desea generar las entradas de una tabla de verdad de varias variables, se utilizarán varios relojes de manera que la variable de menos peso tenga el periodo T , la siguiente tenga el periodo $2T$, y así sucesivamente.

B.6 Cambiar el modelo PSpice de un componente

El modelo Pspice de los componentes de las librerías que vienen con esta versión de evaluación se puede editar según las necesidades del circuito. Por ejemplo, si es necesario utilizar un diodo que no está en la librería, entonces se elige el componente *Dbreak* y se edita su modelo PSpice. Muchos fabricantes de componentes facilitan sus modelos PSpice, de manera que podemos copiar el texto del modelo. Una vez terminado se guarda en el proyecto.

B.7 Crear una forma de onda en diente de sierra

En ocasiones se necesitan formas de onda que no están en las bibliotecas de PSpice de Capture. Por ejemplo, para crear una forma de onda en diente de sierra, de periodo T_S y amplitud V_p es posible hacerlo con el componente *VPWL_RE_FOREVER*. Se abre el editor de propiedades del componente y en el campo *FIRST_NPAIRS* se pone (0,0) (0.9999,1) (1,0). El valor T_S en el campo *TSF* y el valor V_p en el campo *VSF*.

B.8 Crear una variable global para el análisis paramétrico

Los valores de los componentes, una resistencia, tensión, la frecuencia de una forma de onda, etc., pueden asignarse a una variable global para realizar un análisis paramétrico. En primer lugar se edita el valor del componente y en su lugar se escribe el nombre de la variable global entre los símbolos de llaves. Por ejemplo, si queremos que el valor de una resistencia sea una variable global, se edita su valor y se pone {RVAL}. Se añade el componente *PARAM* que está en la biblioteca *SPECIAL*. Se abre el editor de propiedades del componente *PARAMETERS*; ahora se pulsa en el botón *New column ...*, se escribe el nombre de la variable global, RVAL sin llaves, en el campo *Name* y un valor numérico en el campo *Value*, por ejemplo 1k. Se pulsan los botones *Apply* y *Cancel*. Ahora se configura la simulación, activando la casilla *Parametric Sweep* y se elige *Global parameter*. Se escribe RVAL en *Parameter name*.

Finalmente, se elige el tipo de barrido, por ejemplo lineal, con un comienzo en 500, final en 2000 e incremento de 500.

También permite repetir el análisis para varios valores de algún generador, parámetro de un componente o temperatura. Es aplicable a los análisis en el dominio del tiempo y de la frecuencia (*AC Sweep*).

B.9 Tipos básicos de perfiles de simulación

B.9.1 Análisis en continua, o análisis *DC Sweep*

El análisis *DC Sweep* permite hacer un barrido de tensión (V), de corriente (I) e incluso de parámetros más complejos como la ganancia del transistor (β), calculando el punto de trabajo, en cada barrido, de los distintos tipos de variable que se han sido seleccionados; pudiendo ser estas variables: lineales, por décadas o según una lista de valores. En el cuadro *Sweep variable* se elige el tipo de variable sobre la que hacer el barrido; en el caso de ser una tensión se escoge el mismo nombre que la identifica en el esquemático. Este tipo de análisis admite el análisis anidado con *Secondary Sweep*.

B.9.2 Respuesta en frecuencia, o análisis *AC Sweep/Noise*

Permite comprobar cómo se comporta el circuito para diferentes frecuencias de la señal de entrada. Para realizarlo debe haber en el esquemático una fuente con el parámetro AC (por ejemplo el componente VAC de la biblioteca SOURCE). Se abre la opción de configuración de la simulación y en *Analysis type* seleccionamos la opción *AC Sweep/Noise* y rellenamos los parámetros de este tipo de análisis (en *AC Sweep Type* seleccionando *Logarithmic (Decade)*). También se indica la frecuencia de inicio del barrido en frecuencia con *Start Frequency*, la frecuencia final del barrido con *End Frequency* (nótese que para indicar megaherzios en esta herramienta hay que poner el sufijo meg¹ y el número de puntos por década *Points/Decade* (101 es un número de puntos suficiente en la mayoría de las simulaciones)).

B.9.3 Análisis temporal, *Time Domain (Transient)*

Es un análisis en el dominio del tiempo. Asociado a él está el análisis de Fourier. Para realizarlo debe haber en el esquemático una fuente con parámetros temporales. Por ejemplo el componente VSIN de la biblioteca SOURCE que genera una señal senoidal. En las propiedades de esta fuente hay que especificar: VOFF (tensión de offset, que debe ser 0 V si se quiere tener una señal senoidal simétrica), VAMP (amplitud en voltios de pico de la señal senoidal que se desea generar) y FREQ (frecuencia).

En los parámetros del análisis temporal se debe indicar el tiempo de simulación *Run to time* que deberá adecuarse a la frecuencia de la señal de entrada en el circuito. Por ejemplo si la frecuencia de la señal es de 1 kHz, su periodo es de 1 ms y se desea simular para tener cinco periodos de la señal, entonces *Run to time*=5 ms. También es conveniente indicar el paso máximo de simulación *Maximum step size*. Siguiendo

¹Con el sufijo m el programa entiende que las unidades están en mili y no en mega

con el ejemplo de señal de entrada de 1 kHz, si se desean 100 puntos por período de la señal de entrada, entonces *Maximum step size*=10 μ s.

B.9.4 Análisis del punto de funcionamiento en continua, *Bias Point*

Para realizar este tipo de análisis se debe poner una fuente de tensión continua que disponga del parámetro DC. Por ejemplo el componente VDC de la biblioteca SOURCE. Si tenemos dispositivos semiconductores en el esquema, es conveniente marcar la opción *Include detailed bias point information for nonlinear controlled sources and semiconductors(.OP)*. El resultado de esta simulación no es un fichero .dat, sino que se visualiza en un fichero de texto (extensión .out) que se abre desde la ventana de PSpice A/D con el menú *View* y la opción *Output File*. En el listado (si no ha habido errores durante la simulación) aparecen:

- Los listados de nodos del esquemático y de PSpice.
- Las tensiones en todos los nodos.
- Las corrientes en los generadores de tensión.

Con este perfil también es posible realizar el análisis de la función de transferencia de un circuito, marcando la opción *Calculate small signal DC gain (.TF)* e introduciendo los valores de las tensiones entre las que se quiere calcular dicha función. La tensión de entrada *From Input source name* no puede ser un alias; tiene que ser el nombre de una fuente independiente de tensión. El nombre de la salida *To Output variable* debe tener el formato V(*alias*), siendo *alias* el nombre de un cable. Después de ejecutar la simulación, justo al final del fichero .out generado, en el apartado *SMALL SIGNAL CHARACTERISTIC* se podrá ver el dato.

B.10 Análisis de los resultados con PSpice A/D

El resultado de una simulación temporal se guarda, como en el caso del análisis en frecuencia, en un fichero .dat que se abre con PSpice A/D. Este archivo ocupa bastante espacio y como se regenera cada vez que se simula el circuito se puede borrar para liberar espacio. Una razón por la que los ficheros de datos de ondas son tan grandes es que, por defecto, PSpice A/D guarda todas las tensiones de las conexiones y las corrientes de los dispositivos para cada paso (por ejemplo, puntos de tiempo y frecuencia).

Una manera de reducir este tamaño es colocar los marcadores que interesen en el esquema antes de la simulación, de esta forma PSpice A/D salva únicamente los resultados de los nodos y pines que contengan los marcadores. Para limitar el tamaño del fichero utilizando marcadores hay que hacer lo siguiente: En el menú *PSpice* de *Capture*, seleccionar *Edit Simulation Settings* para ver la caja de diálogo *Simulation Settings*. Seleccionar la pestaña *Data Collection*. Finalmente, en la zona *Schematic/Circuit Data*, seleccionar *At Markers only* y aceptar con OK.

PSpice A/D permite obtener nuevos gráficos a partir de las señales obtenidas durante la simulación. Por ejemplo: se pueden sumar, restar, multiplicar y dividir señales, así como también obtener la parte imaginaria, el promedio, el máximo, la fase,

la ganancia, etc. de las variables listadas en la ventana *Simulation Output Variables* que aparece cuando seleccionamos *Add Traces*. A la derecha, se puede observar la lista de operadores y funciones disponibles *Analog Operators and Functions*.

Por otra parte, las funciones objetivo (*Goal functions*) son un conjunto de instrucciones que PSpice A/D utiliza para evaluar determinadas características de una señal.

Utilización del software SP107E de Hameg

El Software SP107E para la documentación de señal bajo Windows®, es de libre utilización y se puede descargar desde la página www.hameg.com en la sección de descargas. Una vez instalado, para comunicarse con el osciloscopio HM407-2 se pulsa el botón *Config* y se selecciona el puerto y la velocidad de transmisión, que en el caso de no conocerse se obtiene seleccionando *Autosearch*. Cuando se haya establecido la comunicación entre el ordenador y el osciloscopio, cada vez que se desee capturar las señales se pulsa el botón *Read*. Las señales se pueden almacenar en el formato .mes, para un posterior análisis con este programa, incluso sin estar conectado al osciloscopio. También se pueden almacenar en formato .tab (archivo de texto) si se desea utilizar programas como Matlab, Excel, SciLab, etc. En la Figura C.1 se presenta las diferentes ventanas de este programa. La ayuda está disponible en el menú ?.

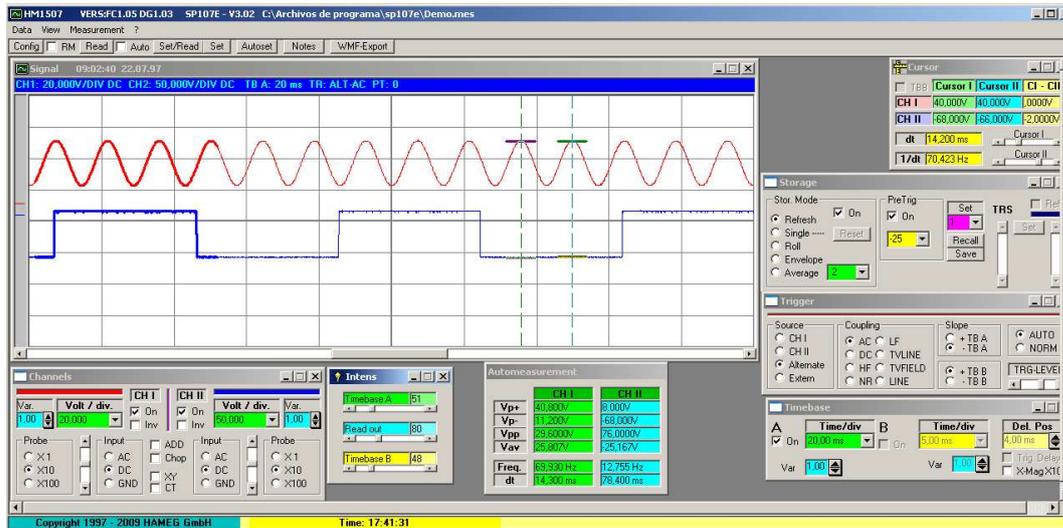


Figura C.1: Imagen del programa SP107E de Hameg.

Familias lógicas: Tecnologías

D.1 Familia TTL

La familia lógica TTL (TTL, *transistor-transistor logic* o lógica transistor-transistor) es una familia que se caracteriza fundamentalmente por su rapidez y porque sus transistores trabajan mayoritariamente en corte-saturación. La numeración de cualquier circuito integrado (CI) de esta familia comienza con los dígitos 74 (serie comercial) ó 54 (serie militar, con especificaciones más exigentes). Algunas de las subfamilias más utilizadas son: Estándar, S (*Schottky*), LS (*Low Power Schottky*), ALS (*Advanced Low Power Schottky*), FAST (*Advanced Schottky*) y ABT (*Advanced BiCMOS*). Las normas generales de funcionamiento para la familia TTL son:

- La tensión de alimentación debe ser constante de 5V ($\pm 0,5V$), excepto para los casos de familias de baja potencia para las cuales la tensión de alimentación puede ser inferior a los 3,3V.
- No dejar sin conectar ninguna entrada. Los principales problemas de funcionamiento se deben a estos fallos de conexión.
- El fabricante recomienda conectar las entradas que no se utilizan al nivel lógico alto (H). De este modo, se obtiene una mayor inmunidad frente al ruido, una mayor velocidad de conmutación y una disminución del consumo.
- No se puede conectar directamente dos salidas (Figura D.1), excepto si las salidas son de tipo colector abierto (*open collector*).

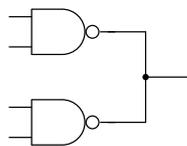


Figura D.1: Conexión errónea de dos salidas de puertas NAND TTL.

- Se deben evitar conexiones largas entre circuitos. Los cables pueden actuar de antenas y provocar un funcionamiento incorrecto.
- Las diferentes series tienen unos niveles típicos de tensión para las entradas y las salidas. El fabricante proporciona estos datos, como los representados

en la Tabla D.1. En el caso de un CI de la serie LS-TTL comercial, cualquier tensión entre 0 y 0,8 V en una entrada de este CI será interpretada como un nivel lógico bajo (L), y cualquier tensión entre 2 y 5 V será interpretada como un nivel lógico lógico alto (H).

Tabla D.1: Niveles de tensión de entrada y de salida de algunas familias TTL.

Series familias TTL	54 - Militar (-55 a 125°C)				74 - Comercial (0 a 70°C)			
	V_{IL}	V_{IH}	V_{OL}	V_{OH}	V_{IL}	V_{IH}	V_{OL}	V_{OH}
sin serie, <i>estándar</i>	0,8	2,0	0,4	2,4	0,8	2,0	0,4	2,4
H, <i>High speed</i>	0,8	2,0	0,4	2,4	0,8	2,0	0,4	2,4
LS, <i>Low power Schottky</i>	0,7	2,0	0,4	2,5	0,8	2,0	0,5	2,7
ALS, <i>Advanced LS</i>	0,8	2,0	0,4	2,5	0,8	2,0	0,5	2,5
FAST, <i>Advanced S</i>	0,8	2,0	0,5	2,5	0,8	2,0	0,5	2,5
ABT, <i>Advanced BiCMOS</i>	0,7	2,0	0,4	2,5	0,8	2,0	0,5	2,7

Como se puede observar en la Tabla D.1, los niveles de tensión de salida están incluidos dentro de los niveles de tensión de entrada de manera que se pueda interconectar en cascada varias entradas de la misma familia. En el caso de la familia LS-TTL comercial, el fabricante garantiza una tensión de salida máxima para el nivel lógico bajo (L) de 0,5 V (V_{OL}), que es inferior en 0,3 V al máximo permitido para el nivel bajo (L) de entrada (V_{IL}). Por otro lado, la tensión de salida mínima para el nivel lógico alto (H) es de 2,7 V (V_{OH}), que es superior en 0,7 V al mínimo permitido para la entrada (V_{IH}).

D.2 Familia CMOS

La tecnología CMOS (*Complementary Metal Oxide Semiconductor*) se caracteriza por su alta integración en CI y su bajo consumo. En la actualidad, hay subfamilias CMOS que posee velocidades cercanas a algunas subfamilias TTL. Algunas de las subfamilias más utilizadas son: serie 4000, HC y HCT (*High-Speed CMOS*, HCT entradas compatibles TTL), AC y ACT (*Advanced CMOS*, ACT entradas compatibles TTL), LVX (*Low Voltage CMOS*, trabaja de 2.0 a 3.6 V, compatible con entradas TTL), LCX (*Low Voltage High Performance*, trabaja a 3.3 V (de 2.7 a 3.6 V), compatible con entradas y salidas TTL) y VHC (*Very High Speed CMOS*, trabaja de 2.0 a 5.5 V con tiempos de conmutación de 3.7 ns). Las consideraciones generales de conexión mencionadas anteriormente para los circuitos de la familia TTL son también aplicables a los circuitos de la familia CMOS. Además, se añaden las siguientes:

- La alimentación debe ser constante y puede oscilar entre 2V y 15V según la subfamilia.

- La tensión de entrada nunca debe exceder la tensión de alimentación (excepto en buffers).
- El bajo consumo en reposo y el reducido tamaño permite una alta integración de funciones.
- Se deben evitar, siempre que sea posible, flancos de subida y/o de bajada de la señal de la entrada excesivamente lentos, puesto que repercuten en un excesivo consumo. Los tiempos óptimos deben ser menores de $15 \mu s$.
- Nunca se debe conectar una señal de entrada a un circuito CMOS si no está conectada la alimentación.

El motivo por el cual la manipulación y la utilización de circuitos CMOS deben realizarse con precaución, es debido a la estructura interna de estos circuitos. El transistor básico CMOS que se utiliza en los CIs está basado en una capa delgada de SiO_2 que separa y aísla el metal de la puerta del substrato de silicio (Si). Sin conexión de alimentación y al ser una capa muy delgada de SiO_2 , el CI CMOS queda virtualmente sin carga ante una señal de entrada, siendo muy susceptible de destruirse por electricidad estática.

D.3 Conexiones de los CIs TTL y CMOS a caracterizar

Las conexiones o pines de los CIs (Figura D.2) se enumeran tomando como referencia la “muesca” o marca de fábrica situada en uno de los extremos del CI, comenzando la enumeración en sentido contrario al de las agujas del reloj, y visto el CI desde una perspectiva superior.

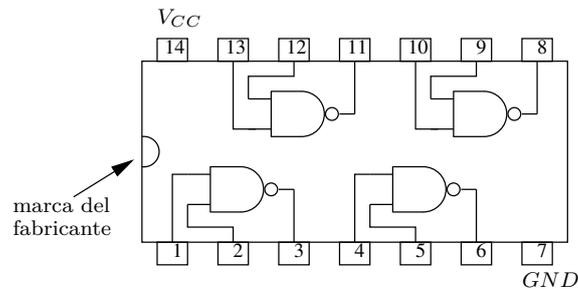


Figura D.2: Esquema de conexiones del CI 74LS00 (para el 74HTC00 es el mismo).

El fabricante proporciona el esquema de las conexiones que difieren de un CI a otro. Por ejemplo, la Figura D.2 corresponde al esquema de conexiones del CI 74LS00 que se caracterizará en primer lugar en la práctica 6. El número 74, las siglas LS y el número 00 corresponden a la familia comercial TTL, a la subfamilia de baja potencia “Low Schottky” y a la serie de 4 puertas NAND de dos entradas para cada puerta, respectivamente. En el esquema (Figura D.2), se observan las entradas y salidas de cada una de las cuatro puertas NAND que contiene.

En segundo lugar, se caracterizará un CI CMOS con referencia 74HCT00 y esquema de conexiones idéntico al de la Figura D.2. El esquema de conexiones suele ser independiente de la familia lógica y es el mismo para la misma serie. Es posible que a lo largo de las sesiones de prácticas se caractericen otras subfamilias y/o series de CIs. En cualquier caso, el profesor informará a principio de la práctica cuales son los CIs a caracterizar.

La alimentación es común a todas las puertas. Hay que prestar una atención particular a la hora de conectar las conexiones de alimentación (V_{CC}) y masa (GND), puesto que una conexión incorrecta significa en la mayoría de los casos la destrucción del CI.

Características estáticas y dinámicas de una familia lógica

E.1 Características estáticas de una familia lógica

Estas características permiten definir el comportamiento estático (o permanente) de una familia lógica. A continuación, se definen unos conceptos basados en el análisis de una puerta inversora.

E.1.1 Característica de transferencia de una puerta

La característica de transferencia define el comportamiento de una puerta. Este comportamiento se obtiene a partir de la curva $V_o = f(V_i)$, donde V_o y V_i son las tensiones de salida y de entrada de la puerta (conectada a V_{CC}) respectivamente. La Figura E.1 representa la característica de transferencia de una puerta inversora.

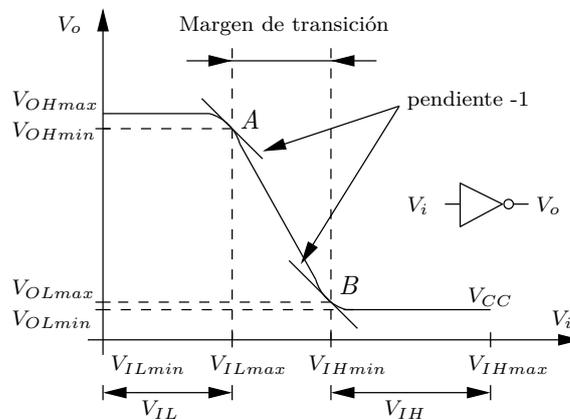


Figura E.1: Característica de transferencia de una puerta inversora.

En la característica están anotados los valores de tensiones que serán útiles para poder interpretar correctamente las características funcionales de cada familia lógica:

- V_{CC} : Tensión de alimentación. Corresponde al rango de tensiones permitido para el cual el dispositivo funciona.

- V_{OHmax} : Tensión de salida máxima para el nivel alto H. Corresponde a la tensión de salida máxima para el nivel alto garantizada por el fabricante.
- V_{OHmin} : Tensión de salida mínima para el nivel alto H. Corresponde a la tensión de salida mínima para el nivel alto garantizada por el fabricante. La localización de este punto en la característica de transferencia corresponde a aquél donde la pendiente es igual a -1 (igual a 1 para un no inversor).
- V_{OLmax} : Tensión de salida máxima para el nivel bajo L. Corresponde a la tensión de salida máxima para el nivel bajo garantizado por el fabricante. La localización de este punto en la característica de transferencia corresponde a aquél donde la pendiente es igual a -1 (igual a 1 para un no inversor).
- V_{OLmin} : Tensión de salida mínima para el nivel bajo L. Corresponde a la tensión de salida mínima para el nivel bajo garantizada por el fabricante.
- V_{ILmax} : Tensión de entrada máxima para el nivel bajo. Corresponde a la tensión máxima que se puede aplicar a la entrada para el nivel lógico "0". Para tensiones ligeramente superiores a V_{ILmax} no se garantiza que la entrada sea interpretada como un "0". La localización de este punto en la característica de transferencia corresponde a aquél donde la pendiente es igual a -1 (igual a 1 para un no inversor).
- V_{ILmin} : Tensión de entrada mínima para el nivel bajo L. Corresponde a la tensión de entrada mínima permitida para el nivel lógico bajo L.
- V_{IHmax} : Tensión de entrada máxima para el nivel alto H. Corresponde a la tensión de entrada máxima permitida para el nivel lógico alto H.
- V_{IHmin} : Tensión de entrada mínima para el nivel alto H. Corresponde a la tensión mínima que se debe aplicar a la entrada para que sea interpretada como el nivel lógico alto H. La localización de este punto en la característica de transferencia corresponde a aquél donde la pendiente es igual a -1 (igual a 1 para un no inversor).

A partir de esta característica de transferencia, se definen los siguientes términos: margen del cero, margen del uno, margen de transición y amplitud lógica.

Margen del cero

El margen del cero nos permite obtener la variación de la tensión de entrada de la puerta (V_i), conocido como nivel lógico bajo, para el cual la salida (V_o) no cambia del nivel lógico alto. El margen del cero (unidad V) viene determinado por (Figura E.1):

$$V_{IL} = V_{ILmax} - V_{ILmin}$$

Margen del uno

Del mismo modo, existe un margen de variación de la tensión de entrada (V_i), conocido como nivel lógico alto, para el cual la salida (V_o) no cambia del nivel lógico bajo. El margen del uno (unidad V) viene determinado por (Figura E.1):

$$V_{IH} = V_{IHmax} - V_{IHmin}$$

Margen de transición

El margen de transición corresponde a los valores de la tensión de entrada que no corresponden a un nivel lógico concreto (ni nivel bajo, ni nivel alto). Por consiguiente, cualquier valor comprendido dentro de ese margen corresponderá a un nivel lógico indeterminado a la salida. El margen de transición (unidad V) está situado entre los puntos de transición A y B (Figura E.1):

$$V_T = V_{IHmin} - V_{ILmax}$$

Amplitud lógica

La amplitud lógica es el margen de tensión con el que trabaja la puerta. En la Figura E.1, la amplitud lógica (unidad V) sería:

$$V_L = V_{OHmax} - V_{OLmin}$$

E.1.2 Característica de transferencia de una familia lógica

Dentro de una misma familia lógica, es difícil obtener tecnológicamente la misma característica de transferencia. Es decir, si se superponen todas las características de transferencia de las puertas de una misma función (perteneciente a una misma familia lógica), se obtiene la característica de transferencia de la Figura E.2.

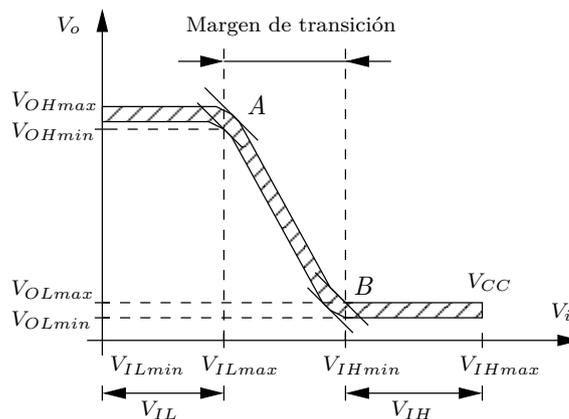


Figura E.2: Característica de transferencia de una misma familia.

E.1.3 Margen de ruido

El margen de ruido caracteriza la sensibilidad del dispositivo al ruido. El ruido es una tensión no deseada que puede perturbar el funcionamiento del circuito. El ruido puede ser una tensión positiva o negativa. En el caso de una tensión positiva, si se añade a la tensión de entrada de un nivel bajo, tiene por efecto de aumentar el valor crítico V_{ILmax} y a la salida aparecerá un error lógico (0 en vez de 1 para un inversor). Todo lo contrario ocurriría (en presencia de ruido positivo), si se aplica en la entrada un nivel lógico alto, ya que se alejarías del valor crítico V_{IHmin} . Un análisis similar con un ruido de tensión negativa aplicando una tensión a nivel alto y alcanzando el valor crítico V_{IHmin} , provocaría un error lógico (1 en vez de 0 para un inversor).

Como se ha podido comprobar, el ruido es un problema en la electrónica digital, de modo que para evitar los errores lógicos inherentes a dicho ruido (positivo o negativo), los fabricantes de dispositivos establecen un margen de seguridad para no sobrepasar los valores críticos de tensión. Al tener dos valores críticos, se establece un margen de ruido para el estado lógico bajo y otro para el estado lógico alto. Las tensiones de entradas críticas (V_{IHmin} , V_{ILmax}) aplicando sus respectivos márgenes de ruido (V_{NH} , V_{NL}) pasarían a ser las de las indicadas en la Figura E.3.

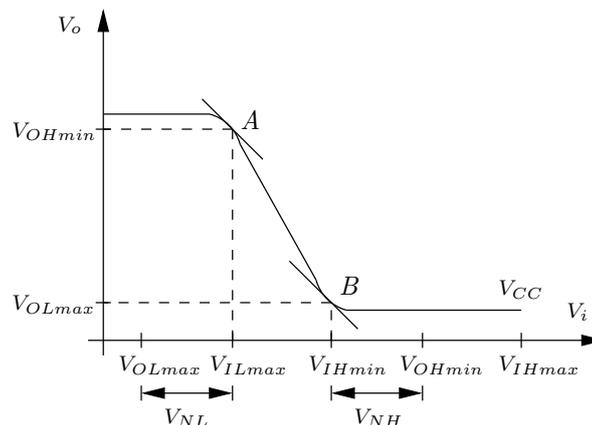


Figura E.3: Valores críticos de tensiones con sus respectivos márgenes de ruido.

Los márgenes de ruido para el nivel bajo (V_{NL}) y nivel alto (V_{NH}) vienen definidos por las siguientes relaciones (unidad V):

$$V_{NL} = V_{ILmax} - V_{OLmax}$$

$$V_{NH} = V_{OHmin} - V_{IHmin}$$

Los márgenes de ruido para una misma familia se determinan a partir de la característica de transferencia de una puerta conectada a otra y realimentadas (Figura E.4 y Figura E.5).

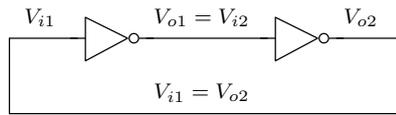


Figura E.4: Conexión de dos puertas inversoras realimentadas.

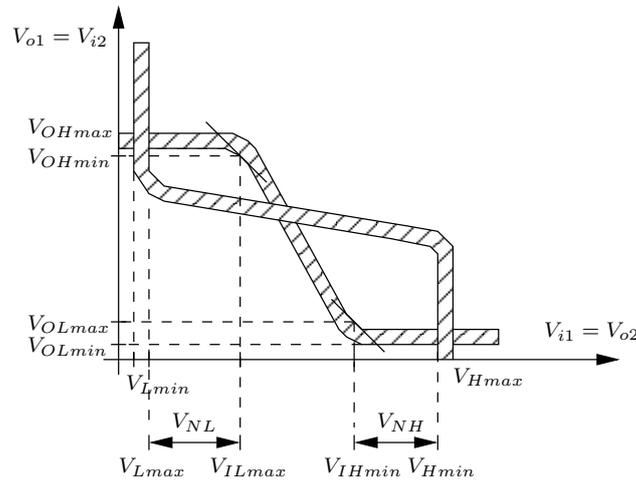


Figura E.5: Función de transferencia para dos puertas inversoras realimentadas para una misma familia.

Los márgenes de ruido para una familia lógica vienen definidos de la siguiente forma (unidad V):

$$V_{NL} = V_{ILmax} - V_{Lmax}$$

$$V_{NH} = V_{Hmin} - V_{IHmin}$$

E.1.4 *Fan-in* y *Fan-out*

El *Fan-out* indica la cantidad de cargas (entradas de otras puertas) que pueden conectarse a la salida de una puerta manteniendo los niveles de tensión en los límites especificados. Es decir, si se conecta un número de cargas a la salida de una puerta que proporciona un nivel bajo, la tensión de salida de dicha puerta no deberá superar la V_{ILmax} de las puertas que actúan como cargas para que no se produzca un error lógico. Del mismo modo, si se conecta un número de cargas a la salida de una puerta que proporciona un nivel alto, la tensión de salida de dicha puerta no deberá ser inferior a la V_{IHmin} de las puertas que actúan como cargas. Al depender de los valores de V_{ILmax} y de V_{IHmin} , el *Fan-out* dependerá principalmente del margen de ruido que se considere.

De modo similar, el *Fan-in* indica el número de puertas que se puede conectar a la entrada respetando los límites de carga. Se utiliza más el término y la definición de *Fan-out* que del *Fan-in*.

Para poder interpretar el *Fan-out*, se definen los siguientes términos:

- I_{OH} : Corriente de salida nivel alto.
- I_{OL} : Corriente de salida nivel bajo.
- I_{IH} : Corriente de entrada nivel alto.
- I_{IL} : Corriente de entrada nivel bajo.

Se define un *Fan-out* para el nivel bajo y otro para el nivel alto que corresponden de forma general a los siguientes cocientes:

- *Fan-out* nivel bajo = $\frac{I_{OL}}{I_{IL}}$.
- *Fan-out* nivel alto = $\frac{I_{OH}}{I_{IH}}$.

El resultado de estos cocientes es un número entero de puertas. Puede que el número de puertas obtenido por el *Fan-out* nivel bajo no coincide con el *Fan-out* nivel alto. La carga efectiva será el que tenga menos puertas como valor. Para los circuitos TTL, se suele definir sólo el *Fan-out* para el nivel bajo. Es debido a que la corriente de entrada a nivel bajo de una puerta (I_{IL}) es muy superior a la del nivel alto (I_{IH}), por lo que las tensiones V_{OL} e V_{IL} estarán más influenciadas por sus intensidades correspondientes I_{OL} e I_{IL} que las tensiones V_{OH} e V_{IH} por las corrientes I_{OH} e I_{IH} . Para los circuitos CMOS, no tiene sentido hablar de *Fan-out*, puesto que debido a su fabricación tecnológica, la intensidad de entrada a nivel bajo y a nivel alto es despreciable y, por consiguiente, el valor del *Fan-out* será muy grande para cualquier valor de intensidad de salida a nivel bajo y a nivel alto que pueda proporcionar el circuito CMOS.

En la literatura, se puede encontrar hasta cuatro formas diferentes para obtener el *Fan-out* nivel bajo. A continuación, solamente se establece el *Fan-out* según las condiciones del fabricante y en las condiciones más favorables.

***Fan-out* en las condiciones del fabricante para la familia TTL**

Para poder comparar las capacidades de carga de las diferentes familias TTL, los fabricantes han definido unos valores de carga normalizados (U. L. – *Unit Load*: unidad de carga) correspondientes a un margen de ruido de 400 mV. La unidad de carga que proporciona el fabricante de circuitos TTL es:

- 1 U. L. = 40 μ A (I_{IH}) para el nivel lógico alto de salida.
- 1 U. L. = 1.6 mA (I_{IL}) para el nivel lógico bajo de salida.

De este modo, se obtiene:

- *Fan-out* nivel bajo = $I_{OLmax}/1,6mA$ (U. L.). Con el valor de V_{OLmax} , que es $V_{ILmax} - V_{NL}$, se determina el valor de I_{OLmax} que proporciona la puerta.
- *Fan-out* nivel alto = $I_{OHmin}/40\mu A$ (U. L.). Con el valor de V_{OHmin} , que es $V_{IHmin} + V_{NH}$, se determina el valor de I_{OHmin} que proporciona la puerta.

***Fan-out* para un margen de ruido de 0 V (caso más favorable)**

El *Fan-out* en las condiciones más favorables corresponde a un margen de ruido de 0V. A partir de la característica de transferencia de la puerta con una carga conectada, se obtiene el valor máximo de la tensión de entrada a nivel bajo V_{ILmax} (sin margen de ruido). La intensidad de salida I_{OL} que produce una tensión de salida $V_{OL} = V_{ILmax}$ se divide por la intensidad de entrada I_{IL} correspondiente a V_{ILmax} . El *Fan-out* para el nivel bajo será entonces igual a I_{OL}/I_{IL} . De modo similar, se obtiene el *Fan-out* para el nivel alto igual a I_{OH}/I_{IH} .

E.1.5 Disipación de potencia

Otra característica muy importante en régimen estático es la disipación de potencia. Se calcula para una sola puerta y sin ninguna carga conectada a la salida de dicha puerta. Es el valor medio entre la potencia disipada para el nivel bajo y la potencia disipada para el nivel alto:

$$P_{Dmedia} = \frac{V_{CC} I_H + V_{CC} I_L}{2}$$

I_H e I_L corresponden a la intensidad de alimentación de una puerta cuando su salida está a un nivel alto e nivel bajo, respectivamente (Figura E.6).

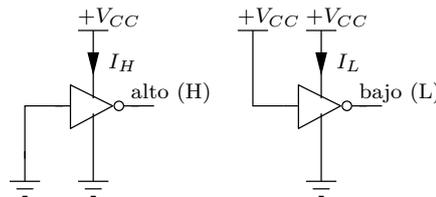


Figura E.6: Representación de una puerta inversora nivel alto y nivel bajo.

E.1.6 Intensidad de salida en cortocircuito (I_{OS})

Es un valor siempre útil de conocer. Corresponde a la intensidad de salida de una puerta a nivel alto cuando en dicha salida se ha producido por cualquier motivo un cortocircuito a masa (I_{OS}). Ese valor viene dado en la ficha técnica de los fabricantes. En el caso que se produjera un cortocircuito, se incrementaría la disipación de potencia de la puerta en conjunto y del transistor de salida de dicha puerta, en particular.

E.2 características dinámicas de una familia lógica

La mayoría de las aplicaciones con circuitos lógicos funcionan en régimen de conmutación, es decir, en régimen dinámico. Hay que tener en cuenta que los cambios de niveles no se hacen de forma instantánea. Siempre se produce un retardo entre la entrada y la salida (Figura E.7).

Por ello, los factores determinantes de la calidad de una familia lógica son la velo-

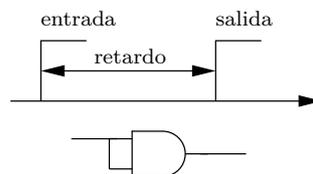


Figura E.7: Representación de un retardo entre la entrada y la salida de una puerta AND.

cidad de conmutación junto con la disipación de potencia. A continuación, se define los tiempos que determinan el comportamiento en régimen dinámico de una puerta no inversora (Figura E.8).

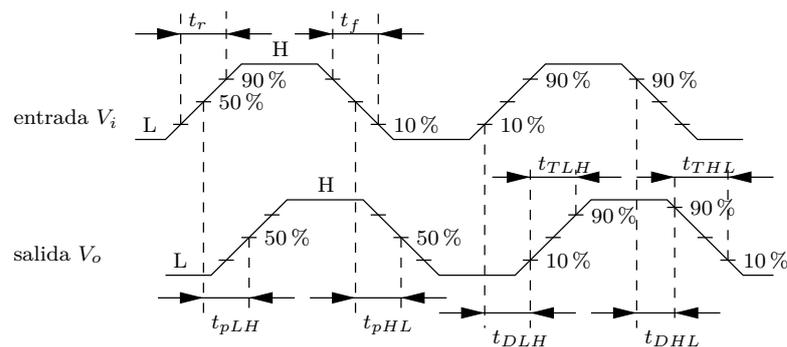


Figura E.8: Tiempos característicos para una puerta no inversora.

E.2.1 Tiempos de propagación

Los tiempos de propagación se definen por (Figura E.8):

- t_{pLH} : Corresponde al tiempo de propagación, medido entre el 50% del valor inicial de la onda de entrada y el 50% del valor inicial de la onda de salida en la transición de un nivel bajo a un nivel alto.
- t_{pHL} : Corresponde al tiempo de propagación, medido entre el 50% del valor final de la onda de entrada y el 50% del valor final de la onda de salida en la transición de un nivel alto a un nivel bajo.

Además, de los dos anteriores tiempos, se suele dar el tiempo de propagación medio debido a que los tiempos no son iguales:

$$t_p = \frac{t_{pLH} + t_{pHL}}{2}$$

E.2.2 Tiempos de retardo

Los tiempos de retardo se definen por (Figura E.8):

- t_{DLH} : Corresponde al tiempo de retardo, medido entre el 10 % del valor inicial de la onda de entrada y el 10 % del valor inicial de la onda de salida en la transición de un nivel bajo a un nivel alto.
- t_{DHL} : Corresponde al tiempo de propagación, medido entre el 10 % del valor final de la onda de entrada y el 10 % del valor final de la onda de salida en la transición de un nivel alto a un nivel bajo.

E.2.3 Tiempos de transición

Los tiempos de transición se definen por (Figura E.8):

- t_{TLH} : Corresponde al tiempo de subida de la tensión de salida, medido entre el 10 % y el 90 % de la amplitud de onda en la transición de un nivel bajo a un nivel alto.
- t_{THL} : Corresponde al tiempo de bajada de la tensión de salida, medido entre el 90 % y el 10 % de la amplitud de onda en la transición de un nivel alto a un nivel bajo.

Nota: Los fabricantes suelen proporcionar estos dos tiempos con los tiempos de subida ($t_r = rise\ time$) y de bajada ($t_f = fall\ time$) de la onda de entrada (Figura E.8).

E.2.4 Determinación de la frecuencia máxima de funcionamiento

En muchas ocasiones del diseño con circuitos digitales, se necesita trabajar a frecuencias elevadas. La frecuencia máxima (f_{max}) con la que se puede trabajar con una puerta lógica está indicada en la ficha técnica del fabricante. Ese valor se puede estimar experimentalmente a partir del tiempo de propagación medio (t_p). La Figura E.9 representa la señal de entrada y la señal de salida desfasada de un tiempo igual a t_p .

Para un buen funcionamiento de la puerta, se considera que la entrada debe tener un periodo de al menos: $T = 4 t_p$. La frecuencia máxima de funcionamiento será:

$$f_{max} = \frac{1}{4 t_p}$$

Este valor ha sido determinado para un desfase de un cuarto de ciclo. Un desfase mayor daría una frecuencia máxima más pequeña.

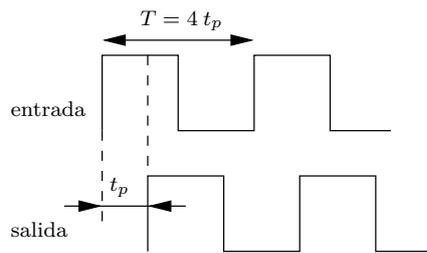


Figura E.9: Señales de entrada y de salida de una puerta no inversora (sin carga) desfasadas de t_p .

E.2.5 Producto velocidad-potencia

Esta característica es el producto entre el retardo de propagación medio (t_p) y la potencia de disipación media en régimen estático (P_{Dmedia}). La unidad del producto velocidad-potencia es el picoJulio (pJ). Esta característica permite facilitar la comparación de unas familias con otras. Este producto es una constante para cada familia lógica (puede variar dentro de un margen debido a la temperatura, la tensión de alimentación, ...). A menor producto velocidad-potencia mejor familia lógica. Por lo tanto, el objetivo de cada fabricante es minimizar este producto.

Modelo del Informe de Prácticas

Al finalizar el periodo de prácticas, por cada puesto de trabajo se deberá entregar un informe que recoja las actividades realizadas. Para la redacción de dicho informe de prácticas es conveniente cumplir una serie de indicaciones con la finalidad de que la memoria alcance tanto un elevado grado de claridad como de precisión. Siguiendo estas indicaciones, será más fácil evaluar el informe de prácticas, lo cual incidirá positivamente en la calificación. La funcionalidad del informe de prácticas es explicar con brevedad, rigor y claridad qué se ha realizado en el laboratorio, por qué lo hemos hecho, con qué lo hemos hecho, cómo lo hemos hecho y cuáles han sido los resultados obtenidos. En general, los apartados que formarán la memoria de prácticas son los siguientes:

F.1 Introducción

Explicación de los contenidos teóricos necesarios para la elaboración de la práctica. Debe ser una introducción de carácter general, en el que se presenten los dispositivos que se vayan a utilizar y su funcionamiento básico. Debe elaborarse a partir de los contenidos teóricos expuestos en clase, de las consultas bibliográficas (debe incluir las citas correspondientes) y de la información entregada en el guión de la práctica. En cualquier caso, no debe ser una mera reproducción de lo expuesto en la teoría sino una elaboración orientada hacia los contenidos prácticos.

F.2 Metodología

Se debe explicar la metodología con la que se realiza la práctica. Es el momento de entrar en detalles respecto a las siguientes cuestiones:

1. Material e instrumentación que se va a utilizar en la realización de las medidas.
2. Circuitos que se van a montar, explicando los sucesivos pasos en el diseño del sistema (analógico, combinacional o secuencial) que se va a utilizar: tablas de verdad, mapas de Karnaugh, operaciones de álgebra Booleana, esquemas de los circuitos de puertas lógicas, esquemas de amplificadores, etc. Si así se indica, se presentará también un esquema de los circuitos físicos que se van a montar (por ejemplo: indicar las conexiones entre los pines de diferentes integrados).
3. Metodología de las medidas: se indicará qué magnitudes se están midiendo, la configuración de la instrumentación utilizada en cada caso, las señales medidas

(entrada, salida o señales intermedias), escalas o rangos utilizados. Se puede incluir algún esquema que muestre la configuración experimental utilizada.

4. Incidencias: explicar si se han tenido problemas. Estos pueden ser: alguna medida no dá los valores esperados, alguna magnitud no se ha podido medir, se ha detectado algún fallo en el circuito integrado que no ha dado tiempo a solventar. Se intentará buscar alguna explicación a las incidencias observadas.

F.3 Resultados

Se presentarán de forma ordenada los resultados obtenidos. En este apartado no se deberán incluir explicaciones sobre la forma de realizar las medidas, puesto que aquéllas estarán dadas en el apartado de metodología, sino sobre los resultados de dichas medidas. La forma de presentar los resultados será mediante:

1. Descripción escrita: cuando el resultado no sea una cantidad medible (por ejemplo, la iluminación de los diferentes segmentos de un display). Se puede acompañar de un esquema o dibujo que ayude a la comprensión de los resultados.
2. Tabla: se elaborará una tabla con los resultados de las medidas, cuando éstas no den lugar a una lista muy grande. En las columnas se debe indicar claramente qué magnitud se está presentando y las unidades utilizadas. No utilizar nada más que las líneas imprescindibles para guiar la vista y facilitar la comprensión de los resultados. Incluir un título de la tabla, y si se estima necesario una breve explicación en una nota al pie de la misma.
3. Gráfica: es el mejor modo de presentar los resultados, especialmente si se han medido una gran cantidad de valores. Se podrán utilizar programas como Excel, Matlab, o cualquier otro. Las gráficas serán una representación cartesiana con dos o más ejes de las medidas realizadas. Los ejes de las gráficas se ajustarán a los rangos de las medidas. En algunas ocasiones, será recomendable utilizar la escala semilogarítmica. Se debe incluir siempre: el nombre de la magnitud y las unidades que se está representando en cada eje, una leyenda que explique qué representan los iconos utilizados para cada dato (especialmente necesaria cuando se presentan resultados de varias medidas en una misma gráfica) y una leyenda que explique las condiciones de la medida cuando se estime necesario (por ejemplo, temperatura ambiente, frecuencia de reloj introducida a los dispositivos, etc.). Incluir un título para cada gráfica, y una breve explicación en una nota al pie de la misma si fuera necesario.
4. Comentarios sobre los resultados obtenidos. Este es el apartado clave de la memoria. Se deben interpretar todos los resultados obtenidos, en caso contrario todo el trabajo anterior no serviría para nada. Se comentarán brevemente cada uno de los resultados obtenidos, si son los esperados o se han observado desviaciones (que no se consideren como incidencias). Si es necesario efectuar alguna operación a partir de las medidas directas para obtener el resultado buscado mencionar solamente lo que se ha hecho, pero no se debe razonar

aquí el tipo de operación, o la deducción matemática de la ecuación utilizada, dado que se habrá realizado en la introducción (si es un resultado general) o en la metodología (si es un resultado puntual, relativo al tipo de medida efectuada).

F.4 Conclusión

Es un apartado en el que se resume el tipo de medida efectuada y se destacan los principales resultados obtenidos. Se pueden introducir comentarios personales de valoración sobre lo acertado o no de dichos resultados.

F.5 Referencias

Al final de la práctica, incluir un listado de las referencias utilizadas en los diferentes apartados. Cada referencia debe incluir: nombre del autor (o autores), título del artículo o libro, revista o editorial, volumen o capítulo, página, año de publicación, lugar de publicación. Se puede optar por ponerlas según el orden de aparición de la cita en el texto de la práctica o por orden alfabético del primer autor.

F.6 Estilo y presentación

Aunque ya se han mencionado algunos detalles de estilo en la redacción del informe de las prácticas, todavía quedan algunos aspectos que es conveniente resaltar, como los siguientes:

- Mantener la misma notación durante todo el desarrollo de la memoria. Si a una determinada magnitud se le asigna un nombre, este nombre y el criterio seguido en la asignación deben mantenerse a lo largo de la práctica. Asimismo se deben mantener esa misma concordancia entre las expresiones que aparezcan en ecuaciones, en el texto y en las gráficas.
- Mantener la concisión y claridad en la exposición, evitando la información redundante y mostrando la imprescindible. Utilizar frases sencillas y certeras, evitando dobles interpretaciones.
- Mantener la rigurosidad en la expresión de los resultados. Es necesario que se exprese rigurosamente los resultados. Se deben evitar expresiones vagas y valoraciones cualitativas sin cuantificar.
- Utilizar los símbolos que convencionalmente se emplean en publicaciones relativas al tema. Por ejemplo, si se denomina I_3 a la intensidad que pasa por la rama 1 de un circuito solamente conseguiremos confundir al evaluador.
- Anotar las unidades correspondientes a la magnitud representada en cada resultado. Un resultado sin unidades puede ser considerado incorrecto.

- Mantener la objetividad en la evaluación de los resultados. Es conveniente hacer un análisis de las causas del error observado, puesto que ocultar que algo ha salido mal no conduce a hacerlo mejor la próxima vez.



Escuela Técnica
Superior de
Ingeniería de
Telecomunicación



Universidad
Politécnica
de Cartagena

rai
UPCT
ediciones