

Hardware reconfigurable para procesamiento digital de imagen y señal

F. Javier Toledo, J. Javier Martínez, F. Javier Garrigós, Juan Martínez, J. Manuel Ferrández
Dpto. Electrónica, Tecnología de Computadoras y Proyectos . Universidad Politécnica de Cartagena
Campus Muralla de Mar. Edificio Antiguo Hospital de Marina
30202 Cartagena
Teléfono: 968326467 Fax: 968 326400
E-mail: javier.toledo@upct.es

Resumen. *En este trabajo se resumen las principales beneficios de la utilización de las técnicas de co-diseño software/hardware junto con dispositivos programables (FPGAs) para la realización de aceleradores hardware de propósito específico para aplicaciones con grandes requisitos computacionales. A continuación rresumen diferentes aplicaciones de este tipo de sistemas dentro del las áreas de procesamiento digital de señales y de imagen implementadas con éxito por nuestro grupo de investigación.*

1 Introducción

La introducción de los dispositivos *Field Programmable Gate Array* (FPGA) hace aproximadamente 20 años ha dado lugar al nacimiento de lo que se conoce como Computación Reconfigurable. Si bien las primeras generaciones de FPGAs fueron bastante limitadas en sus capacidades, en la actualidad las más modernas tecnologías de fabricación de circuitos integrados permiten disponer de dispositivos no sólo con millones de puertas de lógica programable, sino también con recursos hardware específicos, con una amplísima gama de soluciones de conectividad, haciendo posible el diseño de complejos y potentes sistemas en un único chip (concepto SOC, *System On a Chip*) y permitiendo un gran salto hacia delante en la capacidad para procesar datos a mayor velocidad y con menor coste.

El hardware reconfigurable ofrece un compromiso entre los circuitos integrados de aplicación específica (ASICs) y los procesadores de propósito general (GPPs). Como los ASICs, las FPGAs implican implementación hardware y con ello paralelismo y alta capacidad de procesamiento digital; como los GPPs, proporcionan reconfigurabilidad y, en consecuencia, flexibilidad y rapidez de prototipado.

La estructura interna de las FPGAs las convierte en dispositivos perfectamente adecuados para realizar en paralelo tareas elementales de procesamiento digital. Además, su flexibilidad permite implementar no sólo coprocesadores de propósito específico, sino también interfaces, controladores, lógica de inter-conexión e incluso microprocesadores, posibilitando el codiseño hardware/software eficiente. Simultánea al incremento de la riqueza y potencia de los recursos físicos disponibles ha ido la evolución de las herramientas de síntesis, de simulación y de diseño a nivel de sistema que participan en las diferentes etapas del flujo de diseño. Por todo ello, las FPGAs son hoy en día la opción más atractiva para el desarrollo de

aplicaciones de procesamiento digital de señal e imagen de altas prestaciones.

2 Aplicaciones

En este ámbito, el grupo de Hardware Reconfigurable del Dpto. de Electrónica, Tecnología de Computadoras y Proyectos de la UPCT ha trabajado con éxito en el desarrollo de aceleradores hardware de propósito específico con aplicaciones al procesamiento digital de señales y de imagen sobre dispositivos FPGA. A continuación se describen brevemente algunos de los trabajos realizados, que ponen de manifiesto la relevancia de esta estrategia para mejorar las prestaciones de los algoritmos de implementación software estricta.

2.1 Realidad Aumentada

La Realidad Aumentada (AR) es una nueva tecnología que permite mejorar la percepción y la interacción de un usuario con el entorno, gracias a la combinación de la información que una persona adquiere de manera natural con información generada artificialmente. A diferencia de la realidad virtual, en la que el usuario permanece aislado de su entorno real, que es completamente reemplazado por otro artificial, en la realidad aumentada el propio mundo real es el que domina la percepción, y se completa con información adicional considerada de utilidad y que el usuario no puede detectar con sus propios sentidos. Por su propia naturaleza, la AR tiene un marcado carácter multidisciplinar, y su ámbito de aplicación abarca desde el entretenimiento hasta los fines militares, incluyendo la medicina, el diseño industrial, procesos de fabricación y mantenimiento, y, como se describe brevemente a continuación, la ayuda a discapacitados visuales.

El sistema descrito en [1] persigue la ayuda a personas afectadas de visión de túnel, un trastorno visual que consiste en la pérdida de la visión periférica y que está asociado a enfermedades como la retinosis pigmentaria o el glaucoma. La solución

propuesta consiste en superponer en el campo central de visión del usuario, donde se conserva alta resolución visual, la información de contornos extraída de la imagen de una cámara. Con esto se consigue mejorar la movilidad y la capacidad para relacionarse del individuo.

Para que esta solución sea realmente de utilidad, es imprescindible que el procesamiento se realice en tiempo real. Por esta razón nuestro sistema emplea como núcleo de procesamiento y control dispositivos FPGA. Para la extracción de contornos se han evaluado dos alternativas distintas: basada en redes neuronales celulares [1] y basada en el algoritmo de Canny [2]. El sistema propuesto se completa con una cámara que captura imágenes del entorno y un dispositivo HMD *see-through* (unos visores en forma de gafas que dejan pasar la luz a su través y, gracias a un sistema óptico, permiten combinar una imagen artificial con la propia visión del entorno). Un primer prototipo ha sido construido a partir de placas de desarrollo de AvNet Inc. La estructura básica se muestra en la figura 1.

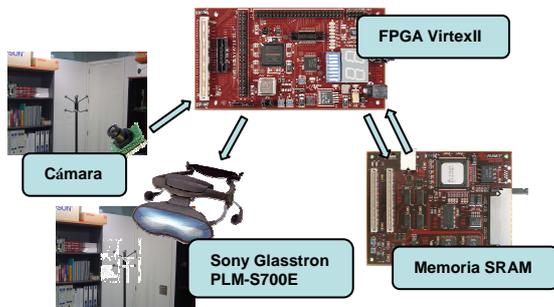


Fig. 1. Estructura a nivel de placas de desarrollo.

2.2 Procesamiento de la señal FCG

En los últimos años hemos asistido al redescubrimiento del análisis de la representación gráfica de los sonidos generados por el corazón (señal de fonocardiograma, FCG) como técnica para evaluar enfermedades cardíacas. Con el fin de caracterizar los sonidos y murmullos contenidos en la señal fonocardiográfica, resulta útil recurrir a técnicas tiempo-frecuencia, como la frecuencia instantánea (FI), que proporcionan información de la variación con el tiempo del contenido en frecuencia de una señal.

En el marco de un proyecto que persigue el procesamiento y la monitorización continua en tiempo real de la señal FCG para el desarrollo de un “estetoscopio inteligente”, hemos implementado sobre FPGA el cálculo de la frecuencia instantánea de la señal FCG [3], a través de la transformada discreta de Hilbert. El diseño ha sido descrito empleando la herramienta System Generator™ de Xilinx, una plataforma basada en Simulink® que permite representar una descripción de alto nivel de un sistema de procesamiento digital. El esquema de bloques del sistema (Fig. 2) muestra las 3 etapas fundamentales de procesamiento: el cálculo de la

señal analítica, el cálculo de la fase y finalmente el de la frecuencia instantánea.

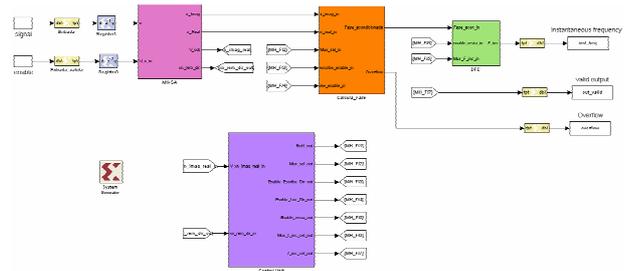


Fig. 2. Diagrama de bloques del cálculo de la FI.

2.3 Prototipado hardware de ANNs

Las redes neuronales artificiales (ANN) han sido implementadas tradicionalmente sobre microprocesadores de propósito general. Sin embargo, las implementaciones sobre hardware gozan de la libertad para explotar el paralelismo inherente de las ANNs y por lo tanto ofrecen a priori mayores prestaciones que las aplicaciones software. Por ésta y otras razones (reducción de tamaño, de consumo, sistemas empotrados) los diseñadores han evaluado alternativas más cercanas al hardware.

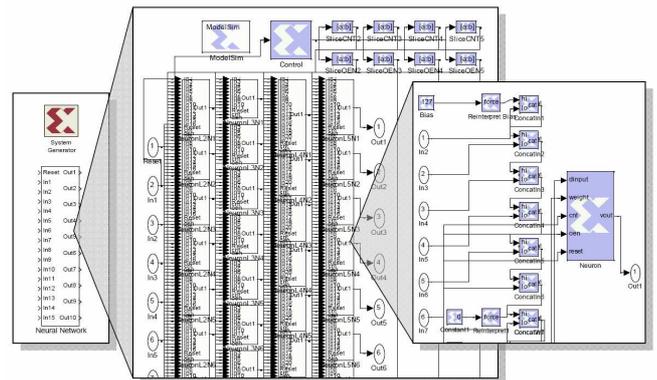


Fig. 3. Vista jerárquica del modelo de un MLP creado por la herramienta, mostrando la estructura de la red.

Con el fin de facilitar el trabajo del diseñador, hemos desarrollado HANNA (*Hardware ANN Architect*) una herramienta de ayuda en la generación de implementaciones hardware de redes neuronales tipo Perceptrón Multicapa (MLP) y similares sobre dispositivos FPGA [4]. Nuestra herramienta combina componentes definidos en VHDL con un conjunto de *scripts* en Matlab que, junto con las tradicionales habilidades de los entornos Matlab/Simulink, proporcionan una herramienta para generar automáticamente una descripción sintetizable para System Generator a partir de una descripción de alto nivel de la red. Para ello basta con un introducir los parámetros que definen la red en una interfaz gráfica de usuario. La figura 3 muestra el resultado generado por la herramienta.

Esta herramienta ha sido empleada en la implementación hardware de una ANN para un sistema de reconocimiento de hablantes basado en la clasificación de las vocales a partir de la frecuencia de

resonancia del tracto vocal. El resultado final condujo a una implementación sobre FPGA 800 veces más rápida que la solución software.

2.4 Interfaz PCI

En ocasiones resulta complicado comprobar el funcionamiento real de un etapa de procesamiento implementada en una FPGA. Las dificultades se presentan tanto a la hora de proporcionarle datos de entrada reales como al adquirir las señales de salida, siendo necesario recurrir a equipos específicos de medida y testeo normalmente costosos y de conexionado engorroso. Estas dificultades se acentúan en particular en aplicaciones de procesamiento de imagen, cuando se deben generar las imágenes de entrada y visualizar las procesadas.

Para facilitar estas tareas de diseño y verificación hemos desarrollado un sistema basado en el bus PCI [5]. Este sistema está constituido por una plataforma hardware que utiliza una FPGA para implementar una interfaz con el bus PCI descrita en VHDL, y una plataforma software desarrollada en Matlab que permite acceder directamente al espacio de configuración y los puertos E/S de la interfaz PCI. De este modo se posibilita el intercambio de información entre un coprocesador basado en FPGA y Matlab. La estructura de bloques se muestra en la Fig. 4. Esta interfaz permite también el desarrollo de aplicaciones de codiseño hardware/software.

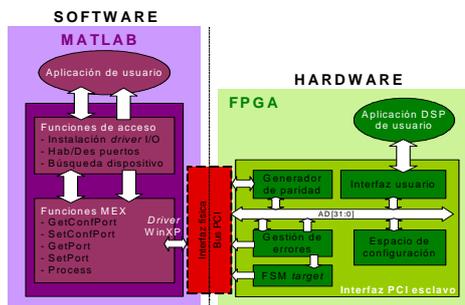


Fig. 4. Estructura de bloques del sistema PCI.

2.5 Diseño de un filtro FIR eficiente.

Para facilitar el diseño de aplicaciones, fabricantes de FPGAs y empresas desarrolladoras de sistemas basados en FPGA ofrecen *cores* que implementan una funcionalidad determinada. Para incluirlos basta con instanciarlos y conectarlos con los demás componentes del diseño. Así, por ejemplo, para procesamiento de señales existen *cores* de filtros FIR, de la FFT, de la DCT, etc. No obstante, las prestaciones de estos componentes no siempre cumplen u optimizan los requisitos de una aplicación determinada. Por esta razón, para la línea de investigación centrada en el procesamiento de la señal fonocardiográfica mencionada anteriormente, hemos diseñado nuestro propio *core* de un filtro FIR [6] de entre 2 y 1024 coeficientes basado en MAC y sincronizado mediante un reloj/contador *self-timed* de 4 fases que presenta alta velocidad

interna de funcionamiento, latencia nula y consumo de área reducido e independiente del número de coeficientes. El diseño ha sido optimizado para las FPGAs Virtex4, las más recientes de Xilinx, mediante la instanciación de primitivas de bajo nivel y la utilización de emplazamiento relativo RPM. La figura 5 muestra la ubicación de los *slices* ocupados.

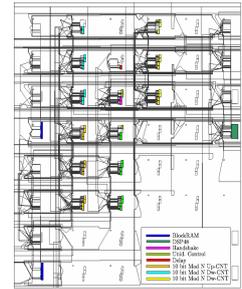


Figura 5. Distribución de *slices* en la FPGA.

Agradecimientos

Estos trabajos se realizan en el marco de los proyectos de investigación TIC 2003-09557-C02-02 y TIC 2003-09400-C04-02 del MCYT.

Referencias

- [1] F. J. Toledo, J. J. Martínez, F. J. Garrigós, J. M. Ferrández. "FPGA implementation of an augmented reality application for visually impaired people". Proc. 15ª Int. Conf. on Field Programmable Logic and Applications, FPL05. Tampere, Finlandia, 24-26 Agosto 2005.
- [2] F. J. Toledo, J. J. Martínez, F. J. Garrigós, J. M. Ferrández. "Reconfigurable hardware for an augmented reality application", Proc. 2º SPIE Int. Conf. on bioengineered and bioinspired systems, vol. 5389, 389-397, Sevilla, 2005.
- [3] A. Hernández, F. J. Toledo, J. Martínez, J. J. Martínez, R. Ruiz. "FPGA based implementation of the instantaneous frequency estimation of FCG signals", Proc. IFAC Workshop on Programmable Devices and Systems, PDS2004, 423-428, Cracovia, Nov. 2004.
- [4] F. J. Garrigós, J. C. Fernández, F. J. Toledo, J. J. Martínez. "Prototipado de ANNs con System Generator". Proc. 5ª Jornadas de Computación Reconfigurable y Aplicaciones, JCRA05. Granada, Sept. 2005.
- [5] J. J. Martínez, A. Legaz, F. J. Toledo, F. J. Garrigós, J. M. Ferrández. "Sistema basado en PCI para la co-simulación de aplicaciones DSP y de imagen sobre FPGAs desde Matlab®". Proc. 5ª Jornadas Computación Reconfigurable y Aplicaciones, JCRA05. Granada, Sept. 2005.
- [6] J. J. Martínez, F. J. Toledo, F. J. Garrigós, J. M. Ferrández. "Implementation of an area-time efficient FIR filter core on FPGA using a self-clocked approach". Proc. 15ª Int. Conf. on Field Programmable Logic and Applications, FPL05. Tampere, Finlandia, Agosto 2005.