

*Capítulo 3*  
*Módulo de Evaluación.*

# Índice

---

## **3. Módulo de Evaluación**

### 3.1. Análisis del sistema de desarrollo

3.1.1. Descripción

3.1.2. Características de la Placa de Evaluación del TMS320C24X

3.1.3. Descripción funcional de la placa de evaluación del TMS320C24x

### 3.2. Hardware

3.2.1. Memoria Externa

3.2.2. Convertidor AD y DA

3.2.3. Puerto Serie RS-232

3.2.4. Conectores

3.2.5. Jumpers

3.2.6. LEDs

3.2.7. Interruptores

3.2.8. Oscilador

3.2.9. Dispositivos GAL

# Capítulo 3

## Módulo de Evaluación.

---

### 3.1. Análisis del sistema de desarrollo.

#### 3.1.1. Descripción.

El Módulo de Evaluación del procesador TMS320C24x ('C24x EVM) es un paquete de desarrollo para procesadores de señal digital (DSP), el cual permite evaluar el funcionamiento de la familia de controladores DSP 'C24x. El EVM del 'C24x consiste en una placa de pruebas que permite explorar la arquitectura y modo de operación de la CPU del DSP 'C24x y de sus periféricos. Está basada en el controlador DSP TMS320F240 (equivalente al TMS320C240 pero incorporando memoria ROM de tipo Flash), el cual está optimizado para el control digital de motores y aplicaciones de conversión de potencia.

El modo en el que se conecta la placa de evaluación al puerto paralelo del PC es a través del emulador XDS510PP. La acción conjunta de este emulador y la placa de evaluación, y unidos a su vez al depurador de lenguaje C, permiten la verificación en tiempo real del código del 'C24x. Además, los cuatro conectores de 34 pines de los que va provista permiten el uso de tarjetas de expansión para simular prototipos o periféricos tales como predrivers, amplificadores de potencia, e interfaces de usuario.

### 3.1.2. Características de la Placa de Evaluación del TMS320C24X.

A continuación conoceremos las características de la placa de evaluación del 'C24x con la cual podremos realizar aplicaciones tales como el desarrollo de sistemas de control digital de motores y aplicaciones para automóviles:

- Controlador DSP 'F240 de coma fija.
- 128K palabras de memoria SRAM integrada en la placa.
- Convertidor Digital/Analógico (DAC) de 12 bits con 4 canales integrado en la placa.
- Puerto serie compatible RS-232.
- Puerto de emulación XDS510/XDS510PP.
- Banco de ocho interruptores DIP con memoria mapeada para entrada y salida.
- Banco de ocho LEDs con memoria mapeada para entrada y salida.

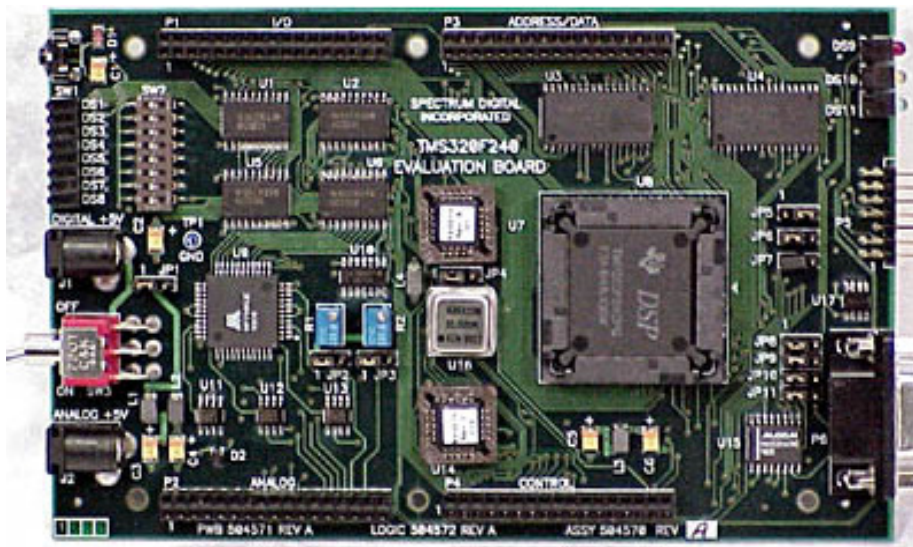


Figura 3.1 - Apariencia física del EVM320F240.

### 3.1.3. Descripción funcional de la placa de evaluación del TMS320C24x.

En la figura 3.2 está representado un diagrama de la placa de evaluación del 'C24x:

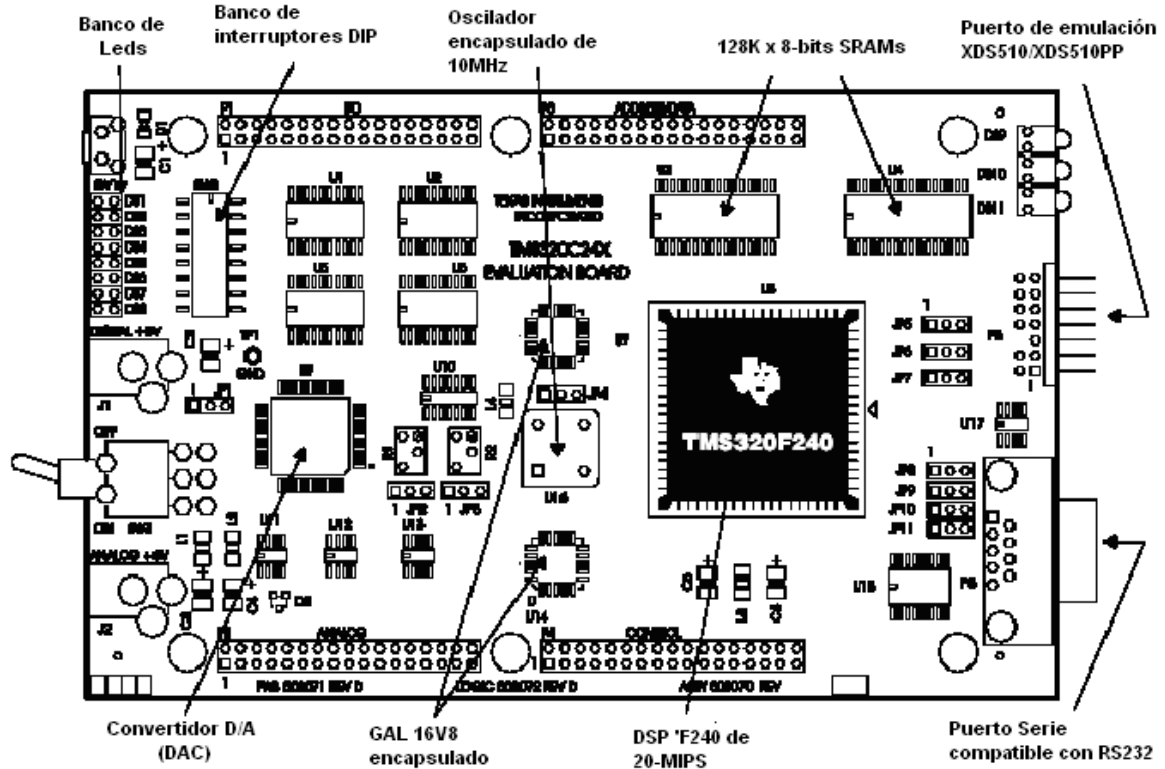


Figura 3.2 - Diagrama de la Placa de Evaluación del TMS320C240.

La placa de evaluación del procesador 'C24x está basada en el controlador DSP 'F240. Este dispositivo opera a 20 MIPS (millones de instrucciones por segundo) con un tiempo de ciclo por instrucción de 50 ns (20MHz). Algunas de las principales funcionalidades que posee el procesador 'F240 son las siguientes:

- Administrador de Eventos (EV).
- Tres temporizadores de propósito general de 16 bits, con 6 modos de funcionamiento.
- 12 canales de modulación de ancho de pulso (PWM).

- Interfaz para encóder de pulso cuadrado (QEP).
- Cuatro unidades de captura.

Además, a parte del procesador DSP, la placa también posee los siguientes dispositivos:

- Convertidores Analógico/Digital (ADCs) duales de 10 bits y 8 canales.
- Periféricos de comunicación síncronos y asíncronos.
- 544 palabras de memoria RAM de acceso dual (DARAM).
- 16K palabras de memoria Flash integrada.

En la placa de evaluación del procesador 'C24x va incluido un convertidor D/A (U9) de 4 canales y 12 bits. Los cuatro registros por canal del convertidor D/A y su registro de actualización están mapeados en el espacio de entrada/salida (E/S) del procesador DSP 'F240.

La placa de evaluación 'C24x soporta un total de 128K palabras de memoria externa. Las dos memorias SRAM de 128K x 8 bit (U3 y U4) de la placa de evaluación están fraccionadas de la siguiente forma:

- 64K palabras de memoria externa de programa.
- 32K palabras de memoria externa para datos locales.
- 32K palabras de memoria externa para datos globales.

La placa de evaluación 'C24x lleva incorporado un puerto serie DB-9 compatible con RS-232 para la comunicación asíncrona. El puerto serie DB-9 (P6) se conecta con la interfaz serie de comunicaciones (SCI) del 'F240 mediante un transmisor-receptor RS-232. Este puerto se puede configurar para varios protocolos de comunicación de modo que se consiga el entendimiento entre el software y hardware.

La entrada y salida de las principales señales de trabajo en la placa de evaluación se realiza a través de cuatro conectores de 34 pines. Todos los Controladores de Sucesos (EV), interfaz serie para periféricos (SPI), y las señales SCI son sacadas al conector de E/S (P1). Todas las señales analógicas, incluyendo los cuatro canales de salida DAC (Digital to Analog Converter), los 16 canales ADC de entrada, y las tensiones de referencia del ADC, son sacados al conector analógico (P2). La dirección externa y las

señales de datos del bus se encuentran en el conector de direcciones/datos (P3). El control de señales del interfaz externo de memoria es sacado al conector de control (P4).

El puerto de emulación (P5), el cual es compatible con el estándar IEEE1149.1, permite a la placa de evaluación del 'C24x actuar como una placa para emulación de XDS. El emulador XDS510PP incluido con el EVM, opera como la interfaz principal entre el depurador de código y la placa de evaluación del 'C24x.

A continuación se muestra una imagen sobre la instalación del emulador XDS510PP:

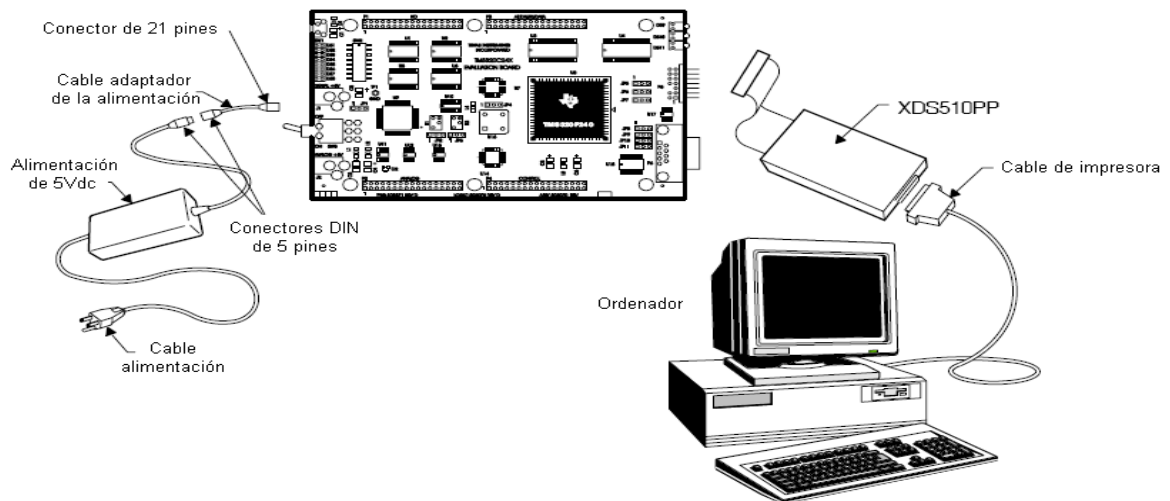


Figura 3.3 - Montaje del Módulo de Evaluación del DSP TMS320C240.

## 3.2. Hardware.

En el apartado de Hardware veremos los componentes más importantes de la placa de evaluación del 'C24x además del hardware que hace la función de interfaz entre el DSP 'C240 y los periféricos. Estos periféricos instalados en el Módulo de Evaluación están compuestos por una memoria externa, un convertidor Digital/Analógico (DAC), LEDs, e interruptores de tipo DIP. También nos introduciremos más a fondo en los registros de memoria relacionados con cada periférico así como con su funcionamiento.

### 3.2.1. Memoria Externa.

**La placa de evaluación del 'C24x posee un total de 128K palabras de memoria externa integrada en la placa la cual se suma a la encapsulada dentro del procesador. Las dos SRAMs de 128K x 8bit (U3 y U4) están fraccionadas de la siguiente manera:**

- 64K palabras de memoria externa para programas.
- 32K palabras de memoria externa para datos locales.
- 32K palabras de memoria externa para datos globales.



En la figura 3.4 vemos un esquema conceptual de cómo se organizan internamente las divisiones de memoria definidas anteriormente:

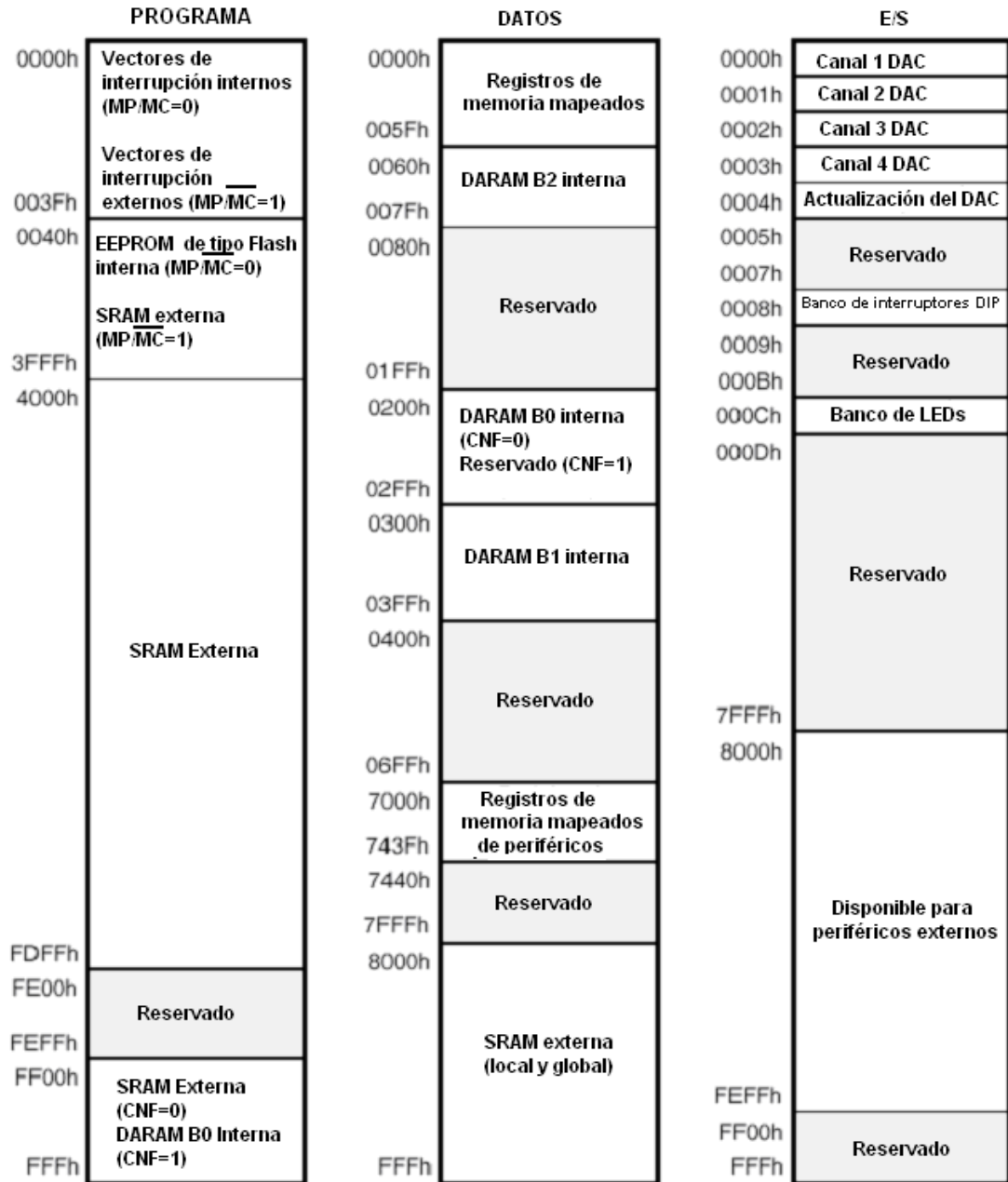


Figura 3.4 - Mapa de memoria del EVM para el TMS320C240.

Las SRAMs integradas en la placa están conectadas con los buses de direcciones y de datos del procesador 'F240. Para el control del funcionamiento de la memoria se utiliza una de las dos unidades de "Cadena generico-lógica 16V8" (GAL) (U7) instaladas en la placa de evaluación, las cuales vienen ya programados de fábrica. Su funcionalidad es la de controlar las actividades de habilitar la escritura (write-enable, WE) y lectura (output-enable, OE) de las SRAMs y el decodificador lógico de espacio en memoria. Además, esto tiene la ventaja de que debido al reducido tiempo de acceso a las SRAMs de tan solo 15ns, permite al 'F240 el acceso a la memoria externa de programa y de datos sin ningún tiempo de espera.

A continuación vamos a hacer un estudio más en profundidad sobre las características particulares de la memoria externa de programa y la memoria externa de datos:

### **Memoria Externa de Programa.**

La placa de evaluación del 'C24x incorpora 64K palabras de memoria Externa de Programa integrada en la placa. Cuando el procesador 'F240 está operando en *modo microprocesador*, todo el espacio completo de memoria de programa del 'F240 reside en estas 64K palabras de memoria externa dedicadas a memoria de programa. Para ello el jumper (JP6) MP/MC incluido en la placa debe estar en posición 1-2.

Cuando el 'F240 está operando en *modo microcomputador*, sólo los accesos a memoria de programa que estén por encima del registro 4000h residirán en la memoria externa. Todos los accesos a memoria de programa sobre la dirección 4000h o menores que esta residirán en las 16K palabras de la memoria Flash integrada en el procesador. Para configurar el funcionamiento del 'F240 como modo microcomputador el jumper (JP6) debe estar en posición 2-3.

### **Memoria Externa de Datos.**

Para los accesos a la memoria externa de datos del 'F240 solo son validas las últimas 32K palabras (8000h-FFFFh) del espacio de la memoria local de datos. Las primeras 32K palabras (0000h-7FFFh) del espacio de la memoria local de datos están reservados para los registros de periféricos integrados y los registros mapeados de la CPU.

Las direcciones de las 32K palabras superiores (8000h-FFFFh) del espacio para memoria local de datos pueden ser partidas con el objetivo de crear un segundo espacio de memoria de datos distinto conocido como memoria global de datos. El registro de asignación de memoria global (Global Memory Allocation Register, GREG) determina el tamaño del espacio dedicado a memoria global de datos, el cual tiene una dimensión de entre 256 y 32K palabras. El GREG está conectado a los ocho bits menos significativos (LSBs) del bus de datos interno y es uno de los registros de memoria mapeados de la CPU. Este registro está mapeado para la dirección de memoria de datos 0005h.

La placa de evaluación del 'C24x tiene 32K palabras de memoria para datos locales y 32K palabras de memoria para datos globales, formando así un total de 64K palabras de memoria externa para datos .

Es importante tener en cuenta que dos espacios de memoria para datos realmente residen en dos espacios físicos separados de memoria externa. Por ejemplo, si se escribe un dato en el registro 8000h de la memoria de datos locales, no se sobrescribe ese dato sobre el registro 8000h del espacio de memoria global. Sin embargo, si se quiere leer el valor que hay grabado en el espacio 8000h de la memoria global de datos, entonces hay que modificar primero el GREG para hacer válida esa dirección en ese espacio.

A continuación se muestra una tabla en la que se representan los valores permitidos para el GREG así como el rango de direcciones destinadas para los espacios de memoria local y global:

Valor del GREG		Memoria Externa Local		Memoria Externa Global	
MSByte	LSByte	Direcciones	Palabras	Direcciones	Palabras
XXXX XXXX	0000 0000	8000h–FFFFh	32 768	–	0
XXXX XXXX	1111 1111	8000h–FEFFh	32 512	FF00h–FFFFh	256
XXXX XXXX	1111 1110	8000h–FDFFh	32 256	FE00h–FFFFh	512
XXXX XXXX	1111 1100	8000h–FBFFh	31 744	FC00h–FFFFh	1 024
XXXX XXXX	1111 1000	8000h–F7FFh	30 720	F800h–FFFFh	2 048
XXXX XXXX	1111 0000	8000h–EFFFh	28 672	F000h–FFFFh	4 096
XXXX XXXX	1110 0000	8000h–DFFFh	24 576	E000h–FFFFh	8 192
XXXX XXXX	1100 0000	8000h–BFFFh	16 384	C000h–FFFFh	16 384
XXXX XXXX	1000 0000	–	0	8000h–FFFFh	32 768

**Nota:** X es cualquier valor 0 o 1

*Figura 3.5 – Configuraciones para las memorias externas locales y globales de datos.*

### 3.2.2. Convertidor AD y DA.

#### Convertidor Analógico/Digital.

**El procesador ‘F240 posee un convertidor Analógico/Digital (ADC) dual de 10bits el cual está integrado con el microprocesador.**

El módulo ADC está formado por dos ADCs de 10 bits con dos circuitos internos de muestreo. Cada ADC posee ocho entradas analógicas las cuales son suministradas mediante un multiplexor. El tiempo máximo necesario para la conversión de la señal de entrada es de 6.6 $\mu$ s.

Este módulo requiere una tensión de alimentación externa de 5 V dc. El jumper analógico de alimentación (JP1) de la placa de evaluación del ‘C24x permite elegir la fuente de energía analógica. Cuando el jumper JP1 está en posición 1-2, se ponen en común la salida de los circuitos de alimentación digital y analógica, produciendo la capacidad de poder utilizar una fuente de energía compuesta. Cuando el jumper JP1 está en posición 2-3, los circuitos de alimentación digital y analógica permanecen separados y por lo tanto se necesitan alimentaciones digital y analógica independientes.

Los voltajes de referencia para el módulo ADC deben ser también suministrados por una fuente externa. Los jumpers que configuran los valores de Vref alta (JP2) y la Vref baja (JP3), permiten establecer como valor de referencia tanto alto como bajo dentro de un rango de 0 a 5 V dc. Cuando los jumpers JP2 y JP3 están en posición 1-2, Vref alta está conectada directamente a la pista de alimentación analógica y Vref baja está conectada directamente a la pista analógica de tierra. Como otra opción, si colocamos los jumpers JP2 y JP3 en posición 2-3, entonces los valores de referencia alto y bajo pueden variar en un rango de 0 a 5 V dc sólo ajustando apropiadamente los potenciómetros (R1 y R2). El modo con el que se opera sobre los potenciómetros consiste en que si giramos su regulador en sentido de las agujas del reloj entonces se incrementará el voltaje de referencia, mientras que si se gira en sentido contrario se reducirá este voltaje.

El conector analógico da acceso a los pines de Vref alta y Vref baja y a los 16 canales del ADC. Todas las señales analógicas deben ser introducidas al 'F240 a través del conector analógico.

### Convertidor Digital/Analógico.

La placa de evaluación del 'C24x posee un modulo convertidor digital/analógico (DAC) integrado, el cual está formado por cuatro convertidores de 12 bits y buffer doble. Los cuatro canales DAC incluidos en la placa y el registro de actualización del DAC están mapeados en el espacio de memoria de E/S del DSP 'F240.

Las direcciones de memoria correspondientes a cada canal de conversión D/A son las mostradas en la siguiente tabla:

Nombre del registro	Dirección del registro	Descripción
DAC0	0000h	Entrada de datos en DAC0
DAC1	0001h	Entrada de datos en DAC1
DAC2	0002h	Entrada de datos en DAC2
DAC3	0003h	Entrada de datos en DAC3
DAC Actualización	0004h	Actualización del DAC

Figura 3.6 – Registros del DAC.

Para el buen funcionamiento del módulo DAC, este requiere que se generen estados de espera. Para ello se debe programar mediante software el DSP 'F240 para conseguir generar un estado de espera en el momento de acceder al espacio de E/S, además la señal de reloj de la CPU, la cual tiene una frecuencia de 20 MHz, debe ser sacada al exterior a través del pin de salida de reloj (CLKOUT) del 'F240. La señal de reloj de la CPU es usada por el GAL (U14) para generar por hardware los estados de espera adicionales requeridos por el módulo DAC. El siguiente fragmento de código

ilustra como se configura el DSP 'F240 para generar el número apropiado de estados de espera:

```

LDP #00E0h           ;Coloca el puntero de la página de datos sobre
la
                    ;dirección 00E0h
SPLK #00BBh,CKCR1   ;CLKIN (OSC) = 10MHz, CPUCLK = 20MHz
SPLK #00C3h,CKCR0   ;CLKMD = PLL Habilitado, SYSCLK = CPUCLK/2
SPLK #40C0h,SYSCR    ;CLKOUT=CPUCLK
LDP #0000h           ;Coloca el puntero de la página de datos sobre
la
                    ;dirección 0000h
SPLK #4h,GPR0        ;Configura el generador de estados de espera
                    ;para:
OUT GPR0,WSGR        ;Espacio de programa, 0 estados de espera
                    ;Espacio de datos, 0 estados de espera
                    ;Espacio de E/S , 1 estado de espera

```

En el código anterior, los registros que controlan el reloj (CKCR0, CKCR1) están configurados para generar una señal de reloj de la CPU de 20 MHz a partir de una frecuencia de entrada de 10 MHz. El registro de control del sistema (SYSCR) está configurado de tal manera que la señal de reloj de la CPU (CPUCLK) es la señal que se emitirá por el pin de salida de reloj del dispositivo.

El registro del generador de estados de espera (WSGR), está también programado para generar por software un estado de espera para los accesos al espacio de E/S. El código visto anteriormente asume que GPR0 es un registro de la memoria de datos no inicializado y está definido en la sección *.bss* del código. También asume que la sección *.bss* está mapeada en el bloque B2 de la RAM del DSP 'F240, lo cual requiere establecer a 0 el puntero que apunta a la zona de datos. El registro GPR0 sólo realiza un almacenado temporal ya que la instrucción "OUT" no soporta direccionamiento inmediato.

El valor digital a convertir debe ser escrito sobre el registro de datos de entrada del DAC que sea apropiado. Para comenzar la conversión de los cuatro DACS hay que

escribir un valor sobre el registro de actualización del DAC. El código siguiente ilustra como se debe proceder para escribir cuatro valores digitales sobre los cuatro registros de entrada del DAC y comenzar entonces la conversión digital-analógica escribiendo un valor imaginario sobre el registro de actualización del DAC:

```

LDP    #0000h                ;Coloca el puntero de la página de datos
                                ;sobre 0
SPLK   #03FFh,DAC0_VAL       ;Introduce el valor 03FFh en el registro
                                ;DAC0_VAL
SPLK   #07FFh,DAC1_VAL       ; Introduce el valor 07FFh en el registro
                                ;DAC1_VAL
SPLK   #0BFFh,DAC2_VAL       ; Introduce el valor 0BFFh en el registro
                                ;DAC2_VAL
SPLK   #0FFFh,DAC3_VAL       ; Introduce el valor 0FFFh en el registro
                                ;DAC3_VAL
OUT    DAC0_VAL,0000h         ;Carga el valor 03FFh en el registro DAC0
OUT    DAC1_VAL,0001h         ;Carga el valor 07FFh en el registro DAC1
OUT    DAC2_VAL,0002h         ;Carga el valor 0BFFh en el registro DAC2
OUT    DAC3_VAL,0003h         ;Carga el valor 0FFFh en el registro DAC3
OUT    DAC3_VAL,0004h         ;Comienza las conversiones del DAC
                                ;mediante ;la escritura de un valor sobre
                                ;el registro ;de Actualización del DAC.

```

El valor grabado en DAC3\_VAL se encuentra en el registro de actualización del DAC (0004h); sin embargo, para comenzar la conversión, se puede escribir en este registro cualquier valor. Este código de ejemplo asume que DAC0\_VAL, DAC1\_VAL, DAC2\_VAL, y DAC3\_VAL son registros no inicializados en la memoria de datos y que están definidos en la sección *.bss* del código. También asume que la sección *.bss* está mapeada dentro del bloque B2 del DSP 'F240, lo cual requiere establecer a 0 el puntero de la página de datos. Estos registros realizan solamente un almacenamiento temporal ya que la instrucción OUT no tiene capacidad para el direccionamiento inmediato.

Después de ejecutar el programa anterior se obtienen los datos de tensión esperada en cada pin de salida del conversor D/A de la placa de evaluación del 'C24x



representados en la siguiente tabla. Debemos tener en cuenta que se han establecido 0 y 5 V dc como valores de referencia para la tensión en las patillas Vref bajo y Vref alto respectivamente.

Registro DAC	Valor del registro	Pin de salida	Tensión en el pin
DAC0	03FFh	DACOUT0	1.25
DAC1	07FFh	DACOUT1	2.50
DAC2	0BFFh	DACOUT2	3.75
DAC3	0FFFh	DACOUT3	5.00

*Figura 3.7 – Salida del DAC.*

### 3.2.3. Puerto Serie RS-232.

**La placa de evaluación del ‘C24x lleva incluido un puerto serie compatible de tipo DB-9 para las comunicaciones asíncronas. El puerto serie DB-9 (P6) se comunica con el periférico SCI del ‘F240 a través del transmisor RS-232.**

Se pueden utilizar cinco señales del RS-232 para implementar varios protocolos de comunicación con plena interacción del hardware y software de la placa de evaluación. Estas señales son:

- Recibe dato (RX).
- Transmite dato (TX).
- Borra para enviar (*Clear To Send* ,CTS).
- Permiso para enviar (*Request To Send* ,RTS).
- Terminal de datos preparada (*Data Terminal Ready*, DTR).

Se necesita un cable RS-232 para conectar el puerto serie de la placa de evaluación con otro dispositivo. La correspondencia de pines entre los puertos serie de la placa de evaluación y el dispositivo a conectar es la siguiente:

Función	Puerto Serie de la Placa de Evaluación			Puerto Serie del huésped		
	Pin (DB-9)	Señal		Señal	Pin (DB-9)	Pin (DB-25)
Detector de acarreo (ignorado)	1	NC		DCD	1	8
Transmisión de datos al huésped	2	SCITX/IO	→	RX	2	3
Transmisión de datos a la placa de evaluación	3	SCIRX/IO	←	TX	3	2
Resetea la placa de evaluación mediante el huésped	4	HOSTRESET	←	DTR	4	20
Señal de tierra	5	GND	-	GND	5	7
Colocación de datos preparada (ignorado)	6	NC		DSR	6	6
Peticion de envío	7	$\overline{\text{BIO}}/\text{IOPC3}$	←	RTS	7	4
Borrar para enviar	8	XFI/OPC2	→	CTS	8	5
Indicador de enlace (ignorado)	9	NC		RI	9	22

**Nota:** NC= Sin conexión

Figura 3.8 – Conexiones mediante puerto serie RS-232 de la placa de evaluación con otro dispositivo.

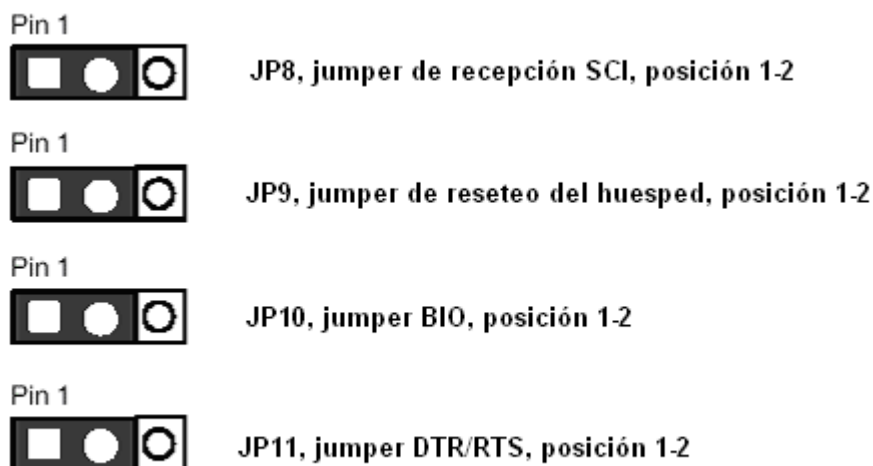
### Implementación de un Protocolo de Comunicaciones con Software de --Handshaking--.

Las líneas de datos RX y TX son las únicas dos líneas necesarias para implementar un protocolo de comunicaciones con software de ---Handshaking--- (por ejemplo, Xon/Xoff). Las líneas RX y TX interactúan con el periférico SCI del DSP 'F240 a través de un transmisor RS-232 y son usadas para transmitir y recibir datos de y desde el procesador huésped.

El pin SCITXD/IO del DSP 'F240 es el encargado de transmitir datos asíncronos hacia el procesador huésped. Este pin está conectado directamente a la línea RX del puerto serie DB-9 (a través del transmisor RS-232) y al pin 27 del conector de E/S (P1).

Por otro lado, el pin SCIRXD/IO del DSP ‘F240 es el responsable de recibir datos asíncronos del procesador huésped. La conexión del pin SCIRXD/IO se selecciona mediante un jumper. Cuando el jumper del SCI de recepción (JP8) está en la posición 1-2, el pin SCIRXD/IO está conectado a la línea TX del puerto serie DB-9 (a través del transmisor RS-232 ). El pin SCIRXD/IO está conectado al pin 28 del conector E/S (P1) cuando este jumper está en posición 2-3.

Para configurar el puerto serie RS-232 de la placa de evaluación se usan cuatro jumpers (JP8-JP11). Cuando se implementa un protocolo de comunicaciones con software “handshaking”, el puerto serie debería ser configurado para que sólo estén activas las líneas RX y TX. Las posiciones de los jumpers para configurar la placa de evaluación para un protocolo de comunicaciones de ese tipo se pueden ver en la figura 3.9.



*Figura 3.9 – Configuración de los jumpers para Software Handshaking.*

Como la línea de aceptación de datos (DTR) no se usa para implementar un protocolo de comunicaciones con software handshaking, esta línea puede ser usada por el procesador huésped para reiniciar remotamente la placa de evaluación del ‘C24x. Para implementar esta función, la línea DTR debe estar seleccionada como la línea activa mediante la colocación del jumper del DTR/RTS (JP11) en posición 1-2. La señal

de reset del huésped sobre la placa de evaluación debe ser también seleccionada mediante la colocación del jumper de reinicialización del huésped (JP9) en posición 2-3.

La señal de reset del huésped sobre la placa de evaluación conduce al dispositivo GAL enchufado responsable del control del reset lógico (U14). El procesador huésped debe cambiar a nivel bajo la línea DTR para provocar el reset de la placa de evaluación.

Las posiciones de los jumpers para configurar la placa de evaluación para un protocolo de comunicaciones con software handshaking y la función de reset por parte de un huésped se muestran en la figura 3.10.

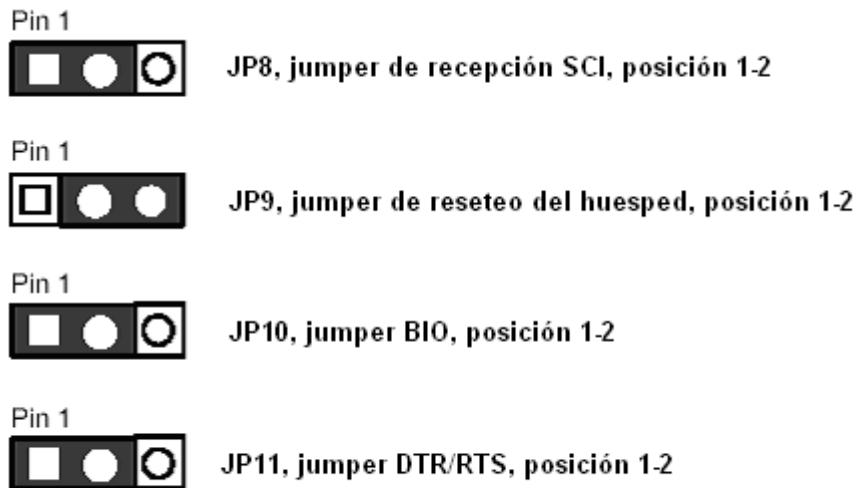


Figura 3.10 – Configuración de los jumpers para el reset remoto y el software –handshaking--.

Para entender mejor cuál es la actuación real de cada jumper sobre la configuración del hardware del puerto serie de la placa de evaluación se adjunta el circuito esquemático de la figura 3.11.

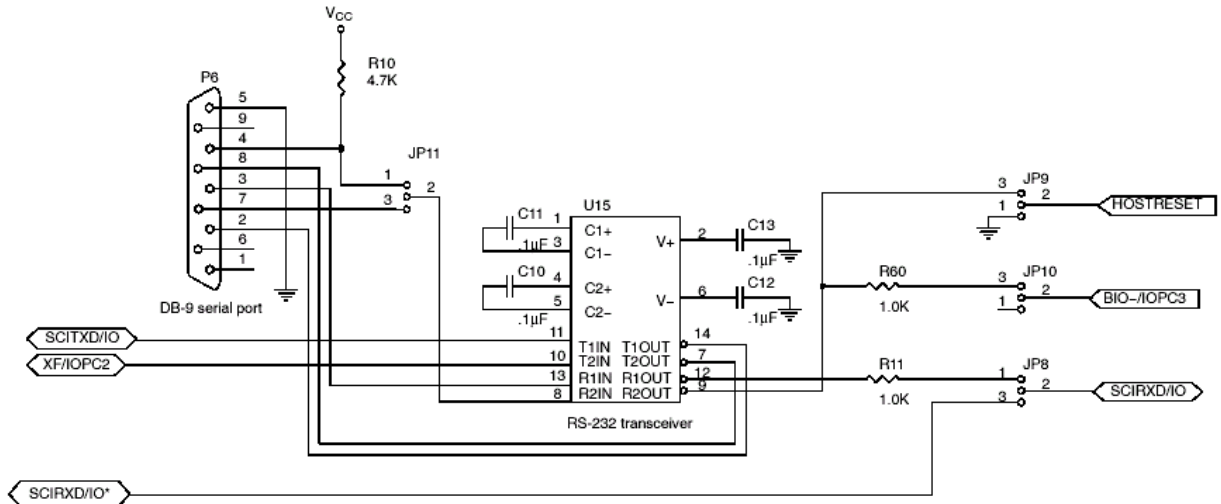


Figura 3.11 – Hardware de la interfaz Puerto Serie RS-232 incluido en la placa de evaluación ‘C24x.

### Ejemplo de implementación de un Protocolo de Comunicaciones con Hardware Handshaking.

Se pueden usar en conjunto las líneas CTS y RTS con las líneas RX y TX para implementar un protocolo de comunicaciones con hardware handshaking. La línea CTS es utilizada por el DSP ‘F240 para notificar al procesador huésped que está preparado para la transmisión de datos. La línea RTS es usada por el procesador huésped para comprobar si el DSP ‘F240 está preparado para recibir datos.

El pin XF/IOPC2 del DSP ‘F240 genera la señal CTS para el procesador huésped. Este pin está conectado directamente a la línea CTS del puerto serie DB-9 (a través del transmisor RS-232) y al pin 27 del conector de E/S (P1).

Los DTR/RTS y los jumpers BIO (JP11 y JP10) deben estar configurados correctamente para que el pin BIO/IOPC3 del DSP ‘F240 pueda recibir la señal RTS desde el procesador huésped. El jumper DTR/RTS (JP11) debe estar en posición 2-3

para seleccionar la línea RTS como la línea activa y el jumper BIO (JP10) debe estar en la posición 1-2 para conectar el pin BIO/IOPC3 del 'F240 con la línea RTS del puerto serie DB-9 (a través del transmisor RS-232).

La posición de los jumpers para configurar la placa de evaluación en modo de protocolo de comunicaciones con hardware handshaking se explica en la figura 3.12.

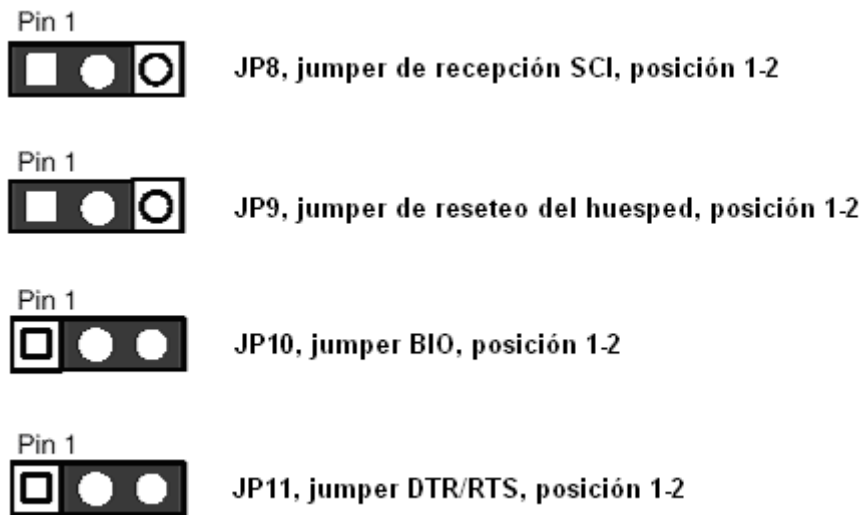


Figura 3.12 – Configuración de los jumpers para Hardware Handshaking.

### 3.2.4. Conectores.

Los cuatro conectores de 34 pines de los que va provista la placa de evaluación del 'C24x dan acceso a todas las señales importantes que se procesan en la placa. Todas las señales de control (EV), comunicaciones serie de periféricos (SPI) y señales de control para la comunicación serie (SCI) se encuentran en el conector de E/S (P1). Todas las señales analógicas, incluidos los cuatro canales de salida DAC, los 16 canales de salida ADC, y los voltajes analógicos de referencia se encuentran en el conector (P2). El direccionamiento externo y las señales del bus de datos están en el conector de direcciones/datos (P3) y las señales de control del interfaz para memoria externa son traídos hacia el conector de control (P4).

La posición relativa y la separación de 25mm entre los conectores de 34 pines permiten conectar fácilmente a la placa de evaluación tarjetas externas, comúnmente referidas como "tarjetas secundarias". La fuente de alimentación universal incluida con la placa de evaluación tiene dos alimentaciones independientes de 5Vdc capaces de suministrar una corriente de 3.3 A. Las tarjetas secundarias pueden incluir un conector DIN de 5 pines para separar la alimentación de energía, o también se puede utilizar el adaptador de DIN a 2,1mm para abastecer de energía a ambas placa de evaluación del 'C24x y la tarjeta secundaria.

El puerto de emulación de 14 pines (P5) le da la capacidad a la placa de evaluación de actuar como el sistema sobre el que debe actuar el emulador XDS510PP o el XDS510.

A continuación vamos a hacer un estudio en profundidad de cada uno de los cuatro conectores.



**Conector de E/S (Entrada/Salida).**

El conector E/S (P1) da acceso a todas las señales EV, SPI y SCI del DSP 'F240. Este conector puede también administrar alimentación digital y tierra a cualquier periférico o tarjeta secundaria. A continuación vemos un diagrama del conector de E/S:

V <sub>CC</sub>	● 1	2 ●	V <sub>CC</sub>
PWM1/CMP1	● 3	4 ●	PWM2/CMP2
PWM3/CMP3	● 5	6 ●	PWM4/CMP4
PWM5/CMP5	● 7	8 ●	PWM6/CMP6
PWM7/CMP7/IOPB0	● 9	10 ●	PWM8/CMP8/IOPB1
PWM9/CMP9/IOPB2	● 11	12 ●	T1PWM/T1CMP/IOPB3
T2PWM/T2CMP/IOPB4	● 13	14 ●	T3PWM/T3CMP/IOPB5
TMRDIR/IOPB6	● 15	16 ●	TMRCLK/IOPB7
GND	● 17	18 ●	GND
XF/IOPC2	● 19	20 ●	$\overline{\text{BIO}}$ /IOPC5
CAP1/QEP1/IOPC4	● 21	22 ●	CAP2/QEP2/IOPC5
CAP3/IOPC6	● 23	24 ●	CAP4/QEP4/IOPC6
Reserved	● 25	26 ●	$\overline{\text{PDPINT}}$
SCITXD/IO	● 27	28 ●	SCIRXD/IO
SPISIMO/IO	● 29	30 ●	SPISOMI/IO
SPICLK/IO	● 31	32 ●	SPISTE/IO
GND	● 33	34 ●	GND

Figura 3.13 - Diagrama del conector de E/S (P1).

En la siguiente tabla se muestra la asignación específica de los pines para el conector E/S y una breve descripción de cada señal sacada por el conector:

### ***Descripción de las señales del Conector E/S.***

<b>Pin</b>	<b>Señal</b>	<b>Descripción</b>	<b>Tipo</b>
1,2	V <sub>cc</sub>	Alimentación Digital (5Vdc)	I
3	PWM1/CMP1	PWM/salida de comparación generada por unidades de comparación completa	O/Z
4	PWM2/CMP2	PWM/salida de comparación generada por unidades de comparación completa	O/Z
5	PWM3/CMP3	PWM/salida de comparación generada por unidades de comparación completa	O/Z
6	PWM4/CMP4	PWM/salida de comparación generada por unidades de comparación completa	O/Z
7	PWM5/CMP5	PWM/salida de comparación generada por unidades de comparación completa	O/Z
8	PWM6/CMP6	PWM/salida de comparación generada por unidades de comparación completa	O/Z
9	PWM7/CMP7 IOPB0	PWM/salida de comparación generada por unidades de comparación simple Bit 0 de E/S de propósito general, puerto B	O/Z E/S
10	PWM0/CMP0 IOPB1	PWM/salida de comparación generada por unidades de comparación simple Bit 1 de E/S de propósito general, puerto B	O/Z E/S
11	PWM9/CMP9 IOPB2	PWM/salida de comparación generada por unidades de comparación simple Bit 2 de E/S de propósito general, puerto B	O/Z E/S
12	T1PWM/T1CMP IOPB3	PWM/salida de comparación generada por la unidad de comparación GPT1 Bit 3 de E/S de propósito general, puerto B	O/Z E/S
13	T1PWM/T2CMP IOPB4	PWM/salida de comparación generada por la unidad de comparación GPT2 Bit 4 de E/S de propósito general, puerto B	O/Z E/S
14	T2PWM/T3CMP IOPB3	PWM/salida de comparación generada por la unidad de comparación GPT3 Bit 5 de E/S de propósito general, puerto B	O/Z E/S
15	TMRDIR IOPB6	Señal de dirección de conteo para temporizadores GP Bit 6 de E/S de propósito general, puerto B	I E/S
16	TMRCLK IOPB7	Entrada del reloj externo para temporizadores GP Bit 7 de E/S de propósito general, puerto B	I E/S

**Nota:** I = Entrada, O = Salida, Z = alta impedancia

Pin	Señal	Descripción	Tipo
17,18	GND	Tierra Digital	
19	XF	Pin de salida del aviso (flag) externo	O
	IOPC2	Bit 2 de E/S de propósito general, puerto C	E/S
20	$\overline{\text{BIO}}$	Entrada de control de rama	I
	IOPC3	Bit 3 de E/S de propósito general, puerto C	E/S
21	CAP1/QEP1	Entrada 1 de captura o QEP	I
	IOPC4	Bit 4 de E/S de propósito general, puerto C	E/S
22	CAP2/QEP2	Entrada 2 de captura o QEP	I
	IOPC5	Bit 5 de E/S de propósito general, puerto C	E/S
23	CAP3/QEP3	Entrada 3 de captura o QEP	I
	IOPC6	Bit 6 de E/S de propósito general, puerto C	E/S
24	CAP4/QEP4	Entrada 4 de captura o QEP	I
	IOPC7	Bit 7 de E/S de propósito general, puerto C	E/S
25	NC	Sin conectar	
26	$\overline{\text{PDPINT}}$	Interrupción enmascarable de protección de la alimentación de energía	I
27	SCITXD	Pin de transmisión de datos del puerto serie asíncrono SCI	O
	IO	E/S de propósito general	E/S
28	SCIRXD	Pin de recepción de datos del puerto serie asíncrono SCI	I
	IO	E/S de propósito general	E/S
29	SPISIMO	Pin de entrada del esclavo y salida del maestro	E/S
	IO	E/S de propósito general	E/S
30	SPISIMO	Pin de salida del esclavo y entrada del maestro	E/S
	IO	E/S de propósito general	E/S
31	SPICLK	Señal de reloj SPI	I
	IO	E/S de propósito general	E/S
32	SPISTE	Señal de habilitación de transmisión del SPI	I
	IO	E/S de propósito general	E/S
33,34	GND	Tierra digital	

**Nota:** I = Entrada, O = Salida, Z = alta impedancia

### Conector Analógico.

El conector analógico (P2) da acceso a todas las señales ADC manejadas dentro del procesador y todas las señales DAC que circulan por la placa. Este conector también puede suministrar alimentación analógica y tierra a cualquier periférico o tarjeta secundaria. La fuente de alimentación analógica y la tierra están determinadas por la posición del jumper analógico (JP1).

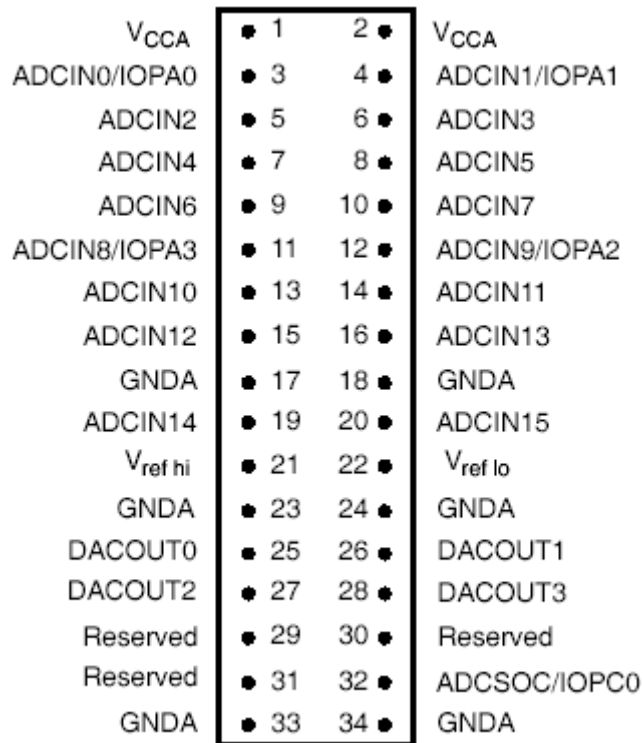


Figura 3.14 - Diagrama del conector Analógico (P2).

En la siguiente tabla se muestra la asignación específica de los pines para el conector analógico y una breve descripción de cada señal sacada por el conector:

### ***Descripción de las señales del Conector Analógico.***

<b>Pin</b>	<b>Señal</b>	<b>Descripción</b>	<b>Tipo</b>
1,2	V <sub>CCA</sub>	Alimentación analógica (5Vdc)	I
3	ADCIN0	Entrada del ADC, canal 0	I
	IOPA0	Bit 0 de E/S de propósito general, puerto A	E/S
4	ADCIN1	Entrada del ADC, canal 1	I
	IOPA1	Bit 1 de E/S de propósito general, puerto A	E/S
5	ADCIN2	Entrada del ADC, canal 2	I
6	ADCIN3	Entrada del ADC, canal 3	I
7	ADCIN4	Entrada del ADC, canal 4	I
8	ADCIN5	Entrada del ADC, canal 5	I
9	ADCIN6	Entrada del ADC, canal 6	I
10	ADCIN7	Entrada del ADC, canal 7	I
11	ADCIN8	Entrada del ADC, canal 8	I
	IOPA3	Bit 3 de E/S de propósito general, puerto A	E/S
12	ADCIN9	Entrada del ADC, canal 9	I
	IOPA2	Bit 2 de E/S de propósito general, puerto A	E/S
13	ADCIN10	Entrada del ADC, canal 10	I
14	ADCIN11	Entrada del ADC, canal 11	I
15	ADCIN12	Entrada del ADC, canal 12	I
16	ADCIN13	Entrada del ADC, canal 13	I
17,18	GNDA	Tierra analógica	I
19	ADCIN14	Entrada del ADC, canal 14	I
20	ADCIN15	Entrada del ADC, canal 15	I

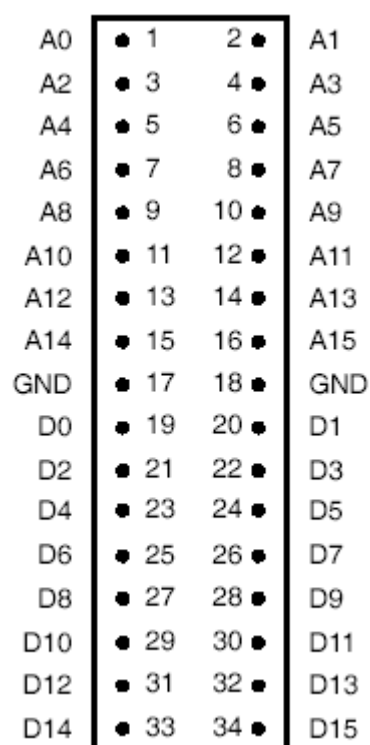
**Nota:** I = Entrada, O = Salida, Z = alta impedancia

Pin	Señal	Descripción	Tipo
21	V <sub>ref hi</sub>	Tensión alta analógica de referencia del ADC	I
22	V <sub>ref lo</sub>	Tensión baja analógica de referencia del ADC	I
23,24	GNDA	Tierra analógica	
25t	DACOUT0	Salida del DAC, canal 0	O
26	DACOUT1	Salida del DAC, canal 1	O
27	DACOUT2	Salida del DAC, canal 2	O
28	DACOUT3	Salida del DAC, canal 3	O
29	NC	Sin conexión	
30	NC	Sin conexión	
31	NC	Sin conexión	
32	ADCSOC	Inicio externo de la conversión de la señal para el ADC	I
	IOPC0	Bit 0 de E/S de propósito general, puerto C	E/S
33,34	GNDA	Tierra analógica	

**Nota:** I = Entrada, O = Salida, Z = alta impedancia

**Conector de Direcciones/Datos.**

El conector de direcciones/datos (P3) da acceso al bus externo de datos y al bus de direcciones del DSP T240. A continuación vemos un diagrama del conector de Direcciones/Datos :



*Figura 3.15 - Diagrama del conector de Direcciones/Datos (P3).*

En la siguiente tabla se muestra la asignación específica de los pines para el conector de Direcciones/Datos y una breve descripción de cada señal sacada por el conector:

***Descripción de las señales del Conector de Direcciones/Datos.***

<b>Pin</b>	<b>Señal</b>	<b>Descripción</b>	<b>Tipo</b>
1	A0	Bit 0 del bus de direcciones externo	O/Z
2	A1	Bit 1 del bus de direcciones externo	O/Z
3	A2	Bit 2 del bus de direcciones externo	O/Z
4	A3	Bit 3 del bus de direcciones externo	O/Z
5	A4	Bit 4 del bus de direcciones externo	O/Z
6	A5	Bit 5 del bus de direcciones externo	O/Z
7	A6	Bit 6 del bus de direcciones externo	O/Z
8	A7	Bit 7 del bus de direcciones externo	O/Z
9	A8	Bit 8 del bus de direcciones externo	O/Z
10	A9	Bit 9 del bus de direcciones externo	O/Z
11	A10	Bit 10 del bus de direcciones externo	O/Z
12	A11	Bit 11 del bus de direcciones externo	O/Z
13	A12	Bit 12 del bus de direcciones externo	O/Z
14	A13	Bit 13 del bus de direcciones externo	O/Z
15	A14	Bit 14 del bus de direcciones externo	O/Z
16	A15	Bit 15 del bus de direcciones externo	O/Z
17,18	GND	Tierra digital	
19	D0	Bit 0 del bus de datos externo	E/S/Z
20	D1	Bit 1 del bus de datos externo	E/S/Z
21	D2	Bit 2 del bus de datos externo	E/S/Z
22	D3	Bit 3 del bus de datos externo	E/S/Z
23	D4	Bit 4 del bus de datos externo	E/S/Z

**Nota:** I = Entrada, O = Salida, Z = alta impedancia



---

<b>Pin</b>	<b>Señal</b>	<b>Descripción</b>	<b>Tipo</b>
24	D5	Bit 5 del bus de datos externo	E/S/Z
25	D6	Bit 6 del bus de datos externo	E/S/Z
26	D7	Bit 7 del bus de datos externo	E/S/Z
27	D8	Bit 8 del bus de datos externo	E/S/Z
28	D9	Bit 9 del bus de datos externo	E/S/Z
29	D10	Bit 10 del bus de datos externo	E/S/Z
30	D11	Bit 11 del bus de datos externo	E/S/Z
31	D12	Bit 12 del bus de datos externo	E/S/Z
32	D13	Bit 13 del bus de datos externo	E/S/Z
33	D14	Bit 14 del bus de datos externo	E/S/Z
34	D15	Bit 15 del bus de datos externo	E/S/Z

---

**Nota:** I = Entrada, O = Salida, Z = alta impedancia

**Conector de Control.**

El conector de control (P4) da acceso a todas las señales de control del DSP 'F240. Este conector también puede suministrar alimentación digital y tierra a cualquier periférico o tarjeta secundaria. A continuación vemos un diagrama del conector de Control:

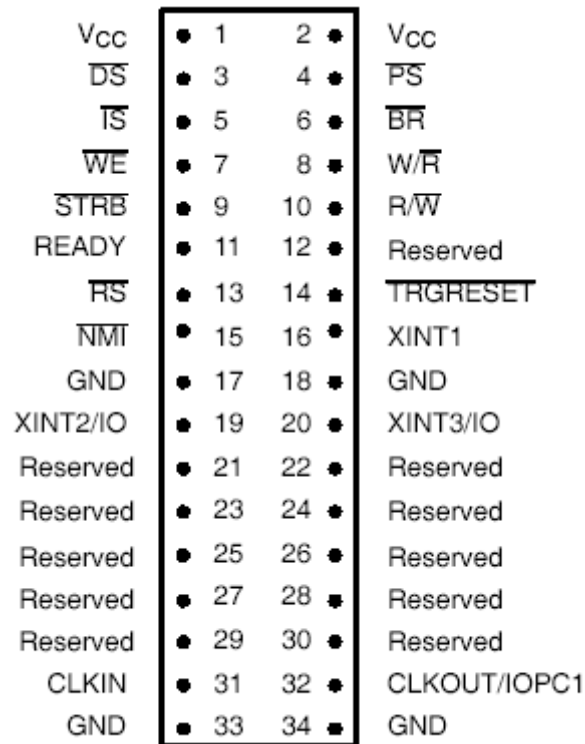


Figura 3.16 - Diagrama del conector de Control (P4).

En la siguiente tabla se muestra la asignación específica de los pines para el conector de Direcciones/Datos y una breve descripción de cada señal sacada por el conector.

### *Descripción de las señales del Conector de Control.*

Pin	Señal	Descripción	Tipo
1	V <sub>CC</sub>	Alimentación digital (5Vdc)	O/Z
2	V <sub>CC</sub>	Alimentación digital (5Vdc)	O/Z
3	DS	Señal de selección de Memoria de Datos	O/Z
4	PS	Señal de selección de Memoria de Programa	O/Z
5	IS	Señal de selección de Memoria de E/S	O/Z
6	BR	Señal de petición del Bus	O/Z
7	WE	Señal de permiso de escritura	O/Z
8	W/R	Señal de escritura/ lectura(negada)	O/Z
9	STRB	Memoria externa acceso activo Strobe	O/Z
10	R/W	Señal de lectura/ escritura(negada)	O/Z
11	READY*	Memoria preparada para completar el ciclo	I
12	NC	Sin conexión	
13	RS*	Reseteo del procesador 'F230	E/S
14	TRGRESET*	Evaluación 'C24x	I
15	NMI*	Interrupción no enmascarable	I
16	XINT1*	Interrupción externa enmascarable 1	I
17,18	GND	Tierra digital	I
19	XINT2	Interrupción externa enmascarable 2	I
	IO	E/S de propósito general	E/S
20	XINT3	Interrupción externa enmascarable 3	I
	IO	E/S de propósito general	E/S
21-30	NC	Sin conexión	
31	CLKIN	Entrada de señal de reloj	I
32	CLKOUT	Salida de la señal de reloj	O
22,34	GND	Tierra digital	

**Nota:** I = Entrada, O = Salida, Z = alta impedancia

“\*” indica que esta señal está amplificada por una resistencia de pull-up de 10KΩ.

### Puerto de Emulación.

Los sistemas de desarrollo JTAG, tales como el TMS320C24x, soportan la emulación a través de un puerto de emulación dedicado a ello. Este puerto está basado en el estándar IEEE 1149.1 y es el utilizado por el emulador.

La placa de evaluación, la cual actúa como sistema de desarrollo, posee una cabecera de 14 pines (dos filas de 7 pines cada una) mediante los cuales se comunica con los emuladores XDS510 o XDS510PP siguiendo las conexiones mostradas en la figura 3.17.

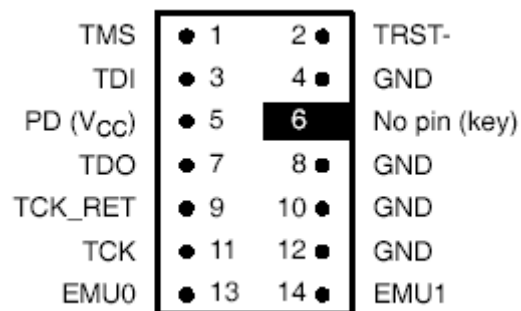


Figura 3.17 - Puerto de 14 pines para la emulación de señales.

En la siguiente tabla se muestra la asignación específica de los pines para el puerto de emulación y una breve descripción de cada señal comunicada a través de este.

### ***Descripción de las señales del Puerto de Emulación.***

<b>Pin</b>	<b>Señal</b>	<b>Descripción</b>	<b>Tipo</b>
1	TMS	Selección del modo de prueba	I
2	TRST	Comienzo de la prueba	I
3	TDI	Entrada de datos para la prueba	I
4,8, 10,12	GND	Tierra	
5	PD (Vcc)	Detección de presencia. Indica que el cable del emulador está conectado y que la tarjeta está encendida. En la tarjeta de evaluación el PD está unido a la alimentación Vcc.	O
6	NE	No existe	
7	TDO	Salida de datos de la prueba	O
9	TCK_RET	Comprueba la vuelta de la señal de reloj. Comprueba la entrada de reloj en el emulador.	O
11	TCK	Prueba del reloj. TCK es una señal de reloj de 10'368 MHz administrado a través del cable del emulador.	I
13	EMU0	Pin de emulación 0	E/S
14	EMU1	Pin de emulación 1	E/S

**Nota:** I = Entrada, O = Salida

### 3.2.5. Jumpers.

La placa de evaluación del 'C24x lleva incorporados ocho jumpers cuya misión es la de configurar varios de los parámetros de esta. Estos jumpers configuran la alimentación analógica y los voltajes de referencia, la fuente de reloj, programación de la memoria Flash, habilitado/deshabilitado del perro guardian (WatchDog), memoria externa, y las comunicaciones con elementos exteriores.

Para la configuración de cada aplicación de la placa debemos tener en cuenta los datos representados en la siguiente tabla, en la cual se indica el nombre del jumper, su número, y la función resultante que se produce al ser colocado en cada posición.

#### *Jumpers de la placa de evaluación del TMS320C24x.*

Nombre del Jumper	Jumper	Posición	Descripción
Jumper de alimentación analógica	JP1	1-2	El voltaje de alimentación analógico y la tierra están unidos a la alimentación digital y tierra.
		2-3	Hay que alimentar con una tensión analógica Independiente a través del conector de tensión Analógica (J2).
Jumper de $V_{ref\ hi}$	JP2	1-2	El pin ADC $V_{ref\ hi}$ del procesador está conectado directamente a la tensión de alimentación analógica.
		2-3	El pin ADC $V_{ref\ hi}$ del procesador se puede regular entre 0 y 5 Vdc mediante el ajuste del potenciómetro de $V_{ref\ hi}$ (R1).
Jumper de $V_{ref\ lo}$ conecta del	JP3	1-2	La señal ADC $V_{ref\ lo}$ del procesador se directamente a la tierra analógica.
		2-3	La señal ADC $V_{ref\ lo}$ del procesador puede ser regulada entre 0 y 5 Vdc mediante el ajuste potenciómetro $V_{ref\ lo}$ (R2).
Jumper de entrada de reloj	JP4	1-2	Para la señal de entrada de reloj se utiliza el oscilador de 10Mhz instalado en la placa.
		2-3	La entrada de reloj es administrada por una fuente de pulsos externa.

Nombre del Jumper	Jumper	Posición	Descripción
Jumper de Flash/Watchdog	JP5	1-2	La cadena Flash no puede ser programada o el Watchdog deshabilitado.
		2-3	La cadena Flash puede ser programada o el Watchdog deshabilitado.
Jumper $\overline{MP}/MC$	JP6	1-2	El procesador 'F240 funciona en <i>modo microprocesador</i> .
		2-3	El procesador 'F240 funciona en <i>modo microcomputadora</i> .
Jumper de omisión de oscilador	JP7	1-2	El oscilador interno es omitido. (Esta configuración se utiliza cuando conectamos una fuente de pulsos externa).
		2-3	El oscilador interno del procesador está activo (Este oscilador es necesario cuando utilizamos un cristal para generar la señal de reloj del DSP).
Jumper de recepción del SCI directamente (U15).	JP8	1-2	El pin SCIRXD/IO está conectado a la placa directamente.
		2-3	El pin SCIRXD/IO está conectado al conector de E/S (P1).
Jumper de reseteo del huésped	JP9	1-2	La señal $\overline{HOSTRESET}$ está inactiva.
		2-3	La señal $\overline{HOSTRESET}$ está activa y se encuentra conectada a la línea del puerto serie especificada por el jumper DTR/RTS (mediante RS-232).
Jumper BIO del del (mediante	JP10	1-2	El pin $\overline{BIO}/IOPC2$ está conectado al pin 20 conector E/S (P1).
		2-3	El pin $\overline{BIO}/IOPC2$ está conectado al pin 20 conector E/S (P1) y a la línea del puerto serie especificada por el jumper DTR/RTS el comunicador RS-232).
Jumper DTR/RTS (P6).	JP11	1-2	Se selecciona la línea DTR del puerto serie (P6).
		2-3	Se selecciona la línea RTS del puerto serie (P6).

### 3.2.6. LEDs.

La placa de evaluación del 'C24x lleva incluidos once LEDs. Estos LEDs muestran información tal como alimentación de la placa, el estado del XF y los pines de la BIO, y el estado de ciertos bits mapeados dentro del espacio de memoria de E/S.

El banco de ocho LEDs de la placa de evaluación está mapeado en el registro de memoria 000Ch del espacio de memoria del DSP 'F240 reservado a entradas y salidas (E/S). Cada uno de los ocho LEDs se pueden encender y apagar independientemente poniendo a uno o a cero el bit específico asignado a cada LED.

Las siguientes instrucciones se pueden utilizar para encender a la vez todos los LEDs. Esto se realiza poniendo a uno lógico los ocho bits menos significativos (LSB) del registro de memoria 000Ch que está mapeado y que pertenece al espacio de memoria de E/S.

```
SPLK      #00FFh,LEDS_ON      ;Carga el literal FFh en el
registro
          ;LEDS_ON
OUT       LEDS_ON,000Ch      ;Copia el valor grabado en LEDS_ON
          ;a la dirección de memoria de E/S
          ;000Ch.
```

A continuación haremos la operación contraria a la anterior, o sea, procederemos a apagar todos los LEDs, poniendo a cero lógico los ocho bits menos significativos (LSB) del registro de memoria mapeado 000Ch el cual está en el espacio de E/S.

```
SPLK      #0000h,LEDS_OFF     ; Carga el literal 0h en el
registro
          ;LEDS_OFF
OUT       LEDS_OFF,000Ch     ; Copia el valor grabado en LEDS_ON
          ;a la dirección de memoria de E/S
          ;000Ch.
```



Las variables LEDS\_ON y LEDS\_OFF utilizadas en los códigos anteriores cargan un valor dentro de un registro de memoria no inicializado, el cual debe ser definido en la sección .bss del código de programa.

El banco de ocho LEDs con memoria de E/S mapeada es utilizado por el DSP 'F240 solo como elemento de escritura. Por tanto, el estado correcto del registro de los LEDs no se refleja cuando se lee la dirección 000Ch del espacio de entrada/salida (E/S). En vez de lo anterior lo que sucede es que se lee el último valor almacenado en el bus de datos externo.

Se adjunta una tabla en la cual encontramos un resumen de la función de cada LED de la placa de evaluación del 'C24x. Cada entrada de la tabla indica el nombre del LED, su número, y el estado resultante cuando el LED se encuentra en un estado dado.

### ***LEDs en la placa de evaluación del TMS320C24x.***

<b>Nombre del LED</b>	<b>LED</b>	<b>Estado</b>	<b>Descripción</b>
LED de alimentación	DS11	On	La placa se alimenta con tensión digital y el interruptor de alimentación está en la posición On.
		Off	La alimentación digital no llega a la placa, o el Interruptor de alimentación está en la posición Off.
XF LED	DS9	On	La señal XF está activada (o puesta en 1 lógico).
		Off	La señal XF está desactivada (o puesta en 0 lógico).
BIO LED	DS10	On	La señal BIO está activada (o puesta en 1 lógico).
		Off	La señal BIO está desactivada (o puesta en 0 lógico).
E/S LED-0	DS0	On	El bit 0 del banco E/S de LEDs mapeado está encendido (o puesto a 1 lógico).
		Off	El bit 0 del banco E/S de LEDs mapeado está apagado (o puesto a 0 lógico).
E/S LED-1	DS1	On	El bit 1 del banco E/S de LEDs mapeado está encendido (o puesto a 1 lógico).
		Off	El bit 1 del banco E/S de LEDs mapeado está apagado (o puesto a 0 lógico).

---

<b>Nombre del LED</b>	<b>LED</b>	<b>Estado</b>	<b>Descripción</b>
E/S LED-2	DS2	On	El bit 2 del banco E/S de LEDs mapeado está encendido (o puesto a 1 lógico).
		Off	El bit 2 del banco E/S de LEDs mapeado está apagado (o puesto a 0 lógico).
E/S LED-3	DS3	On	El bit 3 del banco E/S de LEDs mapeado está encendido (o puesto a 1 lógico).
		Off	El bit 3 del banco E/S de LEDs mapeado está apagado (o puesto a 0 lógico).
E/S LED-4	DS4	On	El bit 4 del banco E/S de LEDs mapeado está encendido (o puesto a 1 lógico).
		Off	El bit 4 del banco E/S de LEDs mapeado está apagado (o puesto a 0 lógico).
E/S LED-5	DS5	On	El bit 5 del banco E/S de LEDs mapeado está encendido (o puesto a 1 lógico).
		Off	El bit 5 del banco E/S de LEDs mapeado está apagado (o puesto a 0 lógico).
E/S LED-6	DS6	On	El bit 6 del banco E/S de LEDs mapeado está encendido (o puesto a 1 lógico).
		Off	El bit 6 del banco E/S de LEDs mapeado está apagado (o puesto a 0 lógico).
E/S LED-7	DS7	On	El bit 7 del banco E/S de LEDs mapeado está encendido (o puesto a 1 lógico).
		Off	El bit 7 del banco E/S de LEDs mapeado está apagado (o puesto a 0 lógico).

---

### 3.2.7. Interruptores.

**La placa de evaluación del 'C24x lleva incluidos diez interruptores. Estos se utilizan para controlar la alimentación de corriente, para reiniciar la placa de evaluación y para poner a uno o cero lógicos ciertos bits mapeados dentro del espacio de memoria de E/S.**

El banco de ocho interruptores de tipo DIP de la placa de evaluación está mapeado con la dirección 0008h dentro del espacio de memoria de E/S del DSP 'F240. Cada uno de los ocho interruptores puede poner independientemente a uno o cero el bit asignado a sí mismo.

La siguiente instrucción se puede usar para determinar el estado de los ocho interruptores tipo DIP mediante la lectura de los ocho bits menos significativos (LSB) del registro DIPSW, el cual está mapeado con el registro 0008h del espacio de E/S.

```
IN          SW_STATUS,0008h    ;Lee el valor grabado en la dirección
                                0008h
                                ;y lo guarda en el registro SW_STATUS .
```

Para el ejemplo anterior, si todos los interruptores DIP se encuentran en la posición *on* , entonces el valor almacenado en el registro SW\_STATUS es 00FFh. Recuerdese que la variable SW\_STATUS es un registro no inicializado que debe ser definido en la sección *.bss* del código de programa y que el banco de ocho interruptores DIP mapeados se considera sólo como un elemento de lectura para el DSP 'F240, por tanto no producirá ningún efecto si escribimos sobre el registro DIPSW.

La tabla siguiente resume la función de cada interruptor sobre la placa de evaluación del 'C24x . Cada entrada está formada por el nombre del interruptor, su número, y la posición de este para cada estado determinado.

***Interrupciones en la placa de evaluación del TMS320C24x.***

<b>Nombre</b>	<b>Interruptor</b>	<b>Estado</b>	<b>Descripción</b>
Interruptor de alimentación	SW3	On	La placa es alimentada por las tensiones analógica y digital.
		Off	La placa no es alimentada.
Interruptor de reset	SW1	In	La placa se reinicia (esto implica que se introduce un nivel lógico bajo en la señal RS).
		Out	La placa no se reinicia (esto implica que se introduce un nivel lógico alto en la señal RS).
Interruptor 0 de E/S	SW2-1	On	El bit 0 del banco mapeado de interruptores de E/S es puesto a 1 lógico.
		Off	El bit 0 del banco mapeado de interruptores de E/S es puesto a 0 lógico.
Interruptor 1 de E/S	SW2-2	On	El bit 1 del banco mapeado de interruptores de E/S es puesto a 1 lógico.
		Off	El bit 1 del banco mapeado de interruptores de E/S es puesto a 0 lógico.
Interruptor 2 de E/S	SW2-3	On	El bit 2 del banco mapeado de interruptores de E/S es puesto a 1 lógico.
		Off	El bit 2 del banco mapeado de interruptores de E/S es puesto a 0 lógico.
Interruptor 3 de E/S	SW2-4	On	El bit 3 del banco mapeado de interruptores de E/S es puesto a 1 lógico.
		Off	El bit 3 del banco mapeado de interruptores de E/S es puesto a 0 lógico.
Interruptor 4 de E/S	SW2-5	On	El bit 4 del banco mapeado de interruptores de E/S es puesto a 1 lógico.
		Off	El bit 4 del banco mapeado de interruptores de E/S es puesto a 0 lógico.
Interruptor 5 de E/S	SW2-6	On	El bit 5 del banco mapeado de interruptores de E/S es puesto a 1 lógico.
		Off	El bit 5 del banco mapeado de interruptores de E/S es puesto a 0 lógico.
Interruptor 6 de E/S	SW2-7	On	El bit 6 del banco mapeado de interruptores de E/S es puesto a 1 lógico.
		Off	El bit 6 del banco mapeado de interruptores de E/S es puesto a 0 lógico.
Interruptor 7 de E/S	SW2-8	On	El bit 7 del banco mapeado de interruptores de E/S es puesto a 1 lógico.
		Off	El bit 7 del banco mapeado de interruptores de E/S es puesto a 0 lógico.

### 3.2.8. Oscilador.

**El oscilador encapsulado de 10MHz, genera la señal de reloj para el DSP 'F240 de la placa de evaluación cuando el jumper de entrada de reloj (JP4) está en posición 1-2. El módulo integrado de reloj de "phase-locked loop" (PLL) se puede programar para multiplicar la entrada de frecuencia de 10MHz por un factor de 1, 1.5 o 2. Esto genera una frecuencia de reloj para la CPU de 10, 15 o 20 MHz.**

El siguiente código de programa ilustra como programar el modulo de reloj PLL para generar una frecuencia de reloj de la CPU (CPUCLK) de 20MHz y una frecuencia de reloj del sistema (SYSCLK) de 10MHz.

```
LDP          #00E0h
SPLK        #00BBh, CKCR1          ;CLKIN (OSC) =10MHz, CPUCLK=20MHz
SPLK        #00C3h, CKCR0          ;CLKMD=PLL
          .                          ;Habilitado, SYSCLK=CPUCLK/2
SPLK        #40C0h, SYSCR          ;CLKOUT=CPUCLK
```

Se puede usar también una señal de reloj proveniente de una fuente externa para alimentar el DSP 'F240 de la placa de evaluación. Para ello hay que colocar el jumper de entrada de reloj (JP4) en la posición 2-3 y conectar la fuente de reloj externo al pin 31 del conector de control (P4).

### 3.2.9. Dispositivos GAL.

**En el DSP 'F240 de la placa de evaluación se encuentran dos dispositivos GAL 16V8 encapsulados los cuales tienen la misión de controlar los accesos sobre los periféricos instalados en la placa de evaluación como por ejemplo los dos módulos externos de memoria SRAM .**

Uno de los dispositivos GAL (U7) ha sido programado en fábrica con el decodificador lógico necesario para acceder a los periféricos integrados en la placa, incluyendo las memorias externas SRAM, DAC, banco de LEDs, y el banco de interruptores DIP. El otro dispositivo GAL (U14) ha sido programado en fábrica para controlar el nivel de reset lógico de la placa y la generación de estados de espera del DAC.

#### *Decodificación lógica de los periféricos de la Placa de Evaluación (U7)*

<b>Nombre de la señal</b>	<b>Acción</b>
RAMOE	Controla la lectura sobre la memoria externa.
RAMWE	Controla la escritura sobre la memoria externa.
DAC	Da permiso a un valor para ser escrito en uno de los cuatro canales del DAC (Convertidor analógico-digital).
XFER datos	Da permiso al DAC para comenzar la conversión de los digitales grabados en cada uno de los cuatro canales del DAC.
SWITCHES	Habilita el buffer de ocho interruptores.
LEDS	Actúa sobre los ocho flip-flop de los LEDs.
BUFFEN mapeado	Habilita el buffer del bus de entrada/salida de datos de los periféricos.

---

***Generador de Resets lógicos y Estados de Espera de la Placa de evaluación (U14.)***

---

<b>Nombre de la señal</b>	<b>Acción</b>
LA0 canal	Controla la línea de direcciones 0 para la selección del del ADC.
LA1 canal	Controla la línea de direcciones 1 para la selección del del ADC.
RSEN	Permite un reinicio general de toda la placa de evaluación.
RS	Controla la función de reinicio de toda la placa.
STATE	Genera los estados de espera necesarios para realizar el acceso al DAC (el DAC tiene un tiempo de acceso de 108ns).

---